**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：简单时序逻辑电路

学生姓名：\_\_\_\_\_徐奥\_\_\_\_\_\_\_

学生学号：\_\_\_PB20061343\_\_\_

完成日期：2021年10月28日

计算机实验教学中心制

2020年09月

【实验题目】

使用Logisim设计简单时序电路，并学习用Verilog语言描述简单时序逻辑电路。

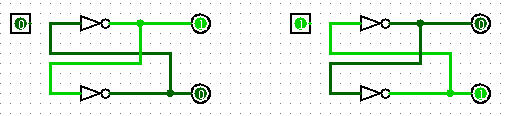
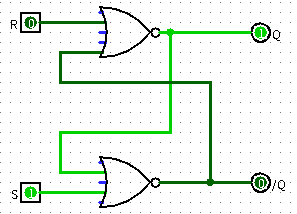
【实验目的】

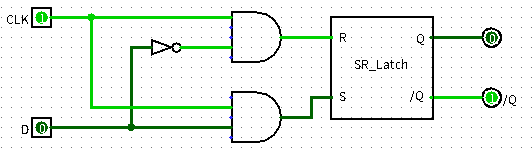
1. 掌握时序逻辑相关器件的原理及底层结构
2. 能够用基本逻辑门搭建各类时序逻辑器件
3. 能够使用 Verilog HDL 设计简单逻辑电路

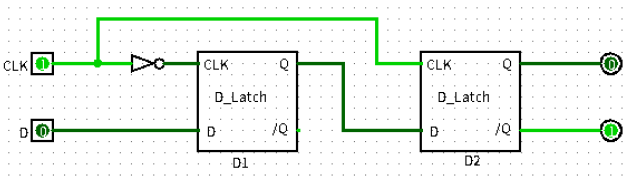
【实验环境】

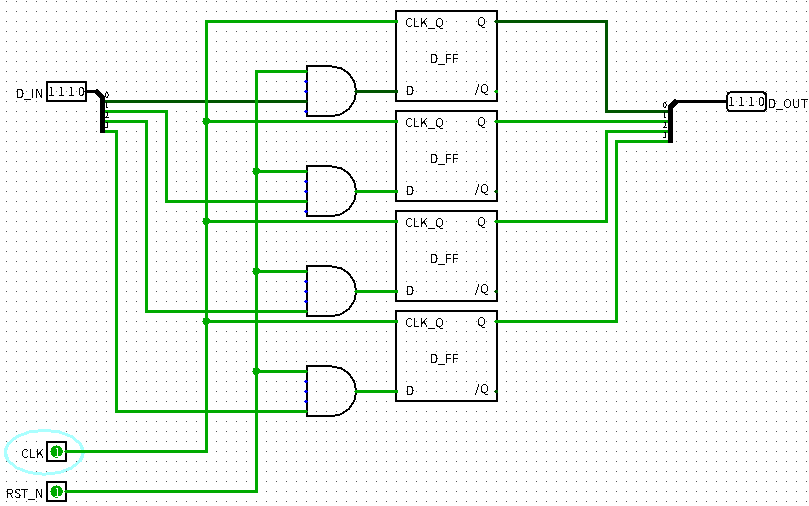
1. 能流畅连接校园网的 PC 一台，vlab.ustc.edu.cn
2. Logisim 仿真工具

【实验过程】

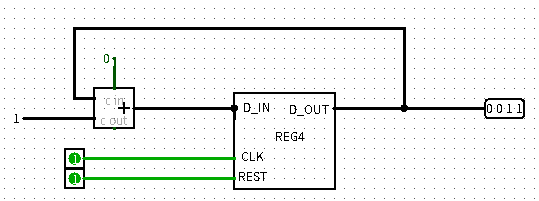
1. 搭建双稳态电路。双稳态电路是一种最简单的时序逻辑电路，没有输入信号，状态一旦确定之后也无法改变，没有实际使用价值，但却是所有时序逻辑电路的基础。如图
2. 搭建SR锁存器。双稳态电路没有输入信号，所以无法进行操作，我们对其进行修改，将两个非门用或非门代替。两个输入信号分别命名为S和R，输出信号命名为 Q 和/Q。S信号负责对 Q 置位（Set），R信号负责对Q信号置位（Reset）。当SR信号都无效（为0）时，电路将保持之前的状态，即处于锁存状态。如下图
3. 搭建D锁存器。在SR锁存器前面添加两个与门和一个非门，如下图所示，便构成了D锁存器。



1. 搭建D触发器。将两个D锁存器串起来，其控制信号有效值始终相反，如下图所示，CLK信号为低电平时，D信号通过了D1，当 CLK 信号由低电平变为高电平时，D1关闭，D2打开，信号到达Q端。
2. 搭建寄存器。寄存器本质上来说就是D触发器，用4个D触发器构成一个能够存储 4bit数据的寄存器，带有低电平有效的同步复位信号。

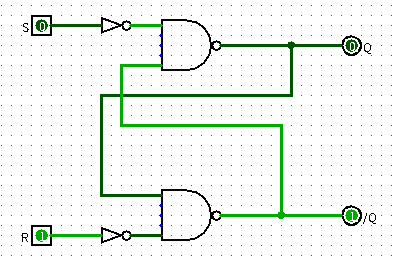


1. 搭建简单时序逻辑电路。利用4bit寄存器，搭建一个4bit的计数器，该计数器在0~15之间循环计数，复位时输出值为0，电路图如下所示



【实验练习】

**题目1**.在Logisim中用与非门搭建SR锁存器，画出电路图，并分析其行为特性，列出电路在不同输入时的状态

如图1.

**图1**

行为特性：当S=1,R=0时，为置1操作，Q=1；当S=0,R=1时，为清0操作，Q=0；当S=0,R=0时，为保持操作。

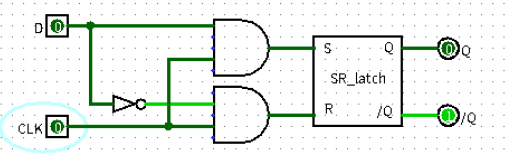
列出电路在不同输入时的状态：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| S | R | Qn | /Qn | Qn+1 | /Qn+1 |
| 0 | 1 | x | x | 0 | 1 |
| 1 | 0 | x | x | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 |

**表1**

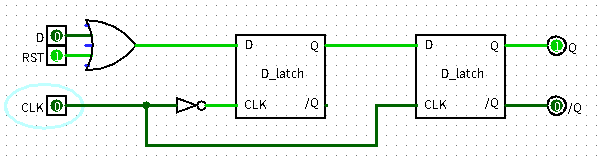
**题目2**. 在Logisim中搭建一个支持同步置位功能的D触发器，画出其电路图，并编写对应的Verilog代码.当SRT==1时，置1.

先利用SR锁存器搭建D锁存器，如图.

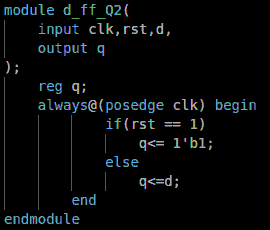


**图2**

如图3.

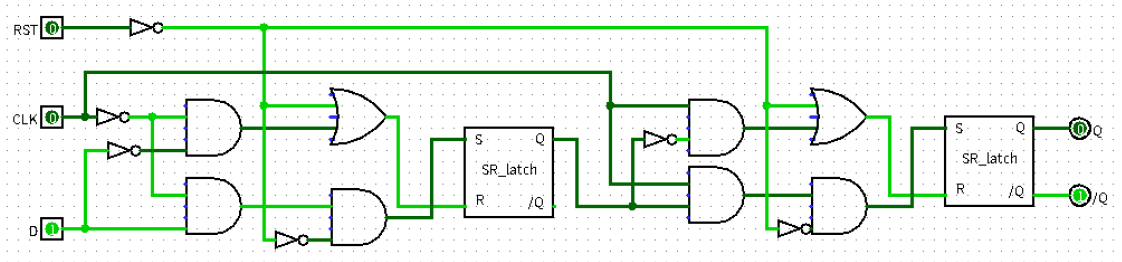


**图3**

代码为如图4.

**图4**

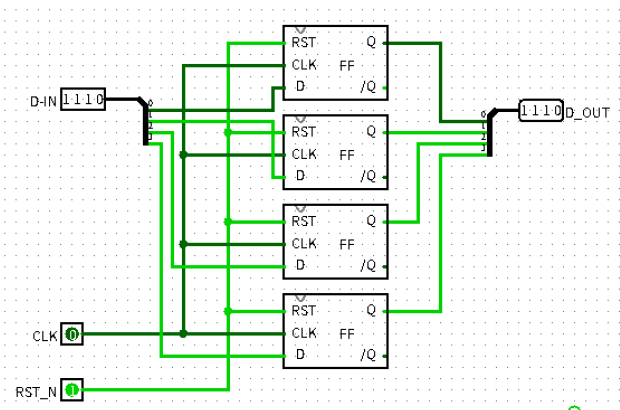
**题目3**. 在Logisim中搭建一个带有异步复位功能的D触发器，画出其完整电路图.如图5.复位信号低电平有效



**图5**

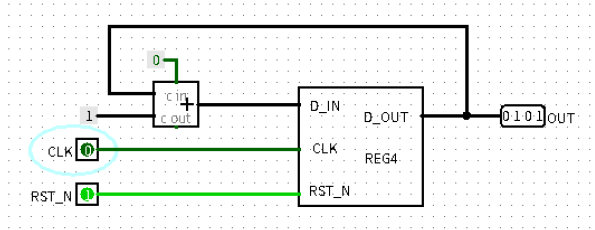
并进一步调用该触发器设计一个从0~15循环计数的4bit计数器

首先利用上述D触发器搭建4bit的寄存器，复位信号低有效，如图.



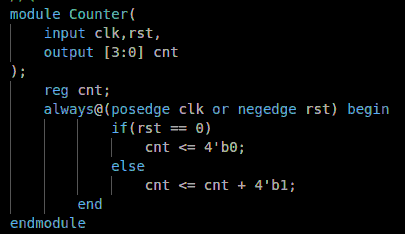
**图6**

然后利用该寄存器，搭建从0~15循环计数的4bit的计数器.如图



**图7**

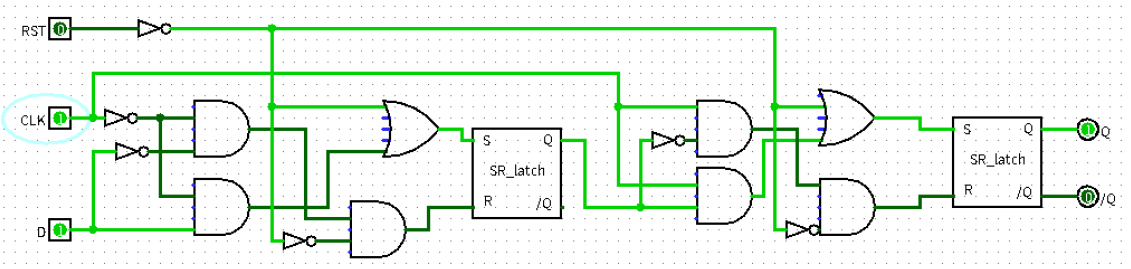
写出计数器的Verilog代码：



**图8**

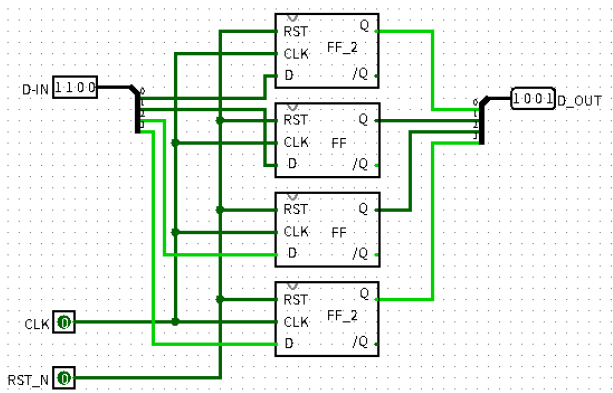
**题目4.** 在Logisim中搭建一个9~0循环递减的计数器，复位值为9，每个周期减1，画出电路图，进行正确性测试

首先，搭建异步置1D触发器



**图9**

再搭建4bit寄存器，复位信号低有效，复位时，置为1001，如图



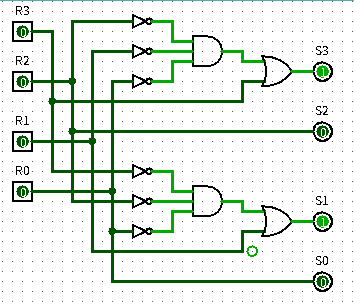
**图10**

再设计一个电路，处理寄存器的输出与减法器的输入之间的关系，当寄存器输出大于0时，减法器的输入即为寄存器输出，当寄存器输出为0时，减法器输入为10，列出真值表：

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| R3 | R2 | R1 | R0 | S3 | S2 | S1 | S0 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |

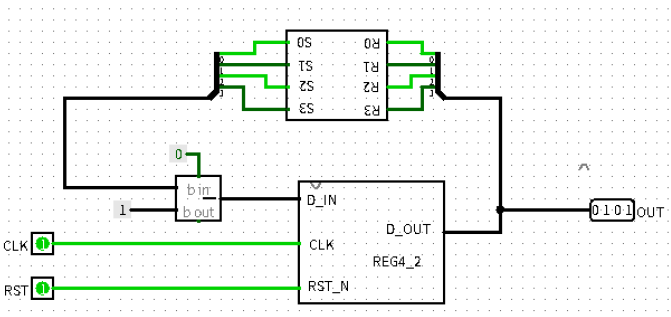
**表2**

画出电路图：通过输入上述真值表建立，如图



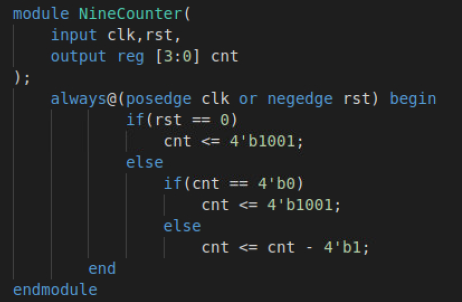
**图11**

将其封装，使用到计数器电路的搭建中，如图



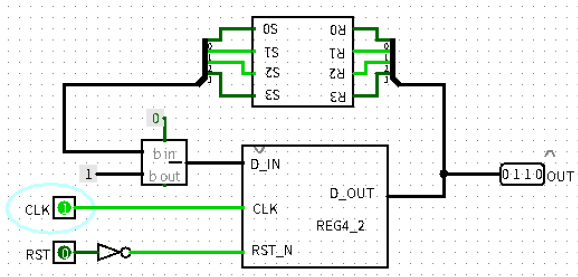
**图12**

写出其对应的Verilog代码

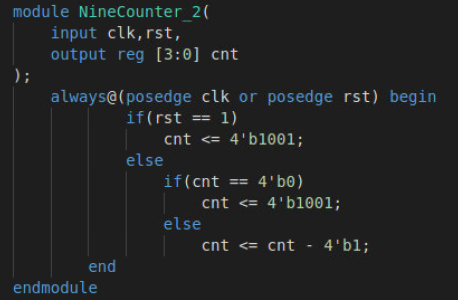


**图13**

**题目5**.使复位信号高电平有效，实现题目4的9~0循环递减的计数器。试用 Logisim 画出一个示例电路，并编写 Verilog 代码



**图14**



**图15**

【总结与思考】

1. 学习了搭建时序逻辑电路，虽然比较难，操作过程也比较多，但更深刻地理解了时序逻辑电路的组成。
2. 更感受到模块封装的巨大意义，会减少许多工作量，减少许多debug工作
3. 本次实验较1、2次实验难度上升幅度较大，建议在以后的实验设计中，难度的递增建议呈线性。
4. 任务量也较一二次实验更多。
5. 对于时钟输入CLK,需要使用引脚输入而不是Logisim提供的时针，建议将这一点加入实验说明中