**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：FPGA原理及Vivado综合

学生姓名：\_\_\_\_\_\_\_\_徐奥\_\_\_\_\_\_\_\_\_\_

学生学号：\_\_\_\_\_\_PB20061343\_\_\_\_\_\_

完成日期：\_\_2021年11月18日\_\_\_

计算机实验教学中心制

2020年09月

【实验题目】

FPGA原理及Vivado综合

【实验练习】

**题目1.**请通过实验中给出的可编程逻辑单元、交叉互连矩阵及IOB 电路图，实现题目代码，并将其输出到引脚B上

分析：

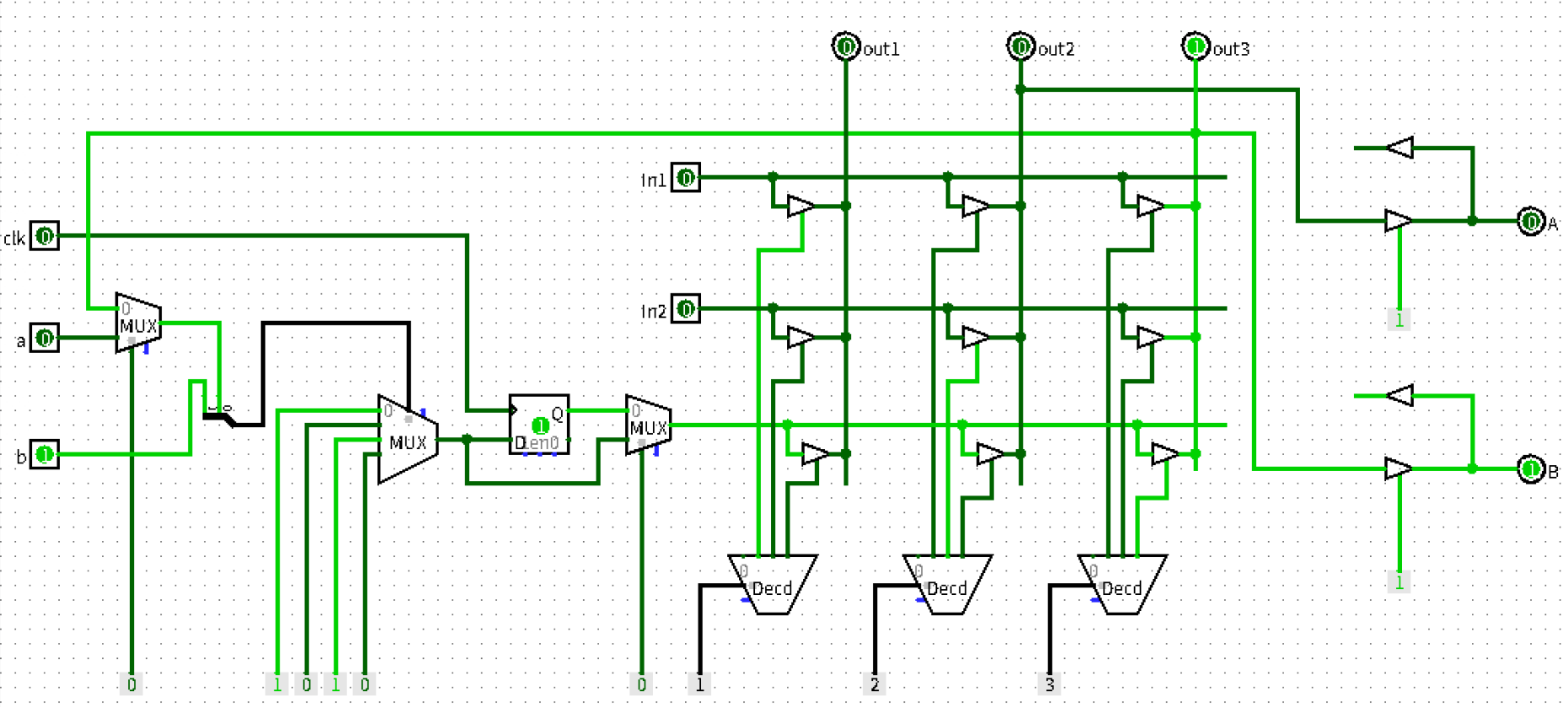
**（1）a <= a^1’b1;所以反馈电路接到输入，最左侧的MUX的选择信号为0.**

**（2）a <= a^1’b1; 所以当a=1时，RAM输出为0，当a=0时，RAM输出为1.所以第二个MUX（实现RAM）输入为1010.**

**（3）因为是时序电路，所以第三个MUX接0，接入Q的值.**

**（4）选用第三个译码器，输入为2’b11,即选择第三行数据输出，接引脚B**

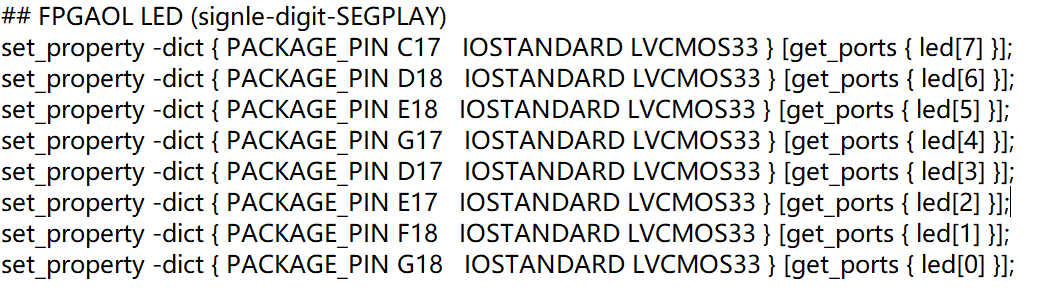
电路截图如图1.



**图1**

**题目2.** 实验中的开关和 LED的对应关系是相反的，即最左侧的开关 控制最右侧的LED，最右侧的开关控制最左侧的LED，请修改实验中 给出的XDC文件，使开关和LED一一对应（最左侧的开关控制最左侧 的LED）

只需修改led[7:0]的顺序，如图2，原led的顺序从上到下依次为0~7，现在修改为7~0.

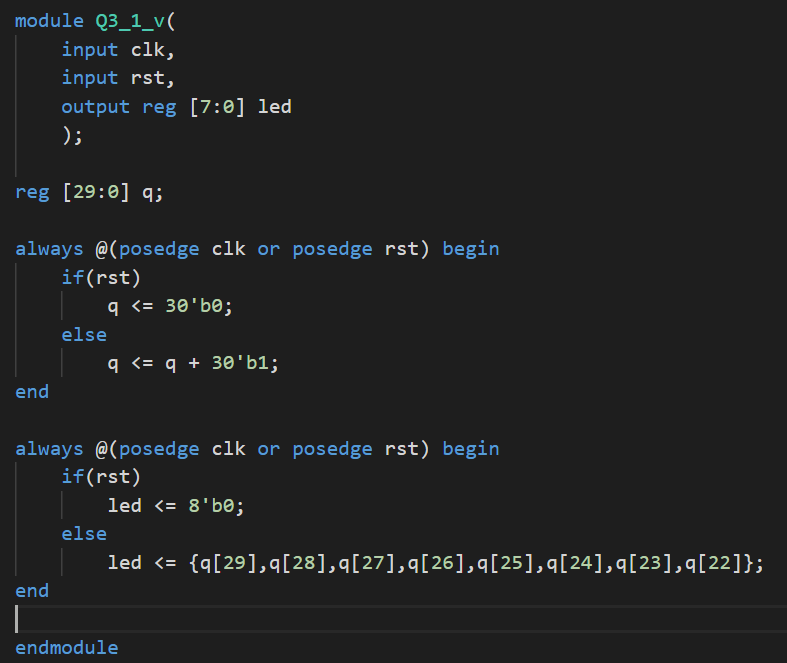


**图2**

**题目3.**

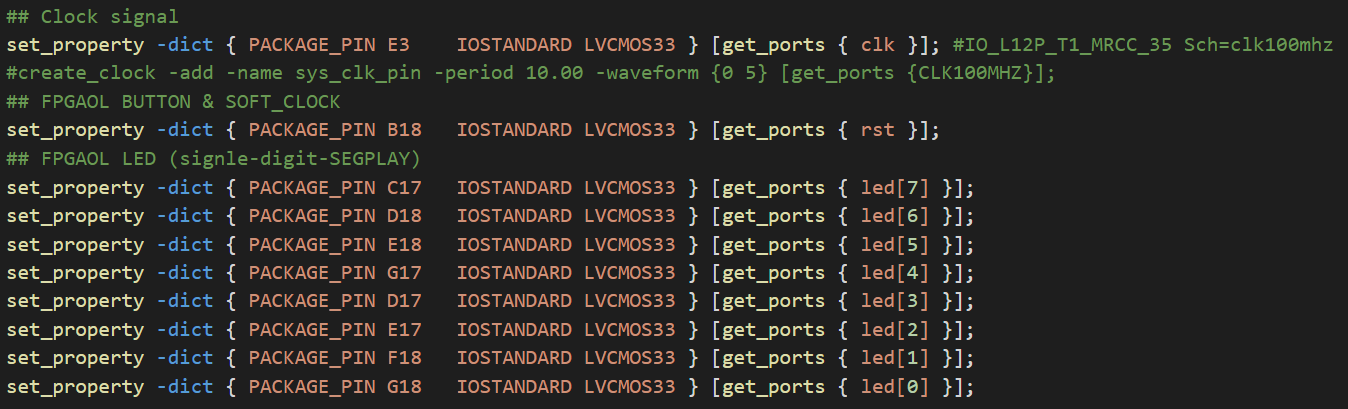
（1）设计一个30位计数器，每个时钟周期加1，用右侧的8个LED表示计数器的高8位，观察实际运行结果。

Verilog代码如下：



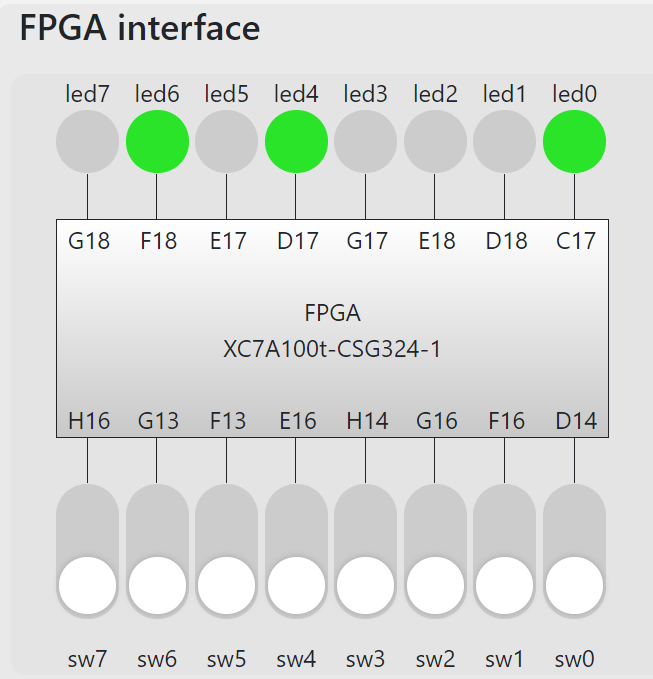
**图3**

引脚约束文件采用第二问修改后的文件，注释掉其中开关部分，如图



**图4**

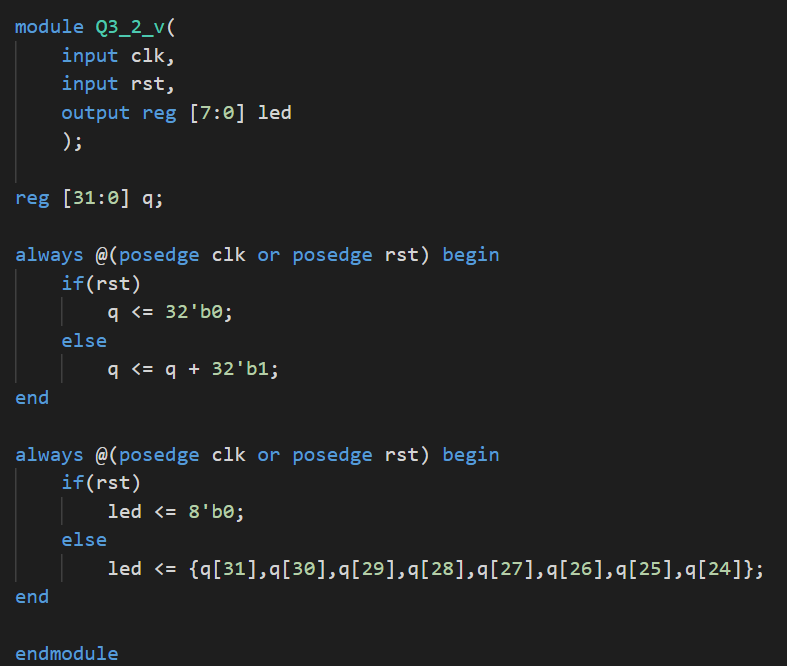
在FPGAOL平台上运行，由于引脚约束文件的设置，在平台上的led0为最高位，运行截图如下



**图5**

（2）将该计数器改成32位，将高8位输出到LED

Verilog代码如下：



**图6**

引脚约束文件与30位计数器的相同。

在FPGA平台上运行后发现，30位计数器led的频率是32位计数器led频率的4倍。时钟信号提供了等长的单位时间，每个时钟周期，计数器的最低位加1.

【总结与思考】

1. 在本次实验中，我学习了如何使用引脚约束文件，学会了如何建立起Verilog文件与实际FPGA芯片之间的关联。
2. 通过使用Logisim软件搭建简单的可编程逻辑单元、交叉互联矩阵、IOB，深入理解了FPGA的原理和构成
3. 本次实验难度适中，实验分别使用了了Logisim和Vivado，不同题目之间有所关联
4. 本次实验任务量适中，题目难度梯度上升，循序渐进，建议保持。