**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：FPGA实验平台及IP核使用

学生姓名：\_\_\_\_\_\_\_\_\_徐奥\_\_\_\_\_\_\_\_\_\_\_

学生学号：\_\_\_\_\_\_PB20061343\_\_\_\_\_\_\_\_

完成日期：\_\_\_\_2021年11月25日\_\_\_\_

计算机实验教学中心制

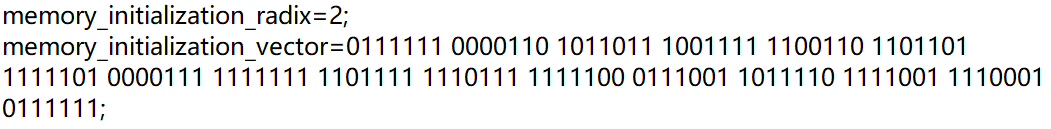
2020年09月

【实验题目】

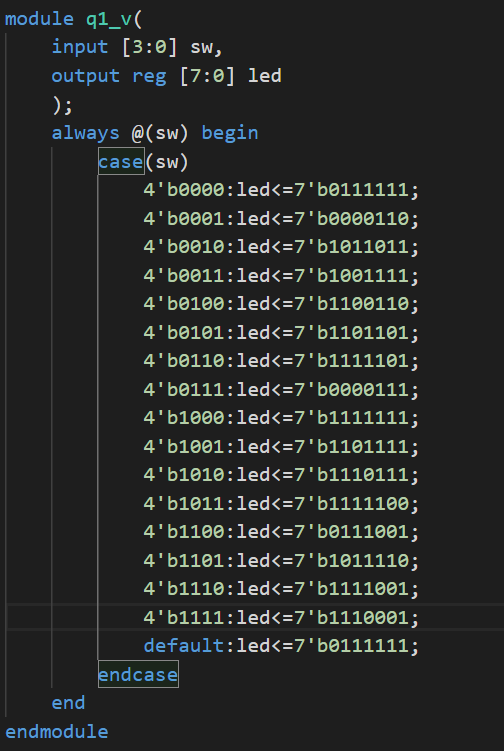
学习FPGA实验平台，学习如何使用IP核进行电路设计

【实验练习】

**题目1.** 例化一个 16\*8bit的ROM，并对其进行初始化，输入端口由 4个开关控制，输出端口连接到七段数码管上。

如图1，设置ROM的初始值，与图2所示的值对应，实现将由开关输入的4位二进制数，转化为七段数码管的输出

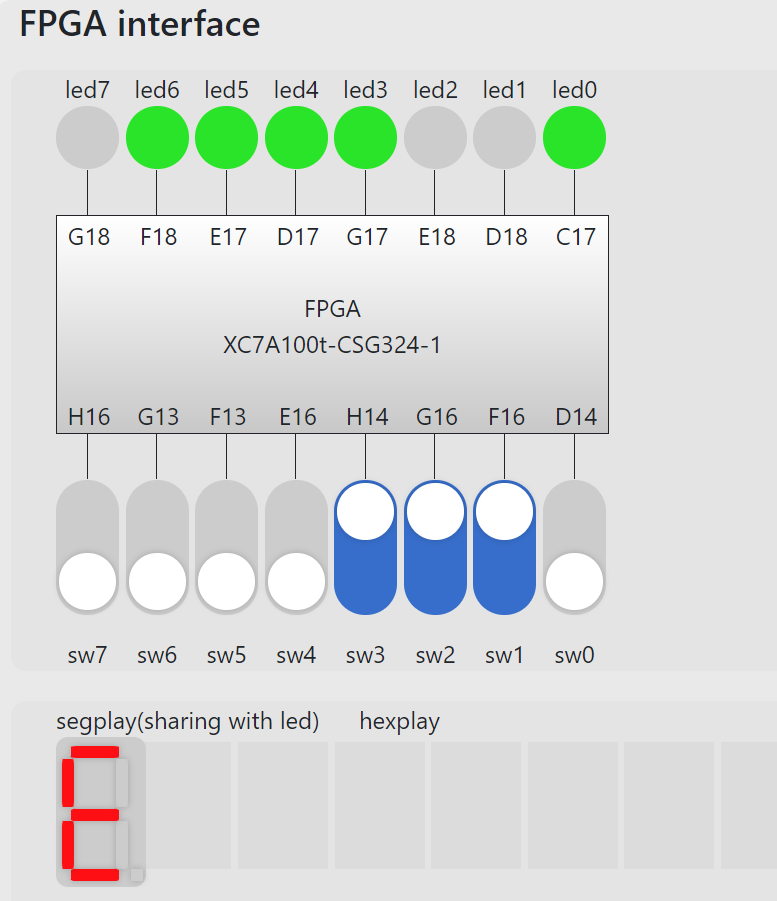
**图1**



**图2**

引脚约束文件中只需要4个开关和led对应的引脚。

生成Bitstream文件烧写到FPGA平台上后，效果如下图



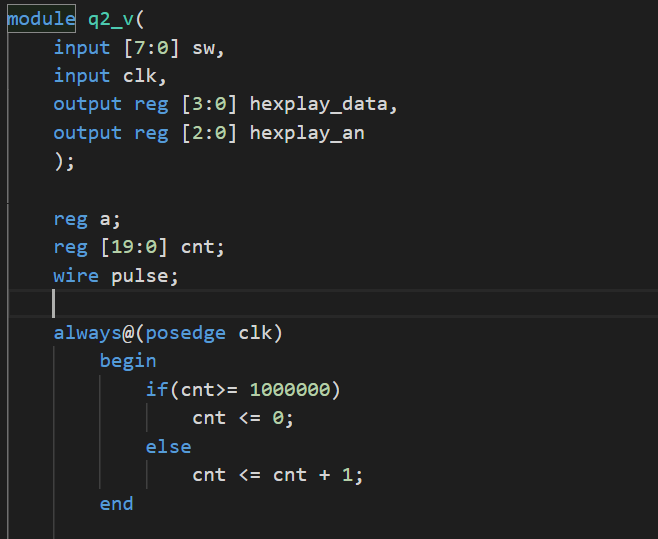
**图3**

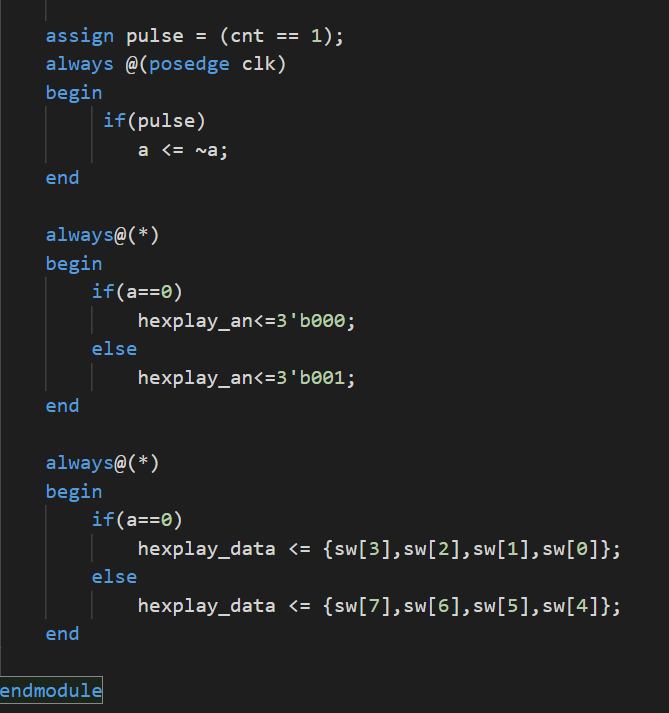
**题目2.** 采用8个开关作为输入，两个十六进制数码管作为输出，采 用时分复用的方式将开关的十六进制数值在两个数码管上显示出来， 例如高四位全为1，低四位全为0时，数码管显示“F0”。

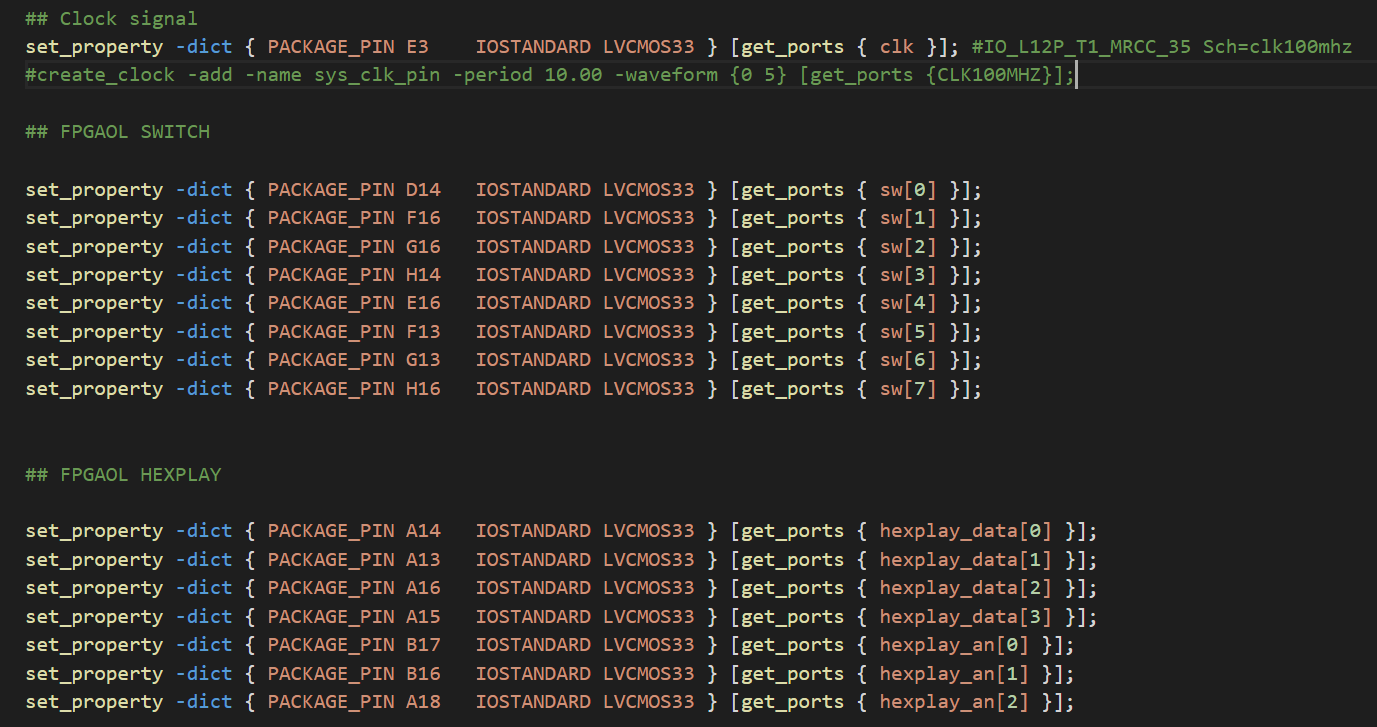
设计思路：

每四个开关对应一个4位二进制数，将其与数码管的引脚相连。利用人的视觉暂留效应，不断刷新显示两个数码管的值，使得在看上去为两个数字同时显示。在代码中设置一个标志a，当a=0时，显示低位的数码管，当a=1时，显示高位的数码管

代码如下图





**图4**

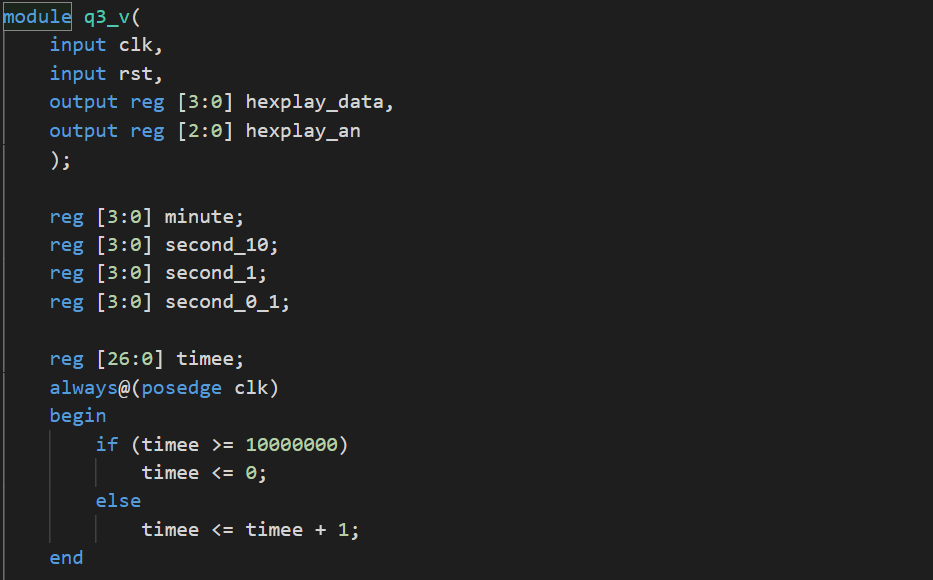
引脚约束文件为

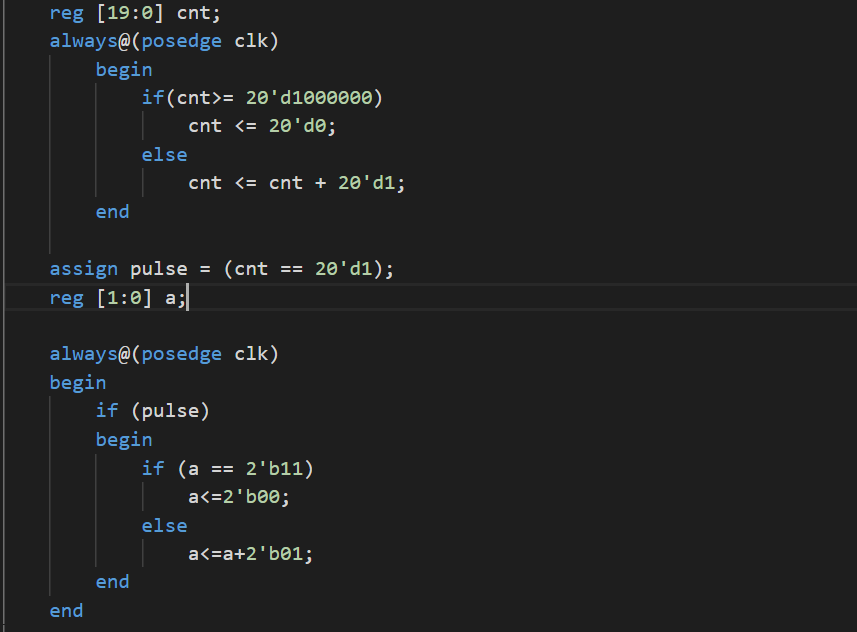
**题目3**.利用本实验中的时钟管理单元或周期脉冲技术，设计一个精 度为0.1秒的计时器，用4位数码管显示出来，数码管从高到低，分 别表示分钟、秒钟十位、秒钟个位、十分之一秒，该计时器具有复位 功能（可采用按键或开关作为复位信号），复位时计数值为 1234

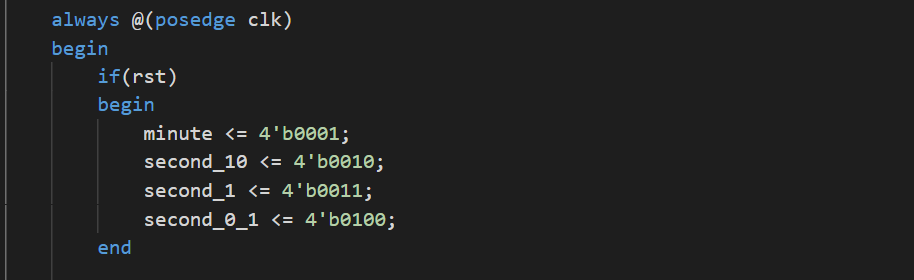
设计思路：

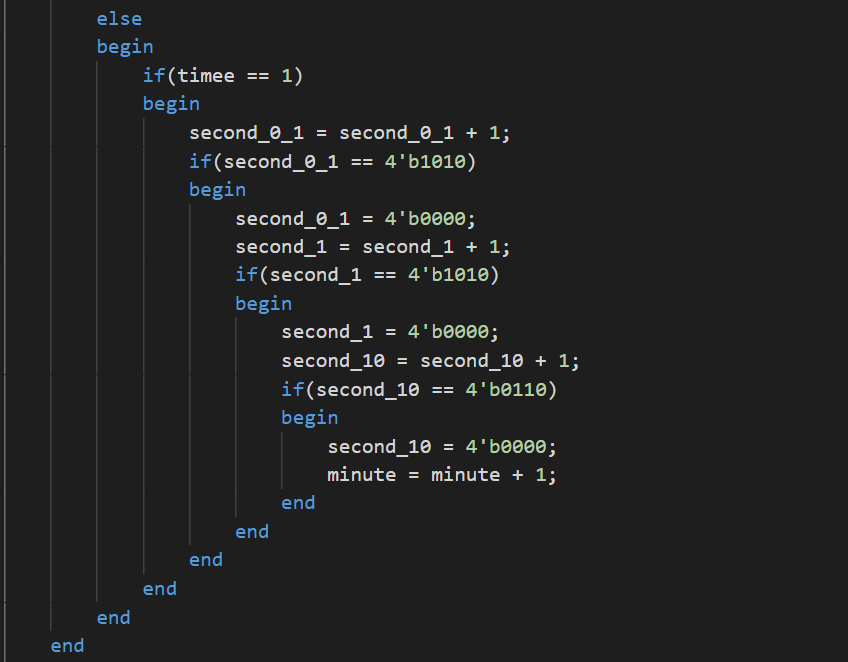
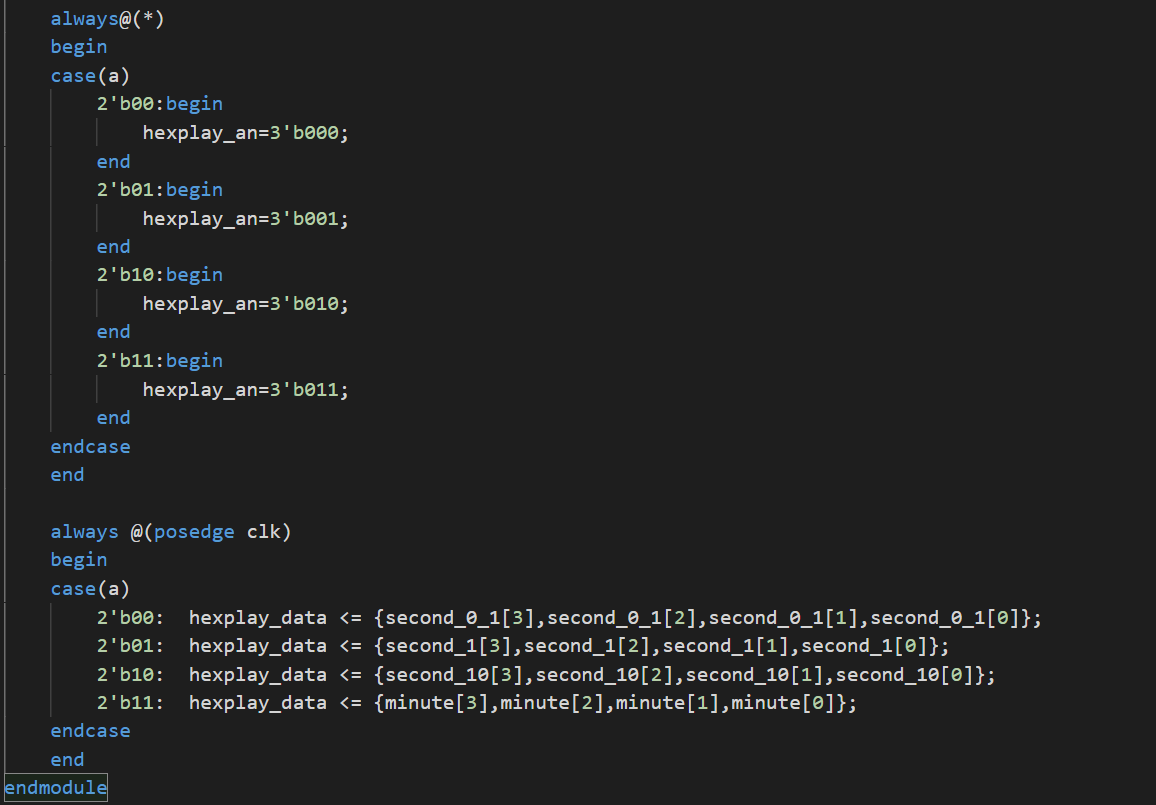
1. 在四个数码管上显示四位数字，与第二题思路类似，不断刷新显示。
2. 因为时钟频率为100Mhz，所以一个时钟周期为10ns，所以0.1s=10000000个时钟周期，设置一个计数标志，当它达到10000000时，数码管的最低为加一，并根据时间的进制规则设置进位，本次实验在进位中我采用了阻塞式赋值。

代码为：









【总结与思考】

1. 本次实验中，我将很大一部分时间耗费在第一问，原因是第一遍没有读懂题意，以为是需要在执行过程中给ROM赋值。但是题目的本意是ROM存储的值是在初始化时就设置好了的。
2. 本次实验的一大挑战就是变量与约束引脚的对应，不过在将它们对应的过程中，自己对于FPGA的原理也有了更深入的认识。比如hexplay pin中的an0,an1,an2,我最初认为它们是独热码，但随着对引脚的学习，我了解到他们的是3-8译码器的输入。
3. 本次实验内容适中，难度中等，Verilog代码量较前几次有了提升。
4. 建议增加第一题的题目描述，比如“你需要在ROM初始化时将它存储的值设置好，对于给定的四个开关的状态，七段数码管可以输出对应的十六进制数”。
5. 前面的实验介绍文档建议增加Vivado 2019版的部分截图