

高速低功耗流水线 ADC 子电路设计 (2.0)

何扬鵬

3180102687@zju.edu.cn



College of Information Science and Electronic Engineering
信息与电子工程学院
浙江大学

Winter, 2019

First 高速低功耗 ADC 的需求

Second SHA-less 架构系统级仿真

Third 子电路设计

References 参考文献

Thanks 致谢

高速低功耗 ADC 的需求

5G 时代的到来，对 ADC 转换器提出了更高的要求。

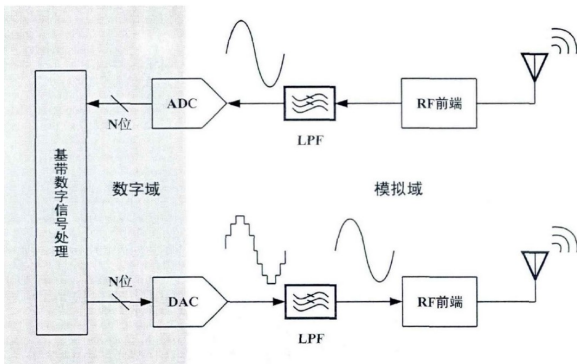


Figure 1: 几款国外商用 ADC 芯片指标

一方面，基站密度上升，手机使用量增加，收发毫米波等级的信号，使得芯片的功耗增长巨大。

另一方面，随着高频频段的引入，超高速、高精度是 5G 时代 ADC 不可或缺的特征。

Pipeline ADC 是一种折中的考虑，能够用较少比较器得到较高精度，往往是高速、高精度 ADC 的首选。

First 高速低功耗 ADC 的需求

Second SHA-less 架构系统级仿真

Third 子电路设计

References 参考文献

Thanks 致谢

热噪声模型

对功率谱积分得到其总噪声功率:

$$P_{n_total} = \frac{kT}{C_s} \quad (1)$$

如 2，利用随机波形与总噪声幅度相乘，得到其噪声模型。

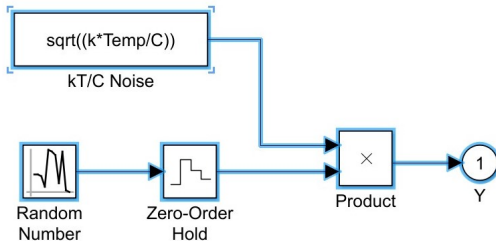


Figure 2: 开关热噪声行为级仿真

热噪声模型

运放的热噪声主要是 MOS 管的沟道噪声，根据 MOS 管小信号等效模型，可以推导出运放噪声功率：

$$P_{n,opa} \propto \frac{kT}{C_T} \quad (2)$$

如 3，利用随机波形与总噪声幅度相乘，得到模型。

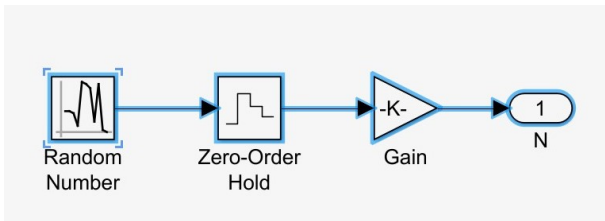


Figure 3: 运放热噪声行为级仿真

热噪声模型

在实际的 S/H 电路中，还有时钟抖动引起的噪声，设输入信号为 $f(t)$

$$V_{in}(t) = V_{in,ideal}(t) + \frac{dV_{in}(t)}{dt} \Delta t \quad (3)$$

如 4所示，利用随机数生成器与输入信号瞬时斜率相乘，再进行输出。

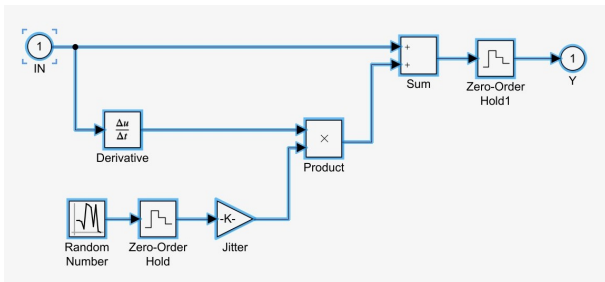


Figure 4: 时钟抖动噪声行为级模型

热噪声模型

同时，S/H 电路中的运算放大器工作在闭环模式，由于实际运放增益 $A_v \neq \infty$ ，则运放的闭环增益将会存在一定非线性误差

$$V_{out} = V_{in} \frac{A_v}{1 + \beta A_v} \quad (4)$$

如 5所示，利用函数模块 Fcn 可以大致实现运放增益误差模型，

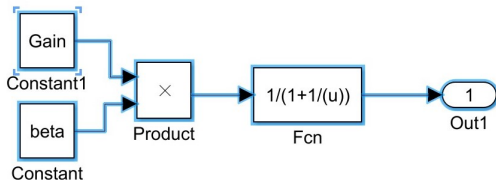


Figure 5: 运放闭环增益误差行为级模型

非理想状态下 12bit 流水线 ADC 仿真

根据上述对 S/H 电路非理想性的分析，整合出同时考虑多种非理想因素的 S/H 电路 simulink 模型，如 6所示。

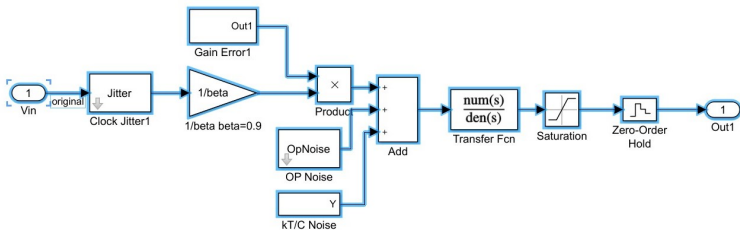
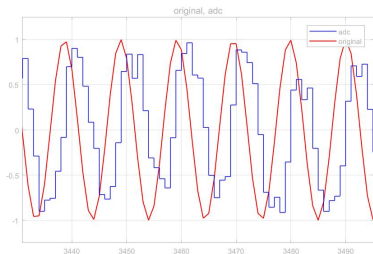


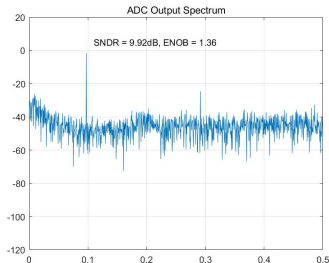
Figure 6: 考虑非理想因素的 S/H 电路行为级模型

非理想状态下 12bit 流水线 ADC 仿真

仿真结果如 7(a) 和 7(b) 所示, 在考虑诸多非理想性后性能有了明显的下降, 信噪失真比 SNDR 仅 9.92dB, 有效位数 ENOB 仅 1.36



(a) 传统流水线 ADC 输出



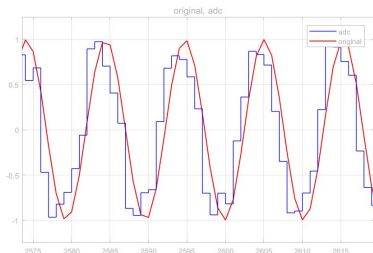
(b) 传统流水线 ADC 频谱

Figure 7: 仿真结果

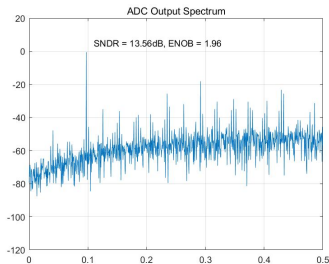
非理想状态下 12bitSHA-less 流水线 ADC 仿真

由于第一级子结构的输入信号变为了直接输入，导致了 MDAC 与 sub-ADC 处理的信号存在不一致现象，也被称作孔径误差。

将最前端的 S/H 电路去除，重新进行仿真结果如 7(a) 和 7(b) 所示。



(a) 传统流水线 ADC 输出



(b) 传统流水线 ADC 频谱

Figure 8: 仿真结果

First 高速低功耗 ADC 的需求

Second SHA-less 架构系统级仿真

Third 子电路设计

References 参考文献

Thanks 致谢

Parameters	Requirements	Result
static power	$\leq 2\text{mW}$	0.81mW
open loop gain	73.98dB	80.29dB
GBW	5MHz	5.012MHz
ϕ	$\geq 60^\circ$	67.3°
SR	$\geq 10\text{V}/\mu\text{s}$	7.43, 10.72(V/ μs)
CMRR	none	84.82dB
output voltage swing	$[-2\text{V}, 2\text{V}]$	$[-2.2292\text{V}, 2.186\text{V}]$
ICMR	$[-2\text{V}, 1\text{V}]$	$[-2.369\text{V}, 1.23\text{V}]$

Table 1: 电路总体参数

栅压自举式开关

电路如 9 所示。当处于“关”状态时，MN1 导通， C_b 下极板接地。节点 n4 为低电平，则 MP2 导通，此时 C_b 上极板接 VDD。MN7 断开，MP4 导通，MP1 断开，从而将 MS 与 C_b 断开。

当处于“开”状态时，MN4 导通 MP1 的 G 极接低电压，而 S 极接高电压，MP1 导通。节点 n4 为高电平，所以 MN7 和 MS 导通。

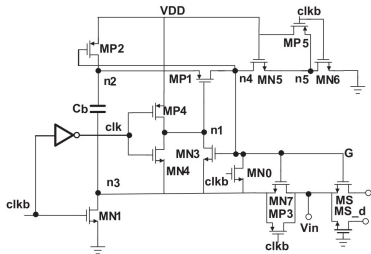


Figure 9: 栅压自举式开关电路

栅压自举式开关

10为输出结果，同时利用 MATLAB 画图功能对其压摆率进行测试

$$SR = \frac{1.152V - 0.1372V}{0.0002\mu s} = 5074V/\mu s \quad (5)$$

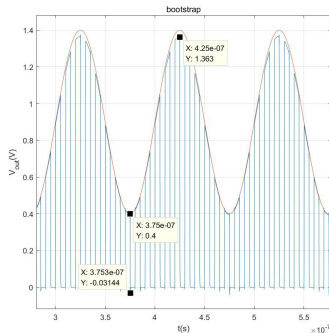


Figure 10: 栅压自举式开关输出信号

从电路简易性与电路功耗的角度来说如 11 的采样电路较为合适。

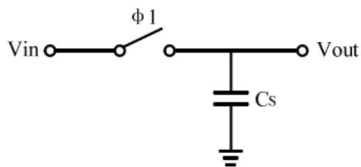


Figure 11: 简单的采样开关电路

S/H 电路

利用 HSPICE 仿真，可以得到该 S/H 电路的输出。令输入信号为正弦波，输出信号如 12。对该电路的功耗进行仿真可得

$$P_{SH} = 72.46 \mu W \quad (6)$$

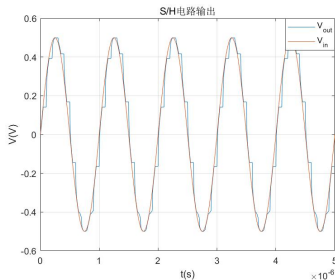


Figure 12: 简单的 S/H 电路输出

动态比较器

当 clk 为低电平时，比较器在复位阶段，M1 和 M2 的 D 极，节点 ON 与 OP 经 M5 与 M6 两侧的 PMOS 管接到 VDD。当 clk 为高电平时，M7 导通，节点 DN 与 DP 电压下降，由于 M1 与 M2 的 G 极电压不同 ($V_{ip} < V_{in}$)，若 DP 更快，当 $V_{DP} < VDD - V_{TN}$ 时，M6 导通，M4 导通，从而节点 OP 电压下降，节点 ON 电压上升，经过反相器后，输出高电平。

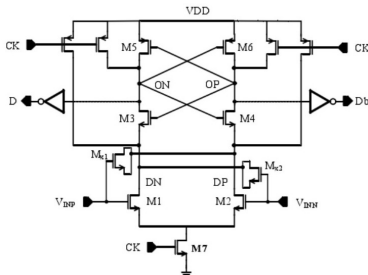


Figure 13: 动态比较器电路

动态比较器

利用 HSPICE 仿真，可以得到动态比较器的大致性能，如 14。

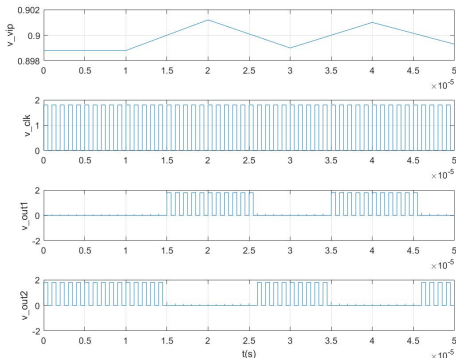


Figure 14: 动态比较器仿真

动态比较器

经过查询 HPSICE 仿真得到的.lis 文件可以大致计算压摆率

$$SR = \frac{1.6043V - 0.1526V}{5.0002645\mu s - 5.000236\mu s} = 5.09 \times 10^4 V/\mu s \quad (7)$$

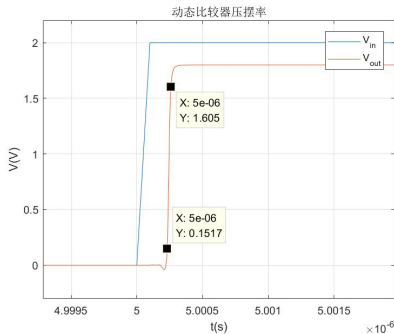


Figure 15: 动态比较器压摆率

sub-ADC 采用全平行结构 ADC，论文采用的第一级子结构为 2.5bitMDAC，因此对应的 sub-ADC 需要 6 个比较器对应的参考电压为：

$$V_{\text{ref1}} = -0.625, V_{\text{ref2}} = -0.375$$

$$V_{\text{ref3}} = -0.125, V_{\text{ref4}} = 0.125$$

$$V_{\text{ref5}} = 0.375, V_{\text{ref6}} = 0.625$$

由于论文仅涉及流水线 ADC 的子结构部分，而未对后续的数字校正电路实现，因此，此处 sub-ADC 的输出仅为 6 个比较器的输出，而非对应的数字码。

sub-ADC 电路

sub-ADC 电路原理图如 16。

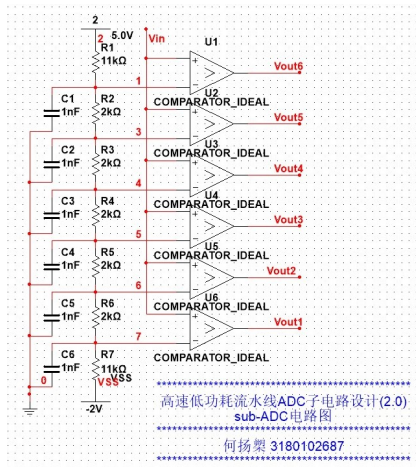


Figure 16: sub-ADC 电路原理图

利用 HSPICE 仿真，可以得到 sub-ADC 的输出波形，如 17。

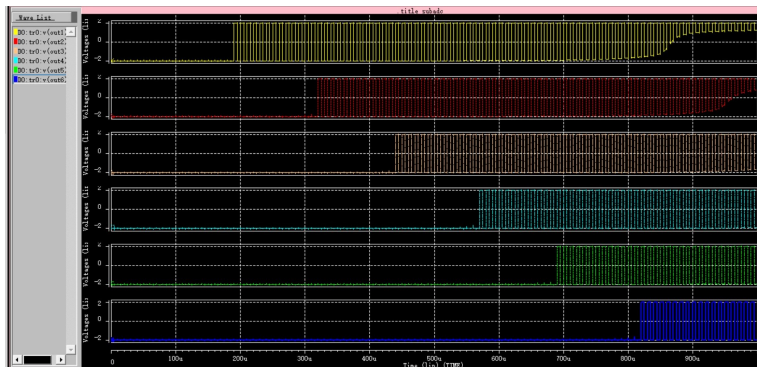


Figure 17: sub-ADC 的六个输出

利用电压加法电路，直接将各比较器输出电压缩放后相加，得到从 0-6V 的叠加信号，减去 3V 固定电平，使得输出信号在 $[-3V, 3V]$ 范围内。在利用减法电路与放大的输入信号做差，就能够实现余量放大功能

MDAC 电路原理图如 18。

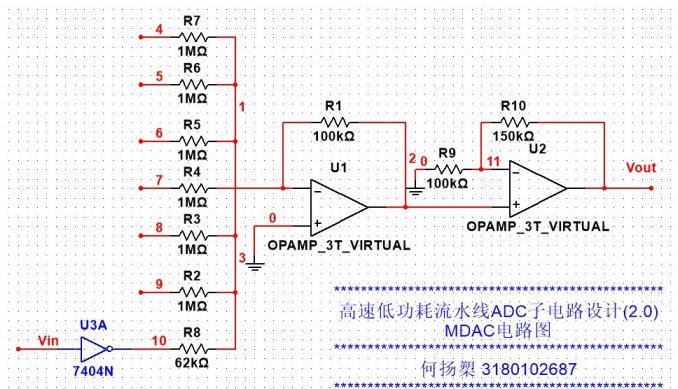


Figure 18: MDAC 电路原理图

得到较为理想的输出图像如 19。

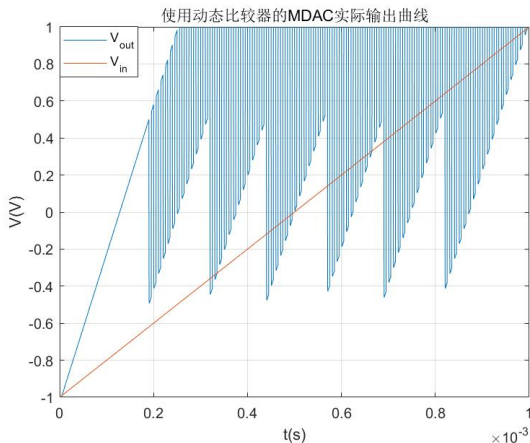


Figure 19: MDAC 电路输出

根据 HSPICE 仿真，第一级子电路总体参数如 2

Table 2: 第一级子电路参数

工作电压	$\pm 2\text{V}$
最大工作速率	1MSPS
比特数	2.5
功耗	134.8mW

第一级子电路

第一级子电路原理图如 20。

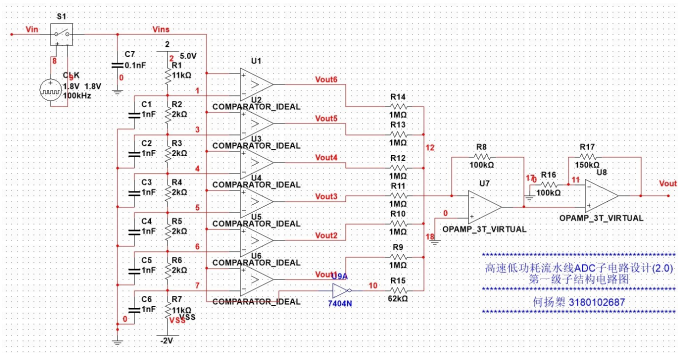


Figure 20: 第一级子电路原理图

受限于运算放大器子结构的工作速率不能太高，否则，由于运算放大器响应速率低，将导致 MDAC 中的加法电路无法正常工作，从而导致子结构整体输出错误。

Table 3: 子结构中各模块压摆率对比

模块	SR(V/ μ s)
栅压自举式开关	5074
动态比较器	5.09×10^4
运算放大器	10.72
sub-ADC	5.09×10^4
MDAC	10.72

第一级子电路

利用 HSPICE 仿真，可以得到第一级子电路在 1MSPS 工作速率下的总体功耗，如 21。

根据此第一级子电路估计，完整的流水线 ADC 电路功率约 5 个子结构加上数字校正电路的功耗之和，保守估计大约 1W，由于电路无法工作以大于 10MSPS 的速率工作，因此无法得知约 1GSPS 速率下功耗。

```
*****  
.title firststage  
  
***** transient analysis tnom= 25.000 temp= 27.000 *****  
powerall= 1.3487E-01 from= 0.0000E+00 to= 1.0000E-04
```

Figure 21: 第一级子电路功率出 (10MSPS)

$$P_{\text{sub}} = 134.8\text{mW} \quad (8)$$

First 高速低功耗 ADC 的需求

Second SHA-less 架构系统级仿真

Third 子电路设计

References 参考文献

Thanks 致谢

中文内容显示 The not so short introduction to LATEX2 ϵ
[Oetiker, 2015]

The textbook [Knuth and Bibby, 1984]



Knuth, D. E. and Bibby, D. (1984).

The textbook, volume 3.

Addison-Wesley Reading.



Oetiker, T. (2015).

Latex in 157 minutes: The (Not So) Short Introduction to Latex.

Samurai Media Limited.

First 高速低功耗 ADC 的需求

Second SHA-less 架构系统级仿真

Third 子电路设计

References 参考文献

Thanks 致谢

End



感谢！