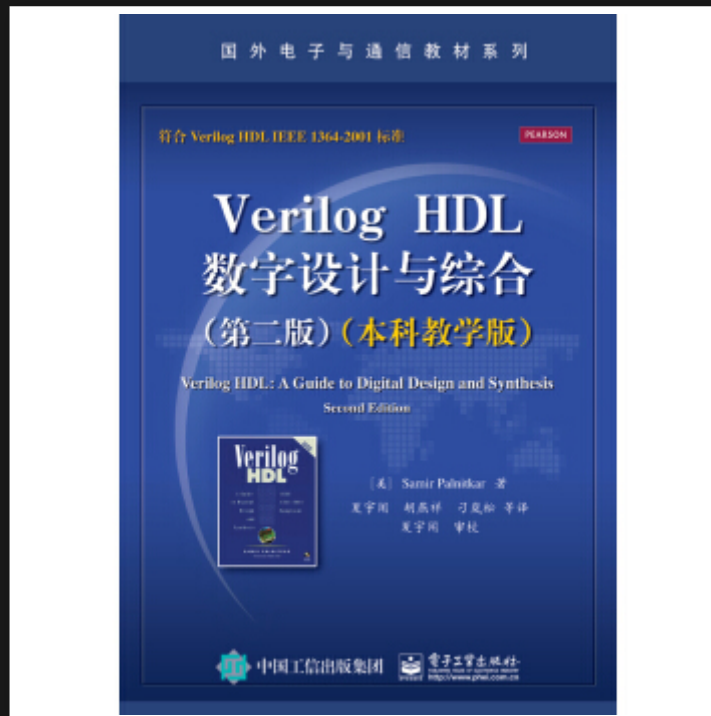


一份正常的计组教程

首先推荐一本教材



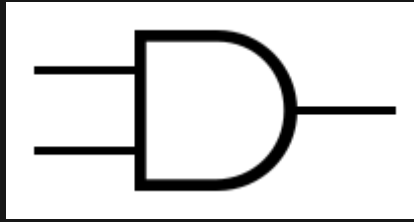
VERILOG 的模块系统

或者叫做.....

什么是 Top-level Design Entity

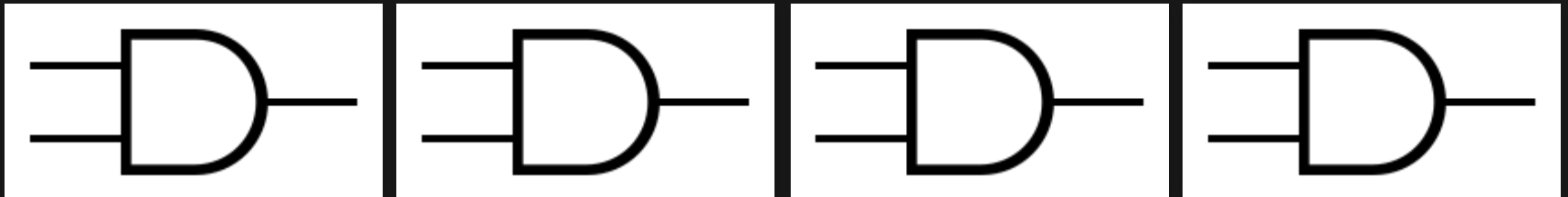
硬件描述语言

- Verilog 是硬件描述语言，而不是编程语言
- Verilog 描述 了硬件
- 你会怎么用语言描述硬件？



比如你设计了一个与门，描述它时会说：

- 有输入输出端口
- 它里面的电流信号是并行传递的
- 最重要的是，你每次要用到与门时，不用再写一次一模一样的代码
- 就可以有很多一模一样的与门



- 是不是感觉很像 OOP，首先要有类（模块）定义：

```
module and(input a, input b, output z);  
    // I am an AND gate.  
endmodule
```

- 然后用的时候构造对象（模块的实例化）：

```
module master;  
    // I use an AND gate.  
    wire c, d, x;  
    and my_and(c, d, x);  
endmodule
```

- 说的我都懂，但什么是 Top-level Design Entity 呢？

- 要意识到，如果你设计 CPU，其实你在设计的是 CPU 模块（类）
- 但是为了设计这个模块，你又写了很多其他模块
- 你要告诉 Quartus，到底哪个模块是你的设计产品，是要烧到板子上去的？
- 它就是 Top-level Design Entity（顶层设计实体）

- 推荐的书（英文版）用了 7 页来讲这个
- 读完那本书后，你会觉得
 - 我学会了硬件描述语言
- 读完了 Verilog 简明教程后
 -这玩意儿和 C++ 也没有什么差别吧

TESTBENCH 测试台

什么是测试台？

- 这个就是测试台：



- 测试台提供了测试**硬件**所需要的东西。

- 作为硬件工程师，你会怎么在工作台上测试你的硬件？
 - 提供输入信号
 - 查看输出波形
- 对于用硬件描述语言编写的硬件，想法是类似的

如果想测试你的与门，

1. 编写 Testbench:

```
// Testbench 不需要输入输出信号
module tb;
    wire c, d, x;
    and my_and(c, d, x);

    // 输入信号可以自己产生
    initial begin
        c = 1; d = 1;

        #2 c = 0; #4 d = 0;
        #6 c = 1;

    end
endmodule
```

2. 查看输出波形

永远连不上 Quartus 的 ModelSim

为什么我的 Quartus 连不上 ModelSim 呢？

- 不是你的锅
- 老师给的教程有问题
- 老师给的教程有**很大**的问题

案例分析 (WWZ 的大冒险)

某同学决定这个周末好好写 CPU

- 他做完了 ModelSim 部分的教程，新建了一个项目，导入了 `1eds.v` 和 `1eds_flow.v`，打算试着把 Quartus 和 ModelSim 连起来
- 问题是，该同学不知道什么是 Testbench.....
-他是怎么做完的 ModelSim 教程？
 1. 没办法，谁能想到对于 Testbench 的介绍（附录 B）在很多人会看的附录 A 后面呢.....
 2. 他让你仿真 `1eds_flow.v`，又没说被仿真的一定是 testbench.....

于是他开始看教程了

1. “在 General 栏的 EDA Tool Options 中设置本机 ModelSim 的已安装启动路径（modelsim.exe 位于其中），例如

C:\altera\13.1\modelsim_ae\win32aloem

2. 然而路径必须写成

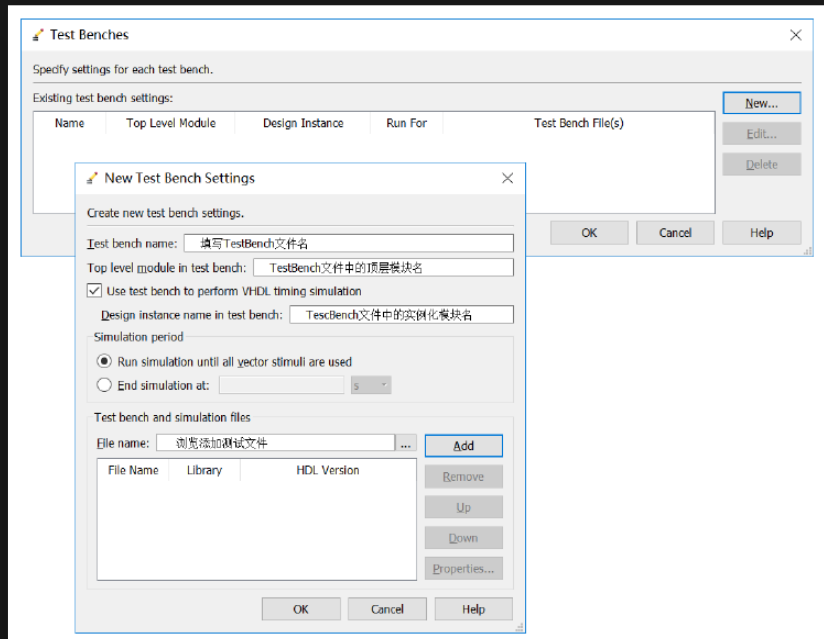
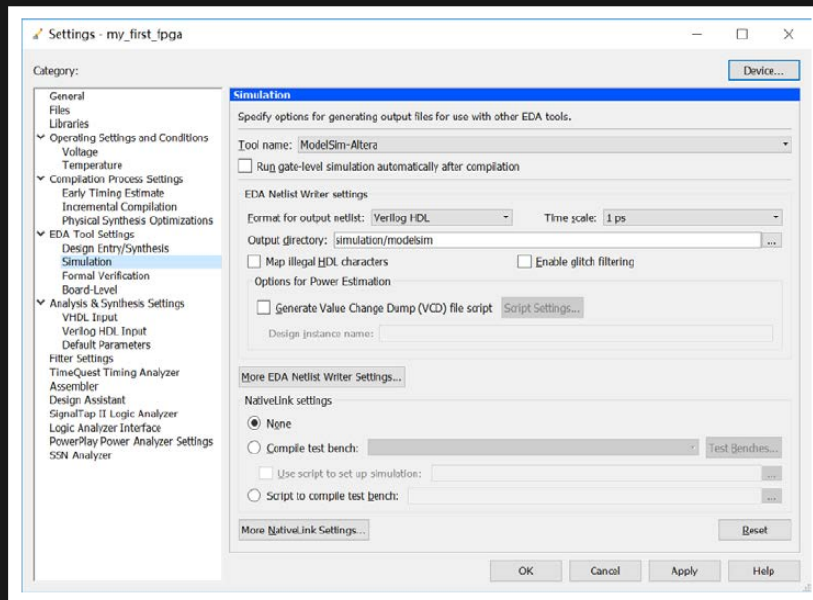
C:\altera\13.1\modelsim_ae\win32aloem

3. 不然会报错，而且这个无厘头的错误很难查。
4. 令人不禁怀疑写教程的人有没有用过 Quartus

于是他又开始看教程了

- “选中图 3-2 中的 Compile test bench 选项,点击“Test Benches...”添加需要编译的 TestBench 文件,如图 3-3 示。在 Test Benches 页面中点击右上角的 New...按钮添加新的 Test Bench。在弹出的 New Test Bench Settings 对话框中完成相应的设置工作,包括:填写 Test Bench 文件名(*.vt 或 *.vht 文件名);填写 Test Bench 文件中的顶层模块名;填写 Test Bench 文件中的设计实例模块名;浏览找到测试文件并添加(Add)。”
-神仙教程

说的就是这两个窗口



1. 记住，该同学不知道 `leds_flow.v` 是 testbench
2. “填写 Test Bench 文件名”
 - 其实是让你给你的 testbench 取个名字，跟文件名没关系
 - wwz：听说 testbench 的文件名都以 vt 结尾，就叫 `test.vt` 吧
3. 填写 Test Bench 文件中的顶层模块名
 - Testbench 是啥都不知道怎么填
 - 此时有同学会以为没有 testbench 文件，现在是在新建一个 testbench 文件
4. 图中让你选 Perform VHDL Timing Simulation
 - 这跟你一个写 Verilog 的有什么关系？

该同学还顶得住，他继续往下看

为什么会这样？

- Start Test Bench Template Writer 是给想自己写 testbench 的人用的
 - 这个按钮是不需要设置 testbench 直接可以点的
 - 生成一个 testbench 模板，剩下的你自己补全
 - 为了生成这个模板，Quartus 需要知道你的代码结构，需要先跑 Analysis & Synthesis
 - 你觉得实验给的这套代码能第一次就通过 Analysis & Synthesis 吗？
- 我们不需要自己写 testbench，请不要点这个按钮

testbench 已经给我们了，以下以 `1eds_flow.v` 为例

1. Testbench Name: 随便填都可以
2. Top level module in test bench: 打开 `1eds_flow.v`，看最外层的那个模块的名字，把它填进去
3. 别选 VHDL Timing Simulation
4. 添加测试文件时只要选择 `1eds_flow.v`
5. 设置完后点 RTL Simulation

神奇的 MIF 文件

1. 你现在应该已经知道这两个文件是干什么的了
2. 如果你还不知道，请用文本编辑器打开 mif 文件亲眼看看

为什么 ModelSim 会找不到这两个文件？

- 打开 `lpm_ram_dq_dram.v` 看看就知道了
- 仿真时的根目录在 `simulation\modelsim\`
- 所以 ModelSim 会跑到
`simulation\modelsim\source` 中去找 mif 文件
-但其实不用这么麻烦

- 每次开始仿真时，ModelSim 会自动复制 mif 文件到根目录下
- 而不会复制到根目录的 source 文件夹下
- 所以如果你设置 mif 的路径没有 source 文件夹的话，所有设置都是自动的

Block Design Diagram 和 Verilog 源代码的等价性

