

STM32 的 FSMC 扩展 SRAM 的时序测量及配置

目录

- 1.STM32F103 的 FSMC 扩展 SRAM 时序介绍及测量
- 2.STM32F2/F4 的 FSMC 扩展 SRAM 时序介绍及测量
- 3.IS61LV25616 高速 SRAM 的时序配置
- 4.EM681FV16AU 中速大容量 SRAM 的时序配置

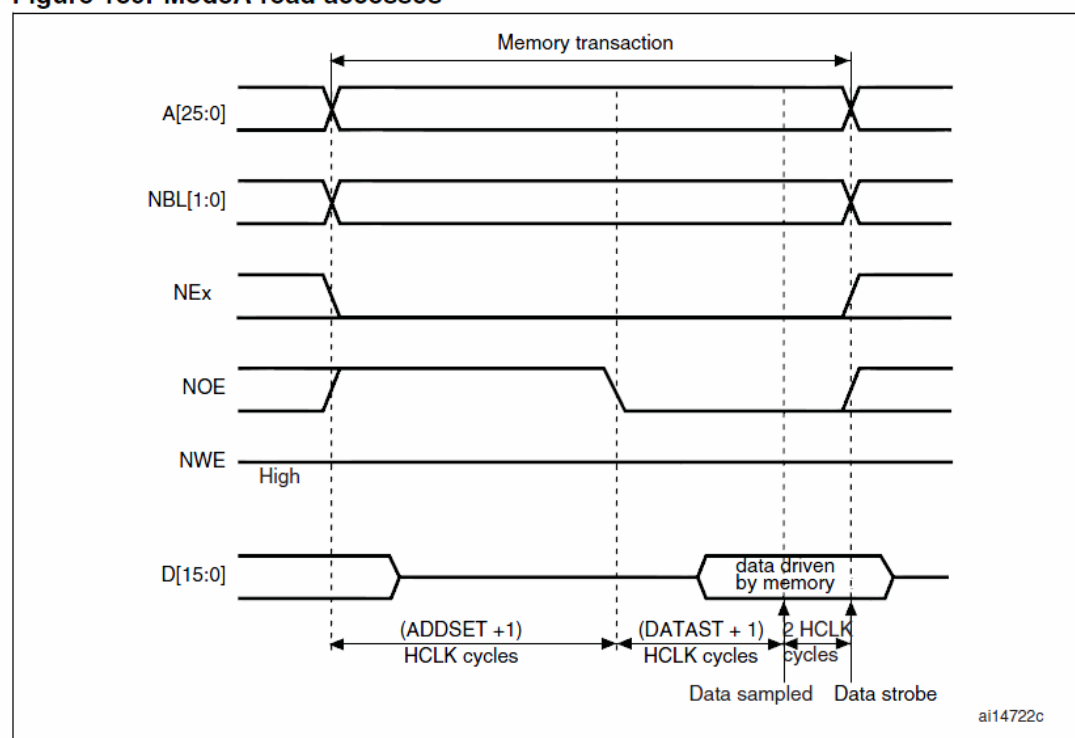
1.STM32F103 的 FSMC 扩展 SRAM 时序介绍及测量

1.1 时序介绍

在扩展 SRAM 时，一般使用模式 1 或模式 A，模式 A 与模式 1 的主要区别有两点：
模式 A 时，读写的时序可以独立调整；
模式 A 时，NOE 在地址建立延时以后才变为有效。

模式 1 与模式 A 的配置上仅 EXTMOD 位不同。因此，在 STM32 的固件库里面并没有模式 1，只有模式 A，当不使用扩展模式时就是模式 1。

Figure 189. ModeA read accesses

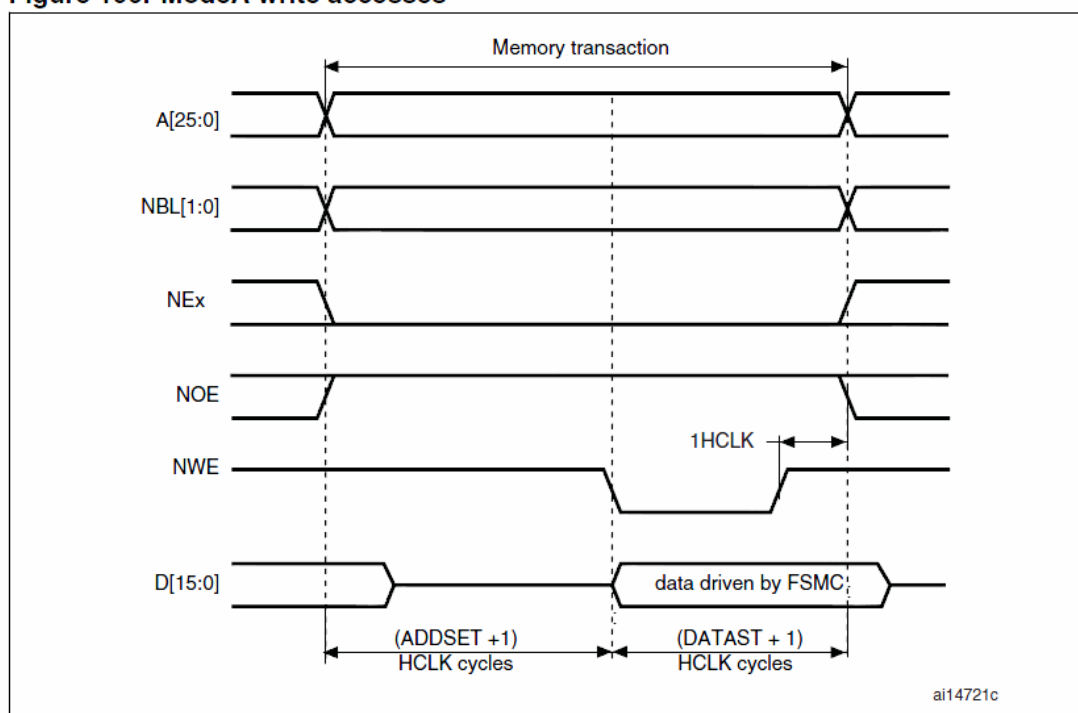


以上是读时序图，从上图可以看到：

- 1.FSMC 扩展 SRAM 基本时间单位为 HCLK。
- 2.地址建立时间为 ADDSET+1,其中 ADDSET 的取值范围是 0~15。
- 3.数据设置为 DATSET+1，其中 DATSET 的取值范围是 1~15。
- 4.在数据就绪后，还要 2 个 HCLK 周期用于读取数据。

另外，在读操作完成后，还会插入 6HCLK 用于等待数据总线恢复高阻状态。

Figure 190. ModeA write accesses



以上是写时序图，从上图可以看到：

- 1.地址建立时间为 $ADDSET+1$,其中 $ADDSET$ 的取值范围是 $0\sim15$ 。
- 2.数据设置为 $DATSET+1$ ，其中 $DATSET$ 的取值范围是 $1\sim15$ 。

根据读写时序图我们可以计算出 STM32F103 的 FSMC 在扩展 SRAM 时：

- 1.最短读取时间为 $5HCLK$ 。
- 2.最短写入时间为 $3HCLK$ 。

1.2 时序测量

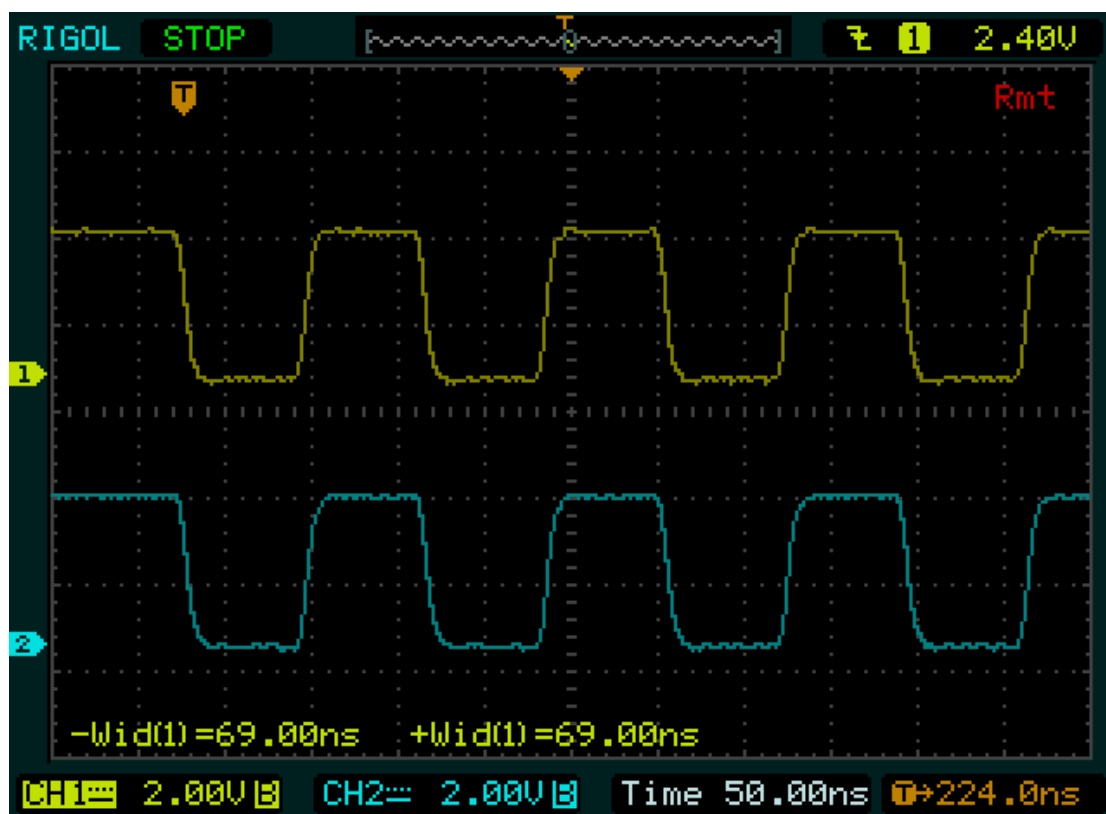
STM32F103 的最高主频为 72Mhz，计算出每个 HCLK 的周期为 13.89ns。

在测试中，我们设置地址建立时间为 0，数据建立时间为 1，**BUSTURN** 设置为 0（即读等待为 $6HCLK$ ），没有使用扩展模式（即模式 1）。

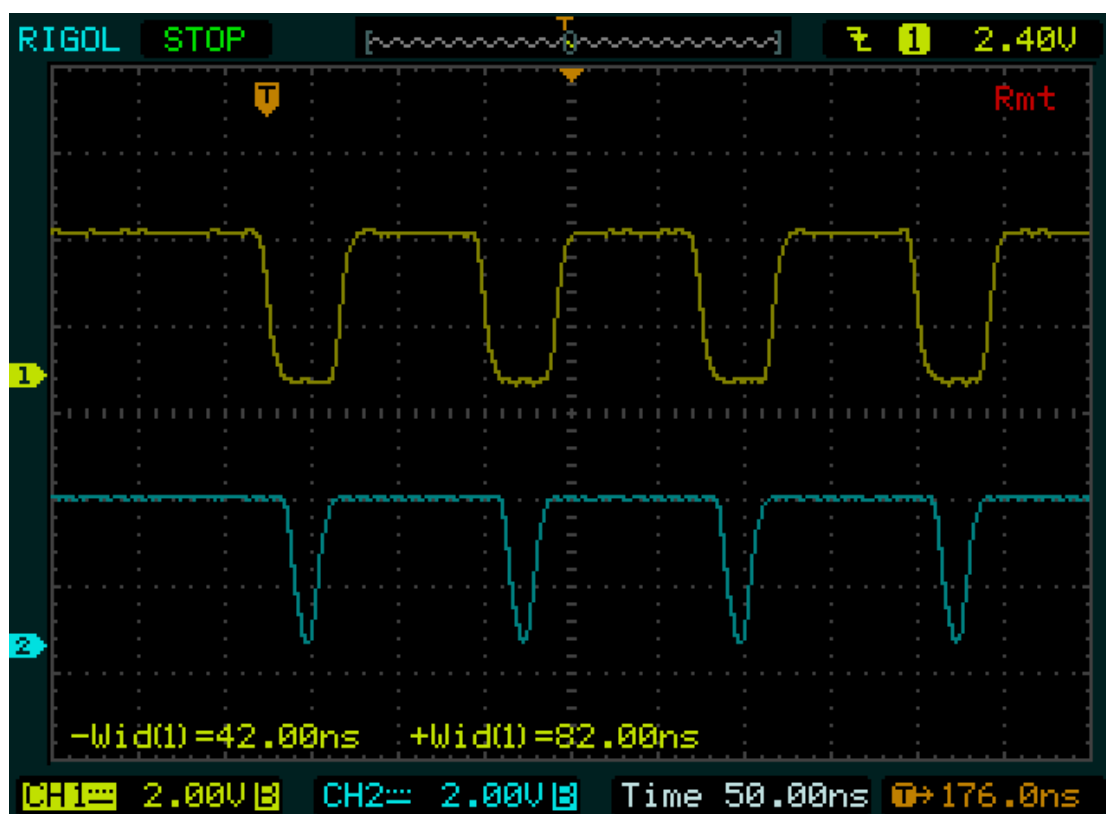
1.2.1 CPU 访问

总线宽度配置为 16 位，在测试中，程序连接存取 4 次，以下测量图。

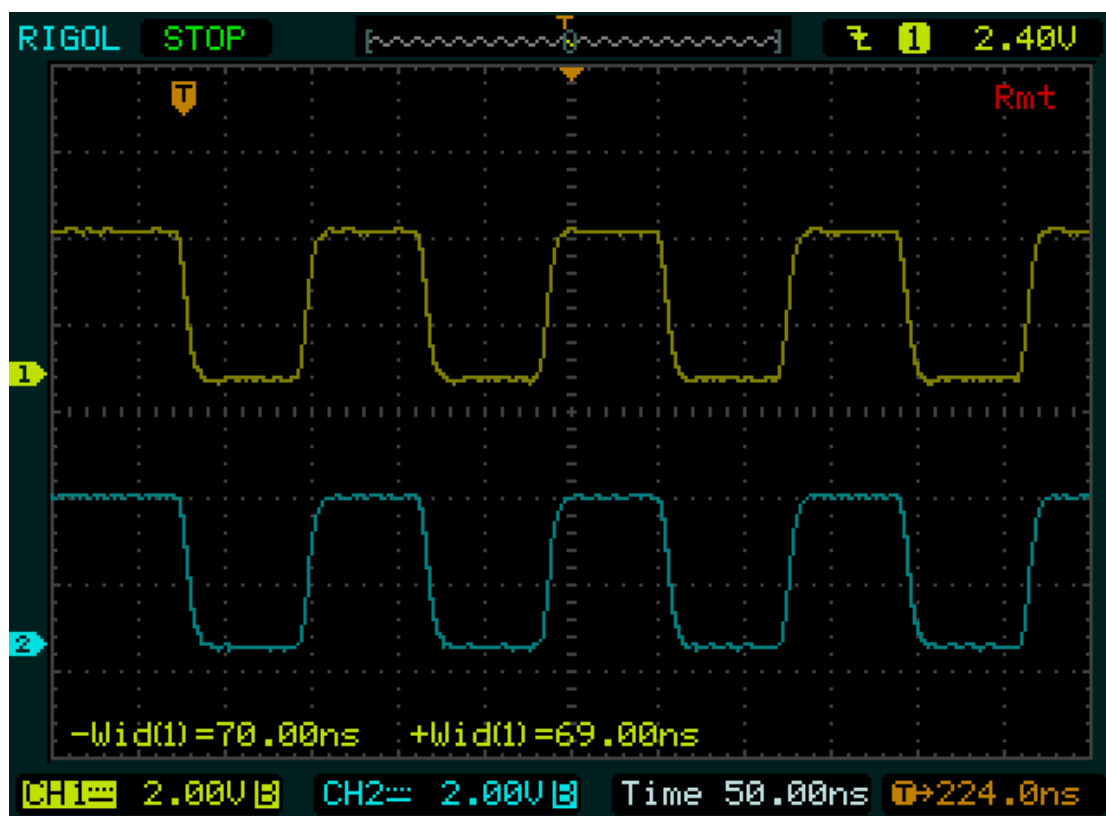
注：黄线线为 CS，蓝色线分别为 NOE 和 NWE。



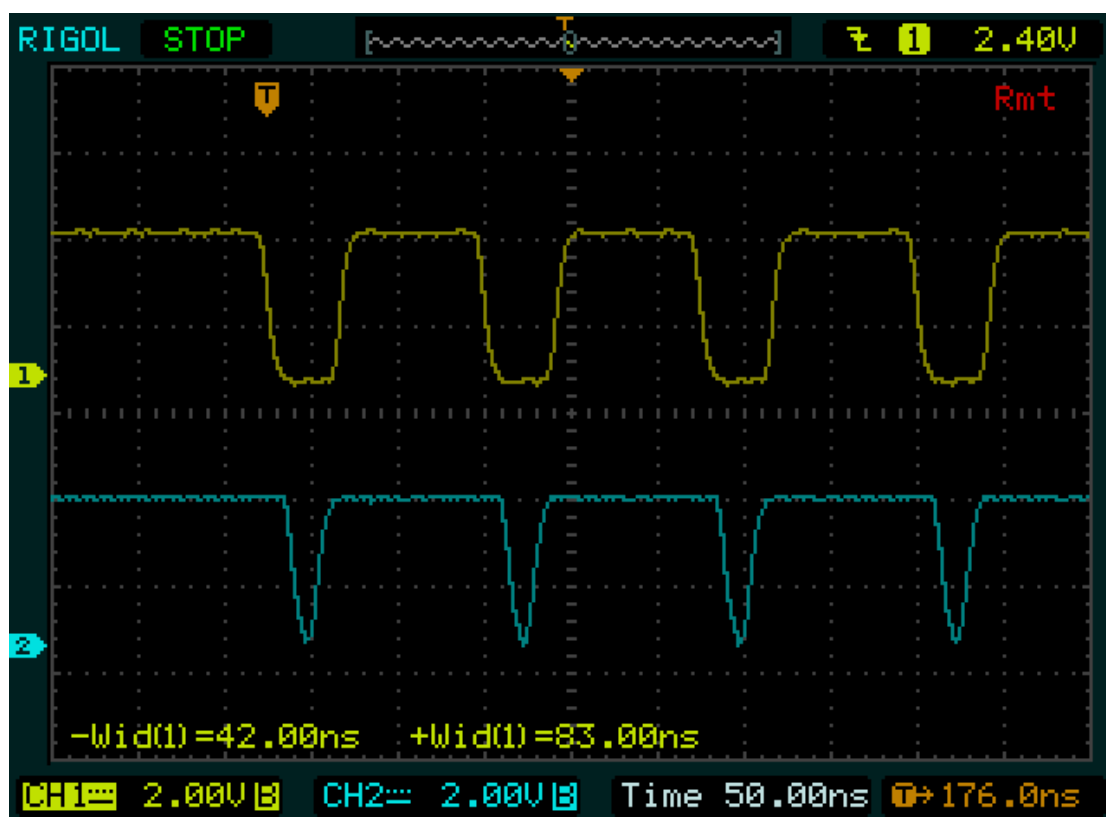
测试图：8bit read



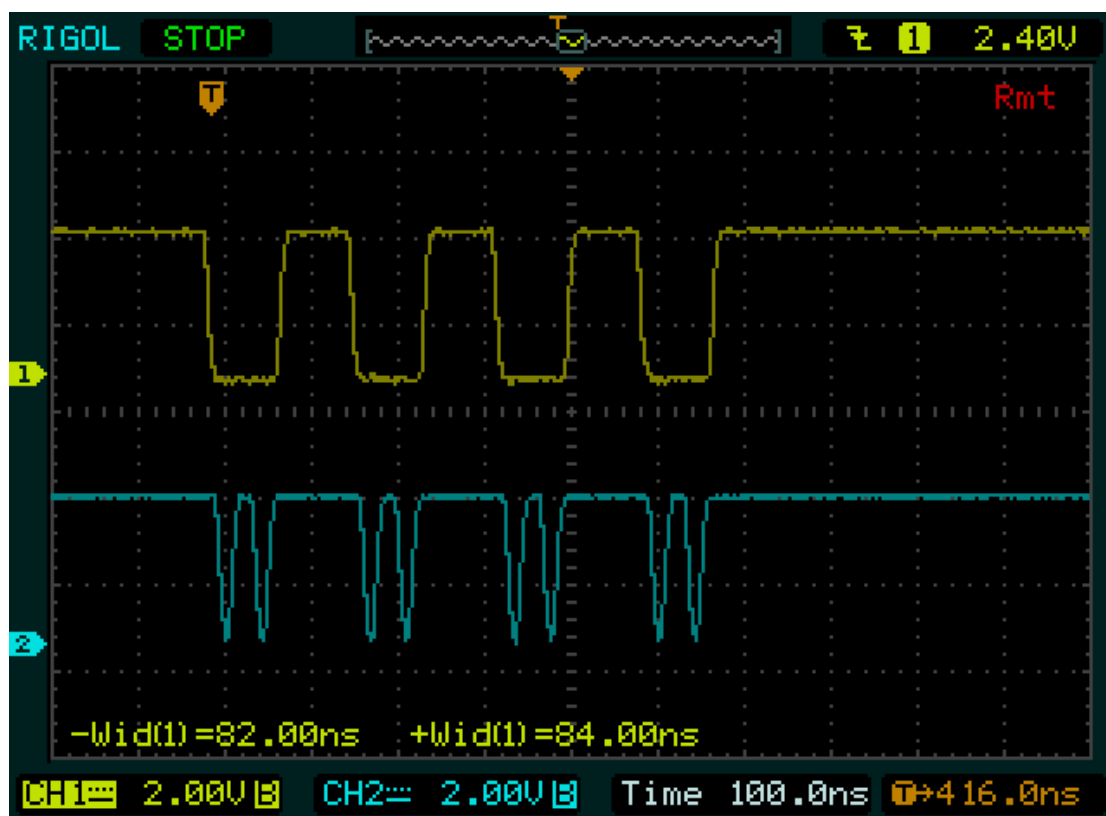
测试图：8bit write



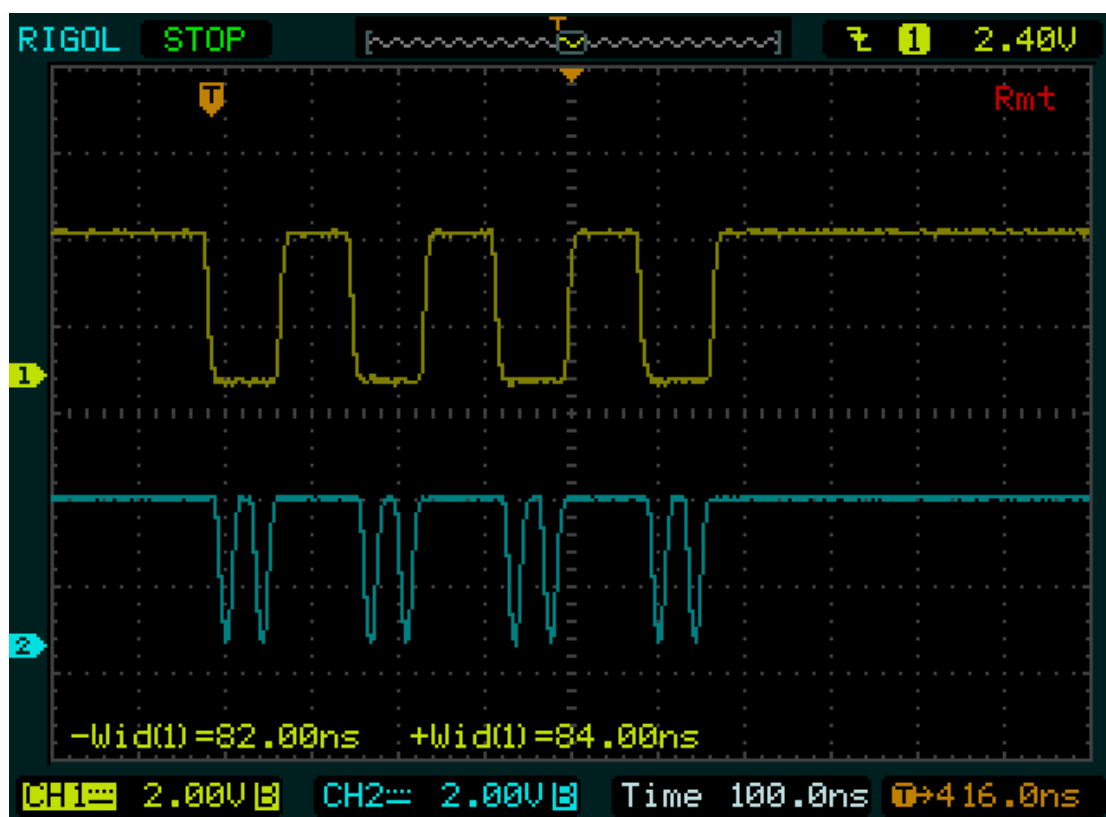
测试图：16bit read



测试图：16bit write



测试图：32bit read



测试图：32bit write

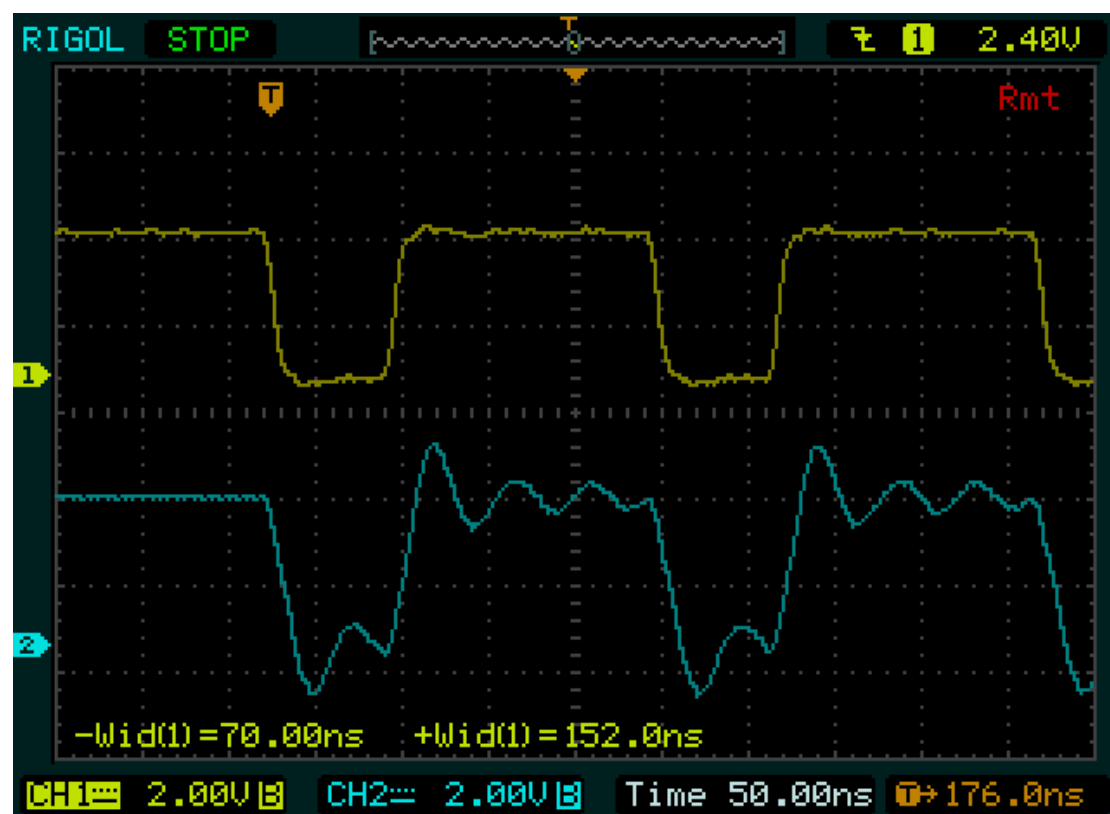
从测试图看到：

位宽	读操作	读间隔	写操作	写间隔
8 位和 16 位	69ns (5)	69ns (5)	42ns (3)	82ns (6)
32 位	82ns (6)	82ns (6)	82ns (6)	82ns (6)

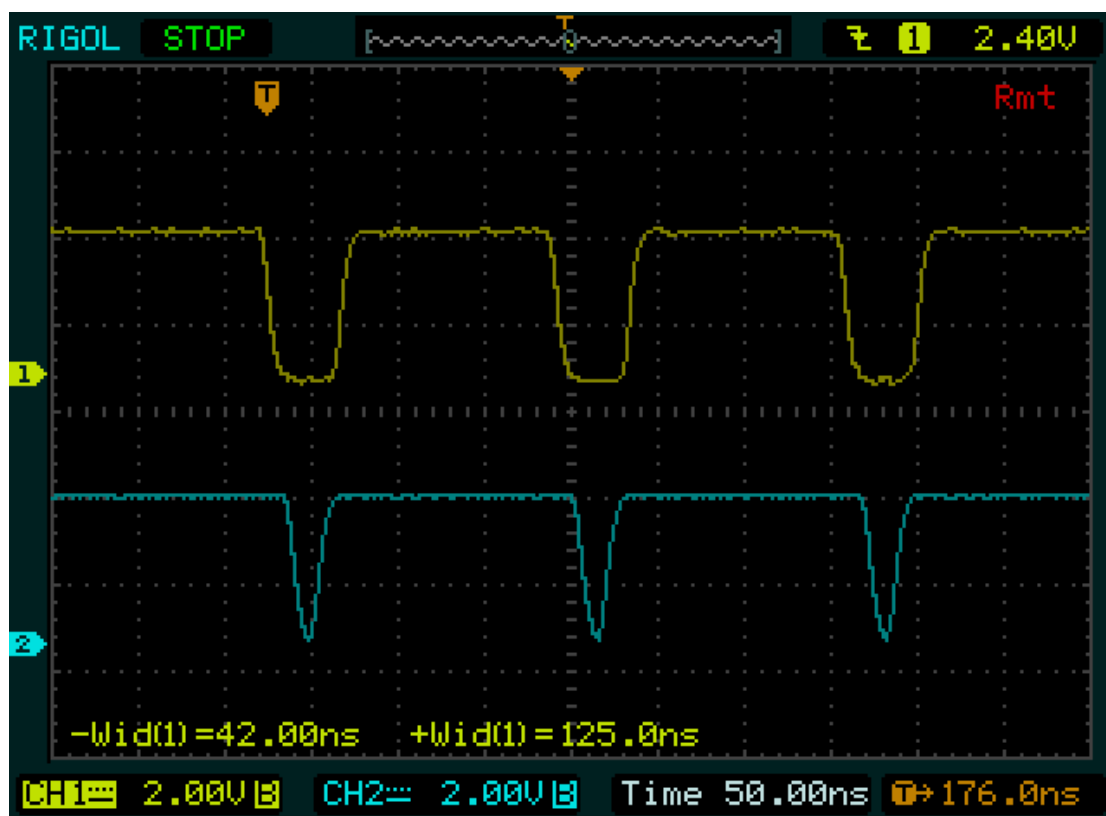
1.2.2 DMA 读写测试

FSMC 的配置不变，把 CPU 读写操作改为 DMA 读写操作，因总线为 16 位，所以没有进行 8 位 DMA 操作。

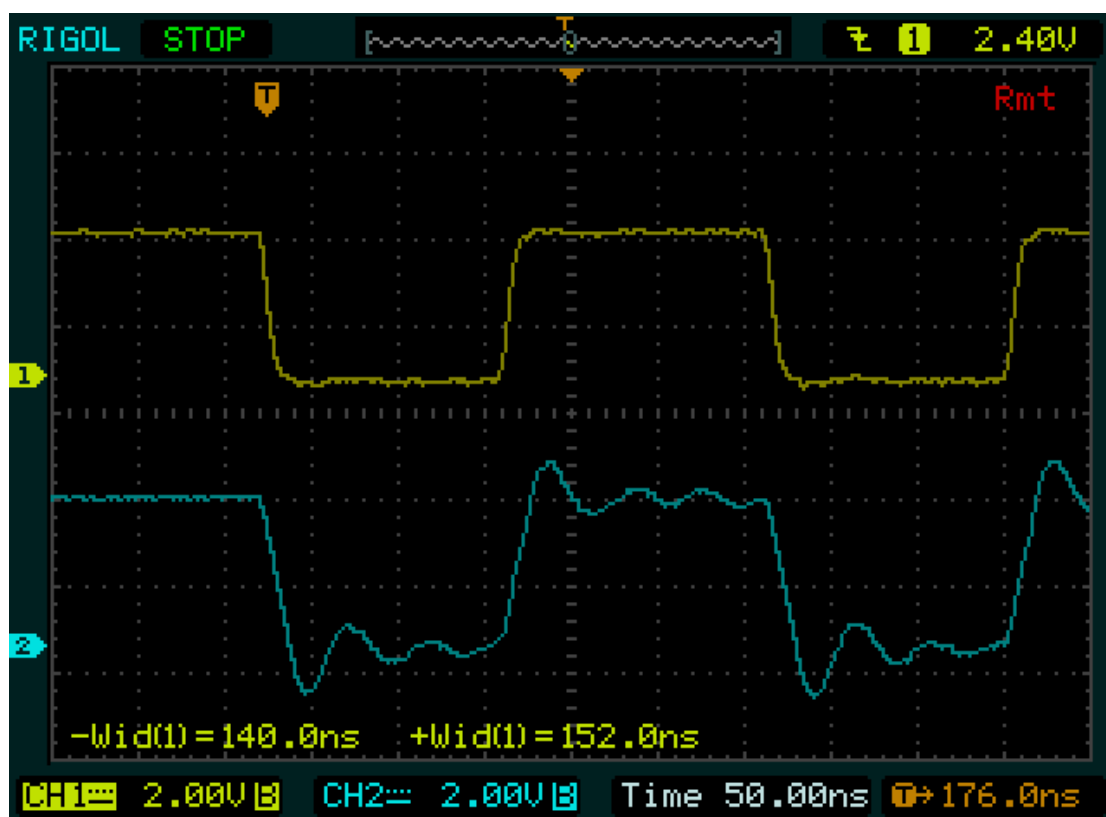
注：黄线为 CS，蓝色线分别为 NOE 和 NWE。



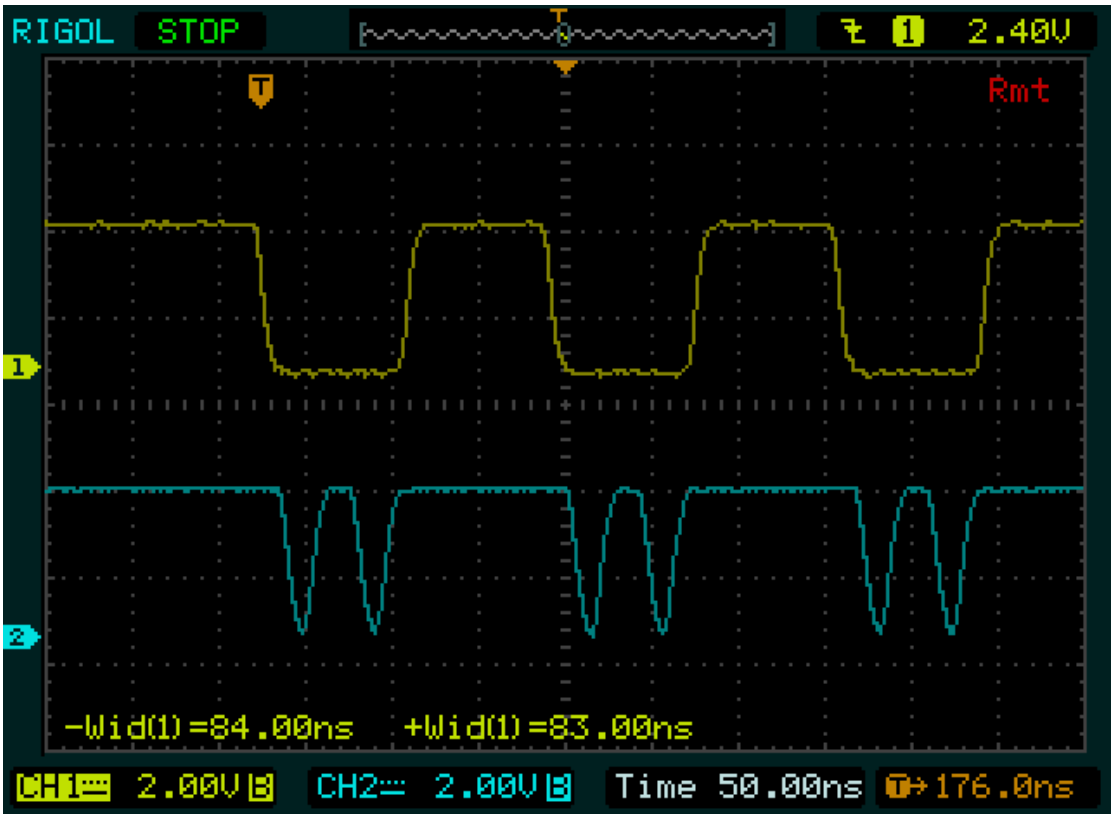
测试图：16bit DMA read



测试图：16bit DMA write



测试图：32bit DMA read



测试图：32bit DMA wite

从测试图看到：

位宽	读操作	读间隔	写操作	写间隔
16 位	69ns (5)	152ns (11)	42ns (3)	126ns (9)
32 位	140ns (10)	152ns (11)	84ns (6)	84ns (6)

1.在 32 位操作时，虽然需要以 16 位操作两次，但自动使用连续读写，提高了性能。

1.2.3 带宽计算

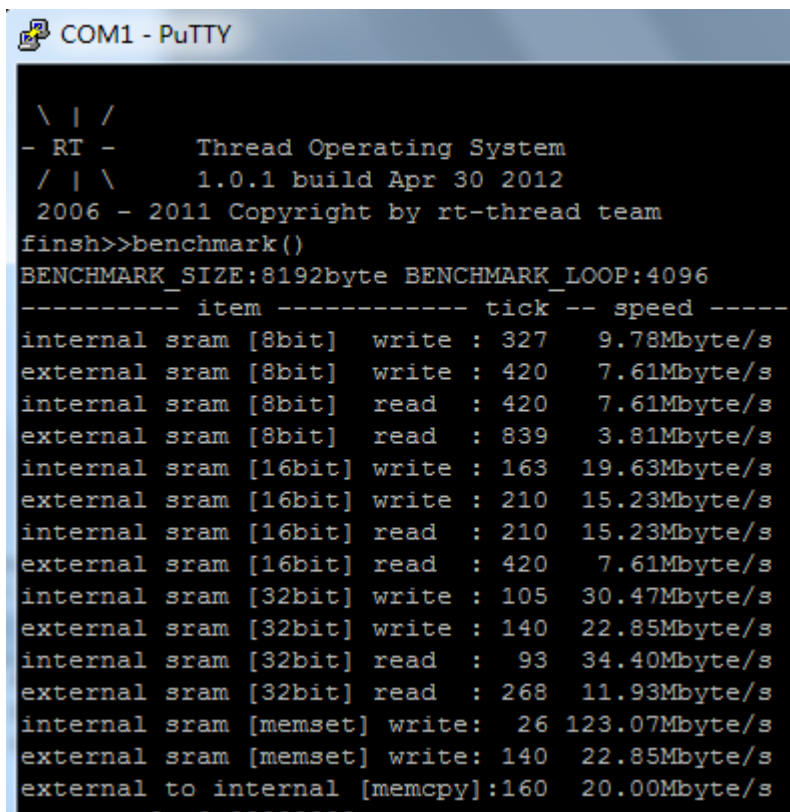
CPU 访问(ADDSET=0, DATSET=1, BUSTURN=0)

位宽	读操作	读间隔	读性能	写操作	写间隔	写性能
8/16 位	69ns (5)	69ns (5)	14.4Mbyte/s	42ns (3)	84ns (6)	16Mbyte/s
32 位	84ns (6)	84ns (6)	24Mbyte/s	84ns (6)	84ns (6)	24Mbyte/s

DMA 访问()

位宽	读操作	读间隔	读性能	写操作	写间隔	写性能
8/16 位	69ns (5)	152ns (11)	9Mbyte/s	42ns (3)	126ns (9)	12Mbyte/s
32 位	140ns (10)	152ns (11)	13.7Mbyte/s	84ns (6)	84ns (6)	24Mbyte/s

实际测试数据 (ADDSET=0, DATSET=1, BUSTURN=0):



```
COM1 - PuTTY

\ | /
- RT -      Thread Operating System
/ | \      1.0.1 build Apr 30 2012
2006 - 2011 Copyright by rt-thread team
finsh>>benchmark()
BENCHMARK_SIZE:8192byte BENCHMARK_LOOP:4096
----- item ----- tick -- speed -----
internal sram [8bit]  write : 327  9.78Mbyte/s
external sram [8bit]  write : 420  7.61Mbyte/s
internal sram [8bit]  read  : 420  7.61Mbyte/s
external sram [8bit]  read  : 839  3.81Mbyte/s
internal sram [16bit] write : 163 19.63Mbyte/s
external sram [16bit] write : 210 15.23Mbyte/s
internal sram [16bit] read  : 210 15.23Mbyte/s
external sram [16bit] read  : 420  7.61Mbyte/s
internal sram [32bit] write : 105 30.47Mbyte/s
external sram [32bit] write : 140 22.85Mbyte/s
internal sram [32bit] read  :  93 34.40Mbyte/s
external sram [32bit] read  : 268 11.93Mbyte/s
internal sram [memset] write:  26 123.07Mbyte/s
external sram [memset] write: 140 22.85Mbyte/s
external to internal [memcpy]:160 20.00Mbyte/s
```

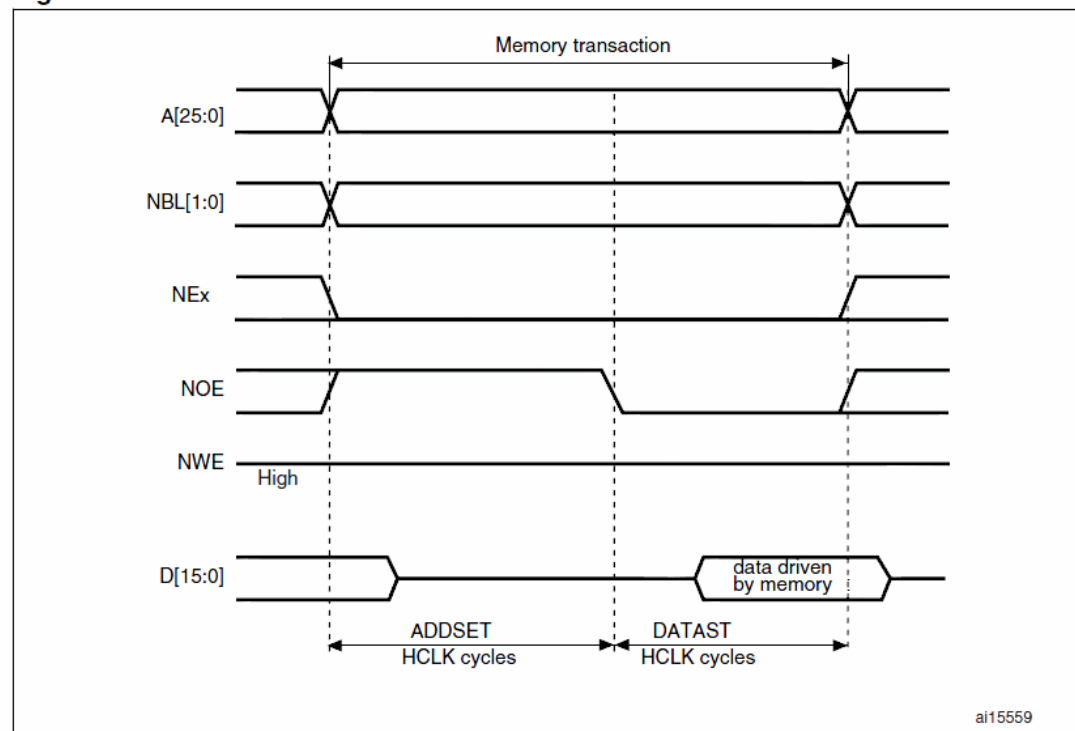
2. STM32F2/F4 的 FSMC 扩展 SRAM 时序介绍及测量

2.1 时序介绍

STM32F2/F4 与 STM32F103 一样也支持模式 1 和模式 A，其定义完全一样。与之不同的是 STM32F2/F4 提高了 FSMC 的性能。

扩展 SRAM 时的读取时间如下：

Figure 392. ModeA read accesses

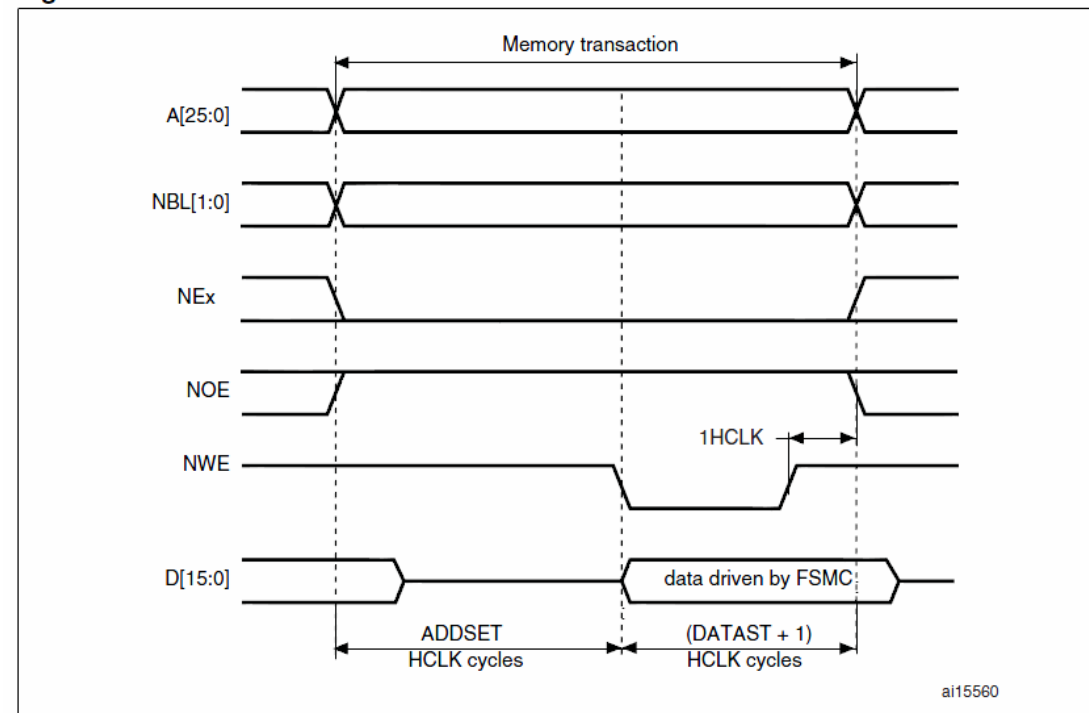


从上面的读时序图可以看到：

- 1.FSMC 扩展 SRAM 基本时间单位为 HCLK。
- 2.地址建立时间为 ADDSET,其中 ADDSET 的取值范围是 1~15。
- 3.数据设置为 DATSET，其中 DATSET 的取值范围是 0~15。

写入时序如下：

Figure 393. ModeA write accesses



从上面的写时序图可以看到：

- 1.地址建立时间为 ADDSET,其中 ADDSET 的取值范围是 1~15。
- 2.数据设置为 DATSET，其中 DATSET 的取值范围是 0~15。

另外关于两次读写间隔：

1. 当不使用扩展模式时，会在读操作结束后插入 **BTR-BUSTURN+2HCLK**；在写操作结束后插入 **BTR-BUSTURN+1HCLK**。
2. 当使用扩展模式时，在读操作结束后插入 **BTR-BUSTURN+2HCLK**；在写操作结束后插入 **BWTR-BUSTURN+1HCLK**。

NOTE：在实际测试时发现，当使用扩展模式时，在写操作结束后不管设置为多少，始终插入 8.5ns（1HCLK cycle \approx 6ns）的延迟。

根据读写时序图我们可以计算出 STM32F2/F4 的 FSMC 在扩展 SRAM 时：

- 1.最短读取时间为 1HCLK。
- 2.最短写入时间为 2HCLK。

2.2 时序测量

STM32F2 的主频最高为 120M，F4 的最高主频为 168M，在测试中，为了观察方便，把地址和数据建立时间都设置为 4，**BUSTURN** 设置为 1，使用扩展模式，计算得到的速度如下：

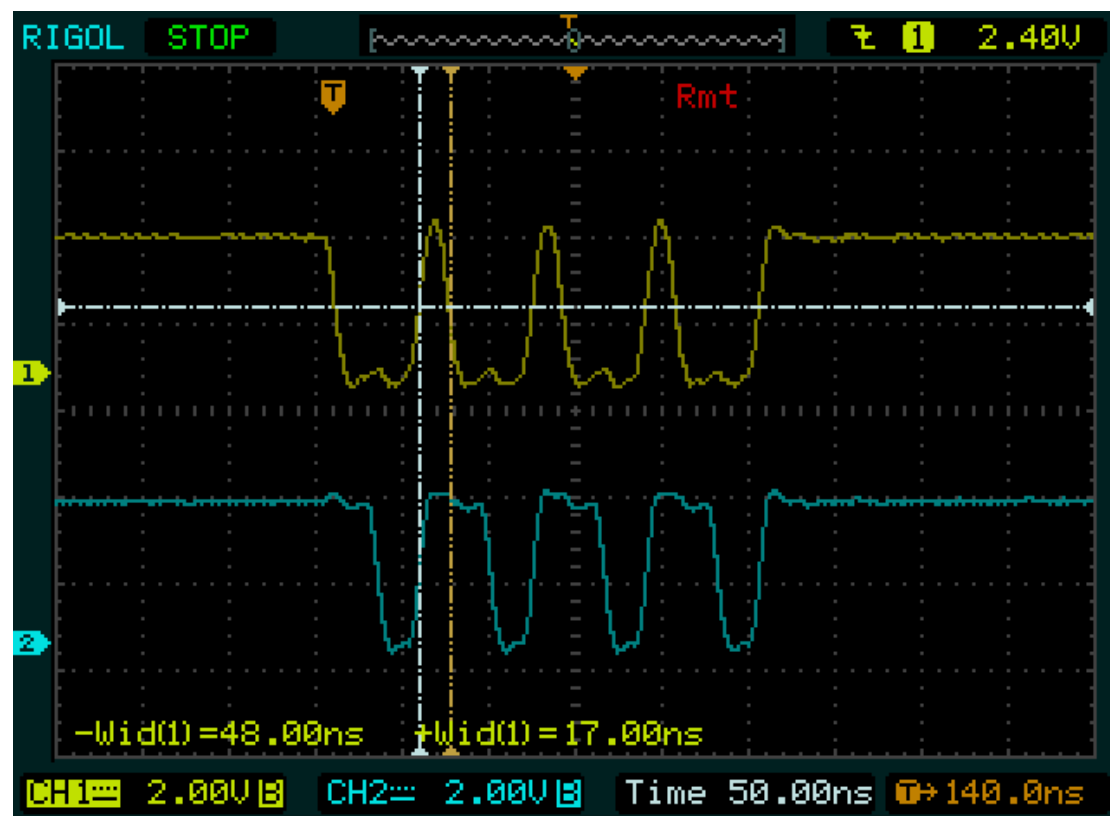
型号	理想最高读取速度	理想最高写入速度	本例测试读取速度	本例测试写入速度
F2	8.3ns 1HCLK	16.6ns 2HCLK	66.4ns 8HCLK	75ns 9HCLK
F4	6ns 1HCLK	12ns 2HCLK	48ns 8HCLK	54ns 9HCLK

使用 STM32F4 做测试，主频 168M，按上表设置地址和数据建立时间，及操作间隔。

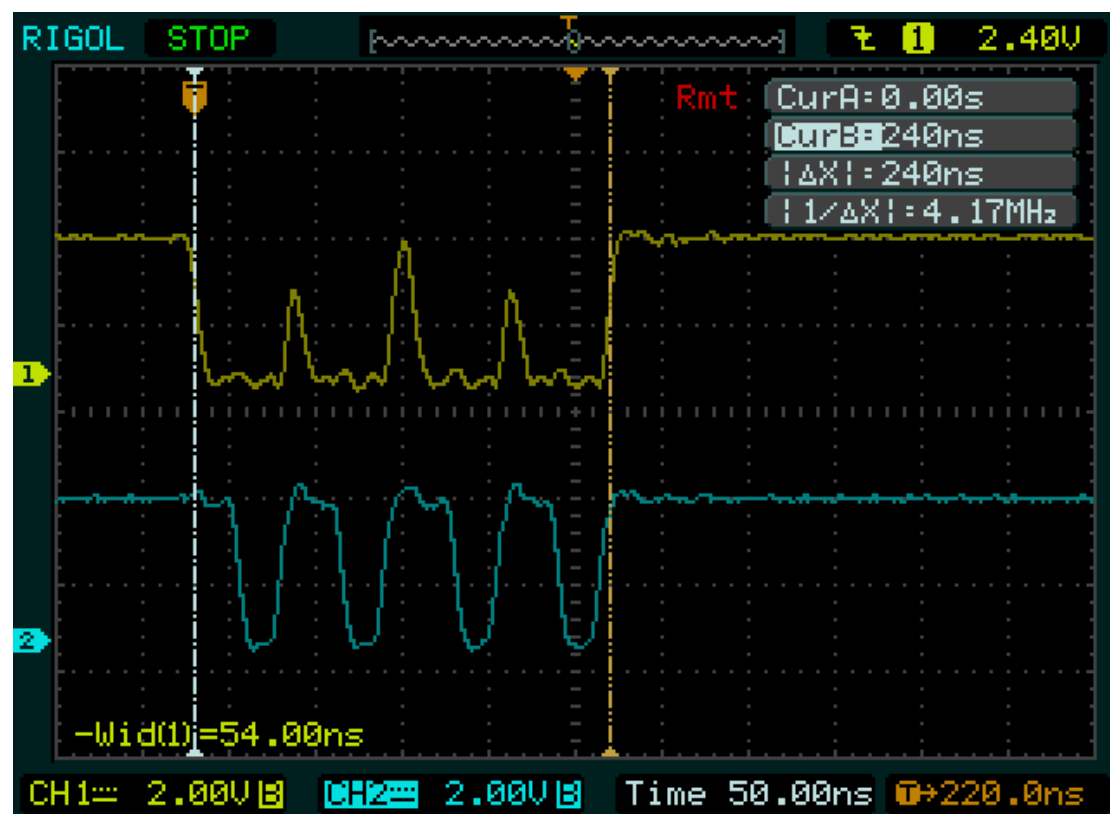
2.2.1 CPU 访问

总线宽度配置为 16 位，在测试中，程序连接存取 4 次，以下测量图。

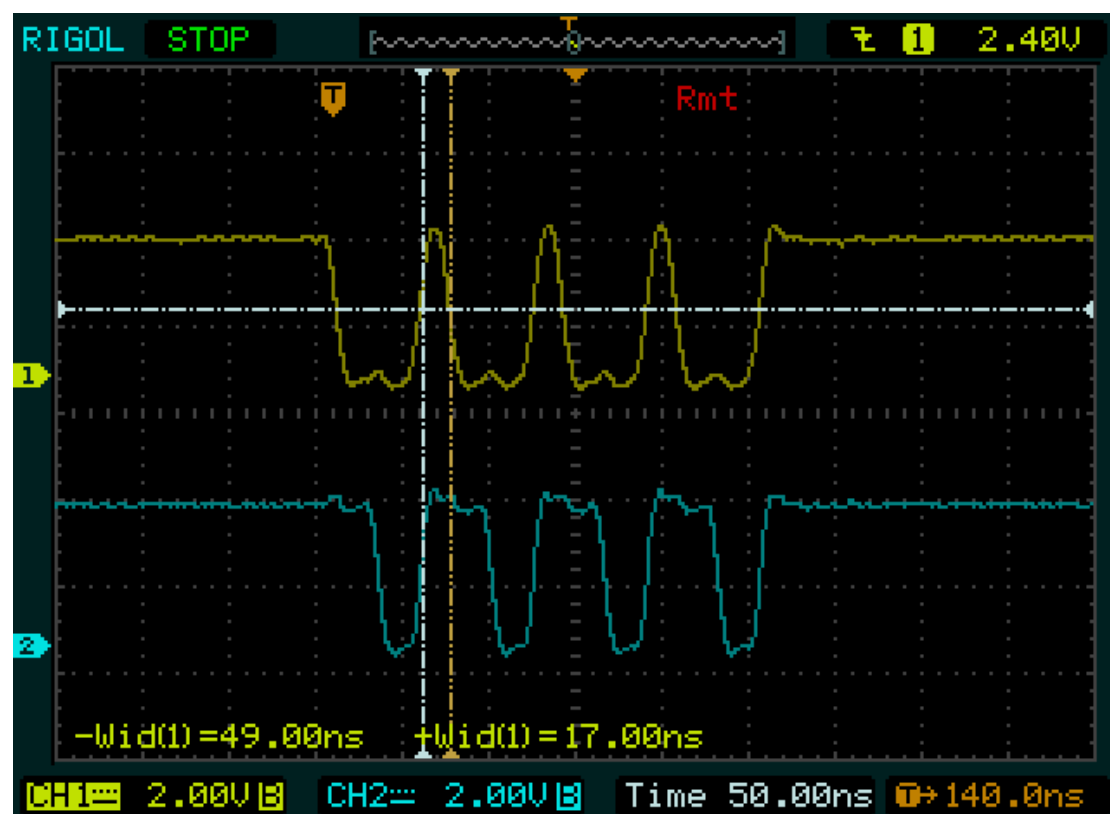
注：黄线线为 CS，蓝色线分别为 NOE 和 NWE。



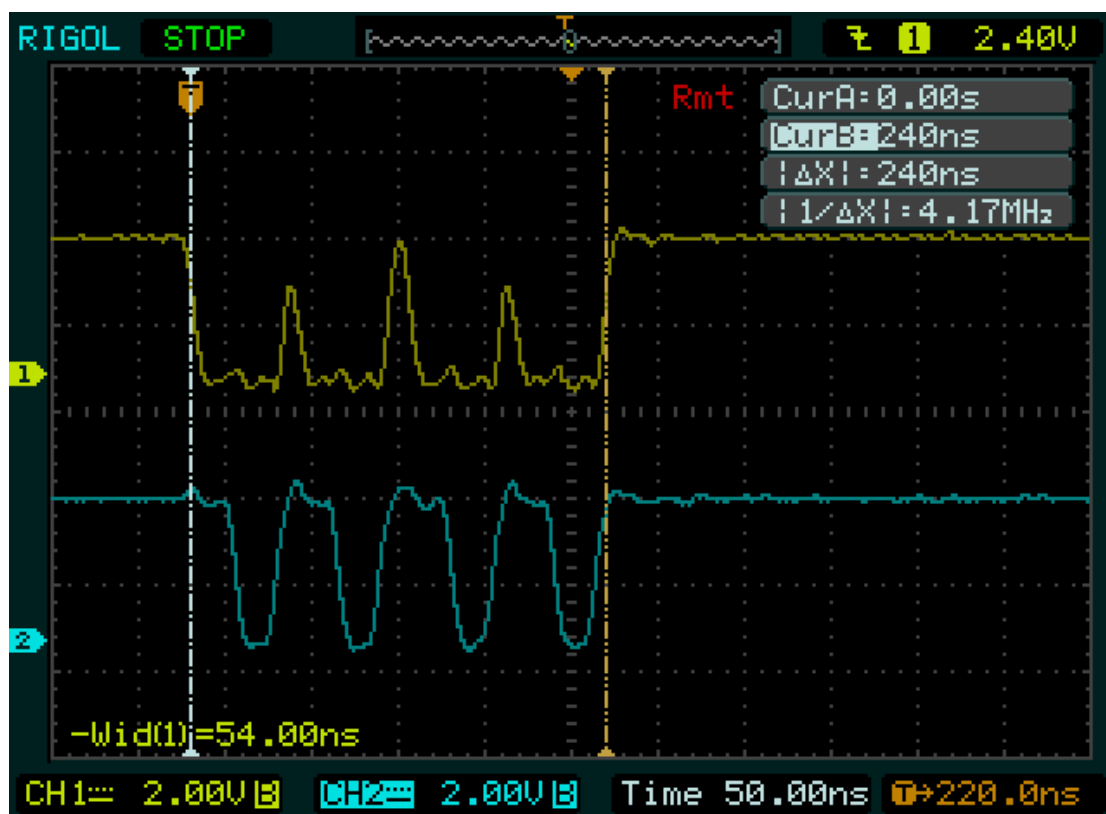
测试图：8bit read



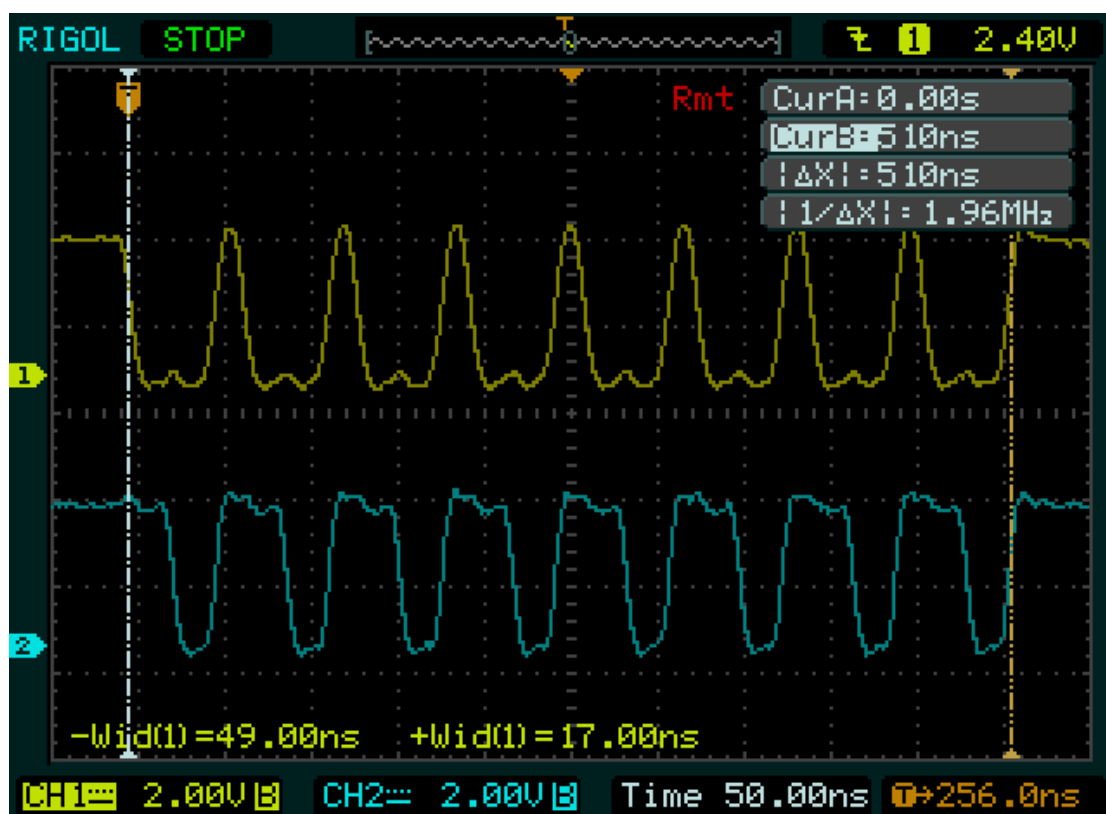
测试图：8bit write



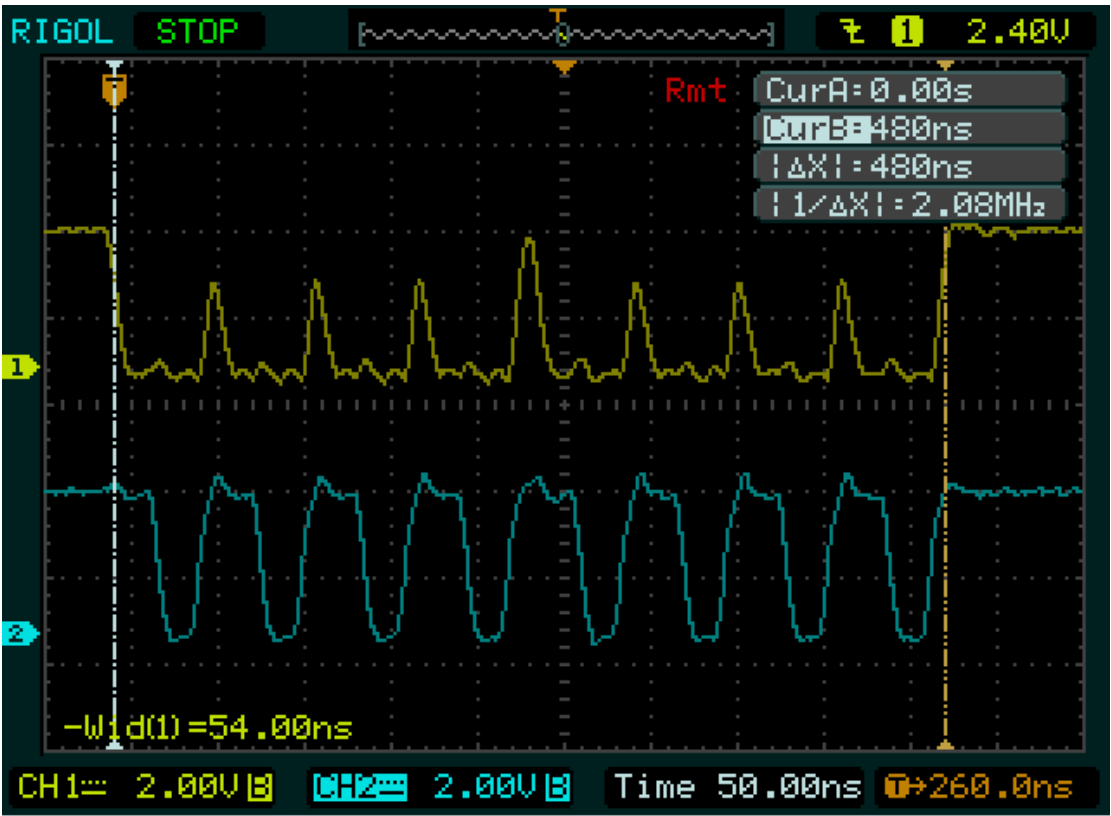
测试图：16bit read



测试图：16bit write



测试图：32bit read



测试图：32bit write

从测试图看到：

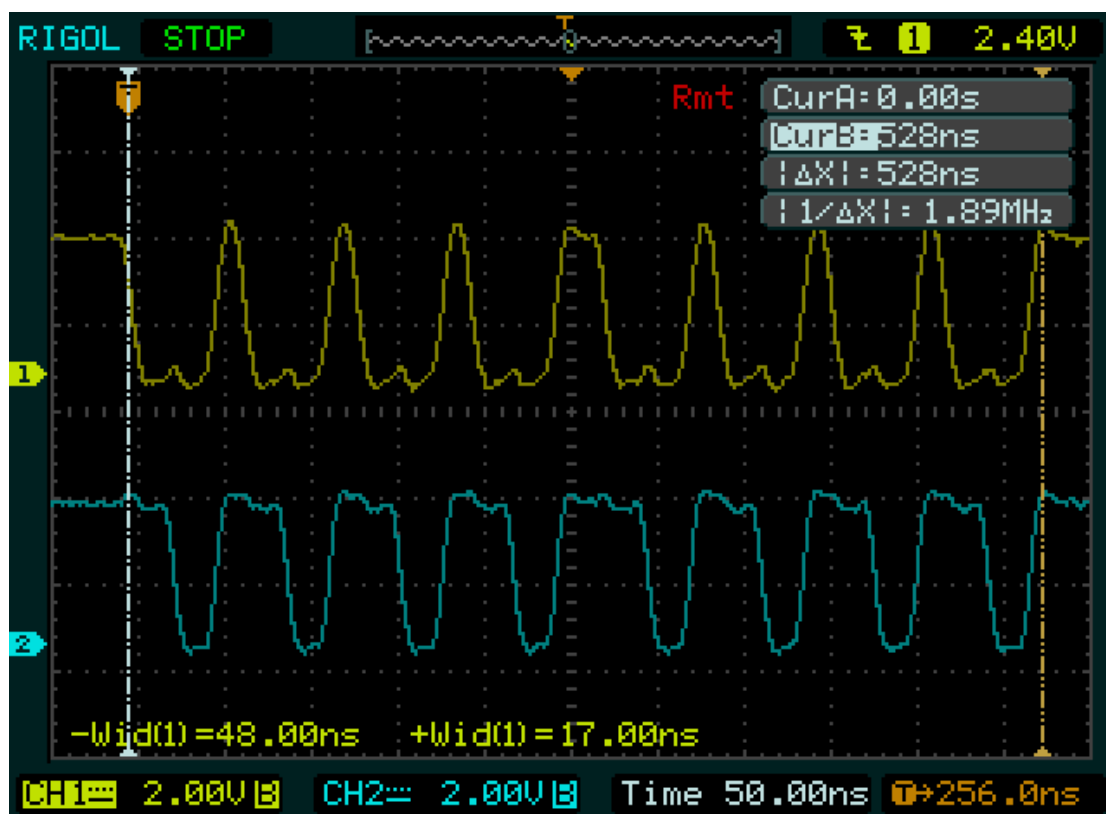
位宽	读操作	写操作
8 位	48ns (8HCLK)	54ns (9HCLK)
16 位	48ns (8HCLK)	54ns (9HCLK)
32 位	48ns (8HCLK) X2	54ns (9HCLK) X2

- 1.与 103 对比，在 32 位操作时，需要 16 位操作两次，耗费的时间是 16 位的两倍。
- 2.每两次读取操作之间的间隔时间约为 17ns，修正测量误差取近似值为 18ns，即 $(1+2)HCLK$ 。
- 3.因每两次写入操作之间的间隔比较短，超出了仪器的测量范围，我们根据多次写入的总时间计算得到每两次写入的间隔时间约为 6ns（1HCLK）。

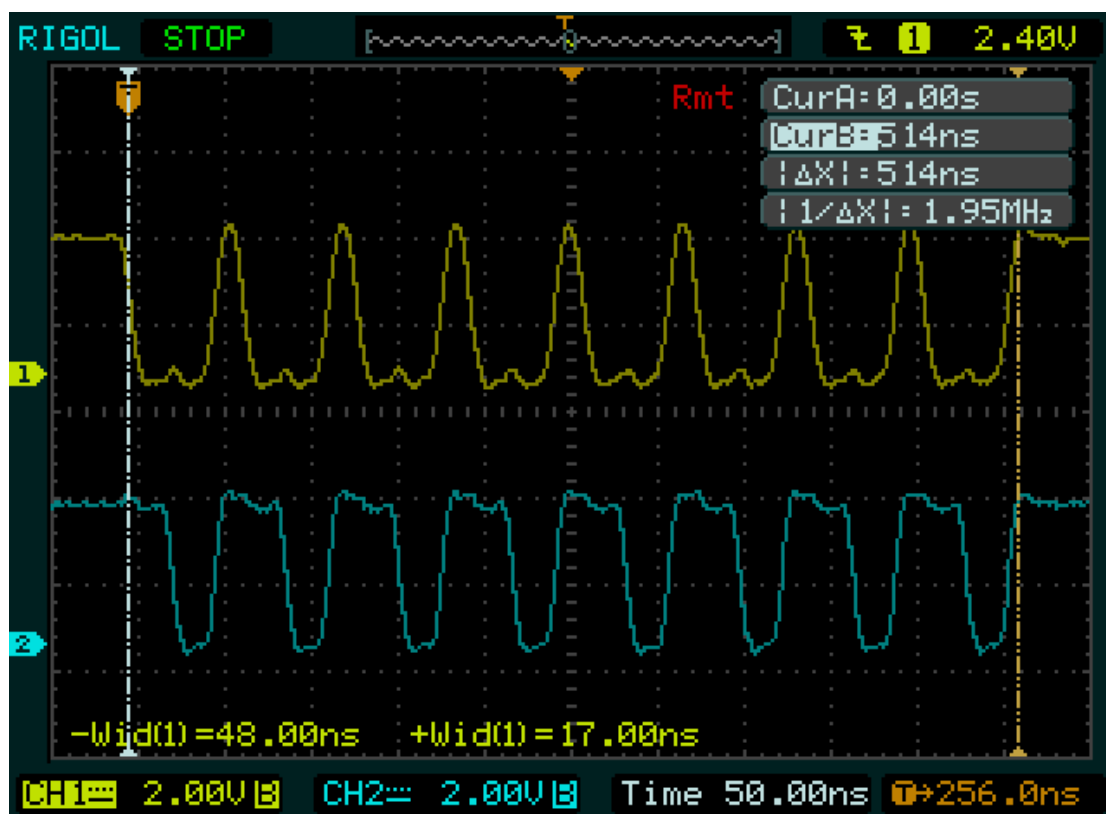
2.2.2 DMA 读写测试

FSMC 的配置不变，把 CPU 读写操作改为 DMA 读写操作，因总线为 16 位，所以没有进行 8 位 DMA 操作。

注：黄线线为 CS，蓝色线分别为 NOE 和 NWE。

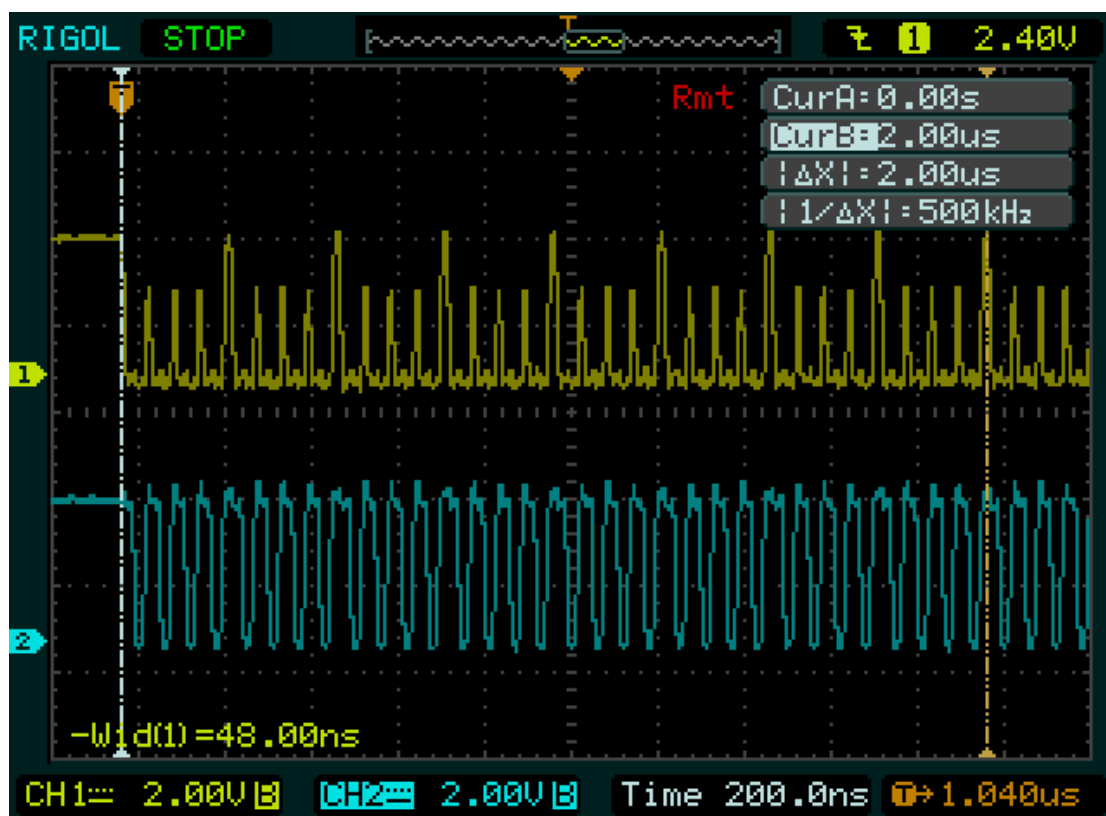


测试图：16bit DMA read

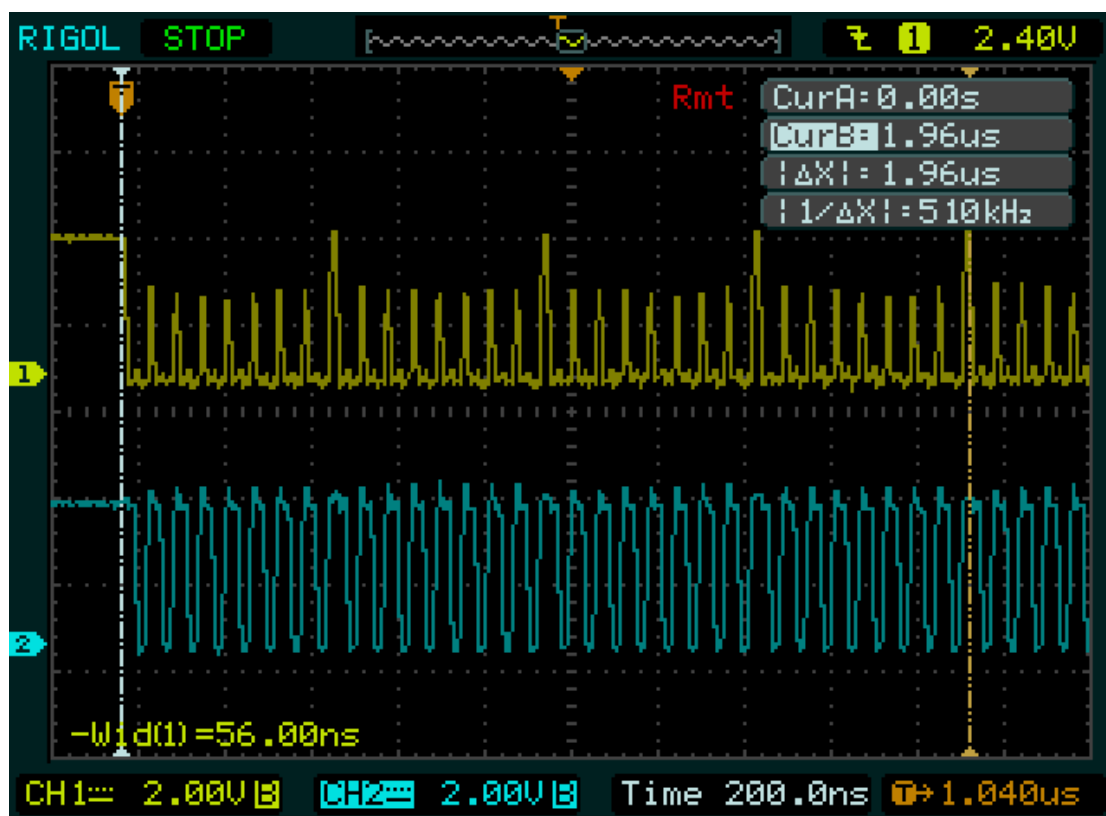


测试图：32bit DMA read

因写入间隔太短，已经超出仪器的测量范围，因此我们采取连续多个写入周期的方式。



测试图：16bit DMA write



测试图：32bit DMA write

因受测量仪器性能所限，通过 CPU 写入与 DMA 写入的时序对比，我们得到如下数据：

- 1.每两次读取操作之间的间隔时间依然约为 18ns，即 3HCLK。
- 2.因每两次写入操作之间的间隔比较短，超出了仪器的测量范围，我们根据多次写入的总时间计算得到每两次写入的间隔时间依然约为 6ns，即 1HCLK。

2.2.3 带宽计算

CPU 访问与 DMA 性能基本一致（独占访问模式下）

理论极限性能(ADDSET=1, DATSET=0, BUSTURN=0)

位宽	读操作	读间隔	读性能	写操作	写间隔	写性能
16 位或 32 位	6ns(1)	12ns(2)	112Mbyte/s	12ns(2)	6ns(1)	112Mbyte/s

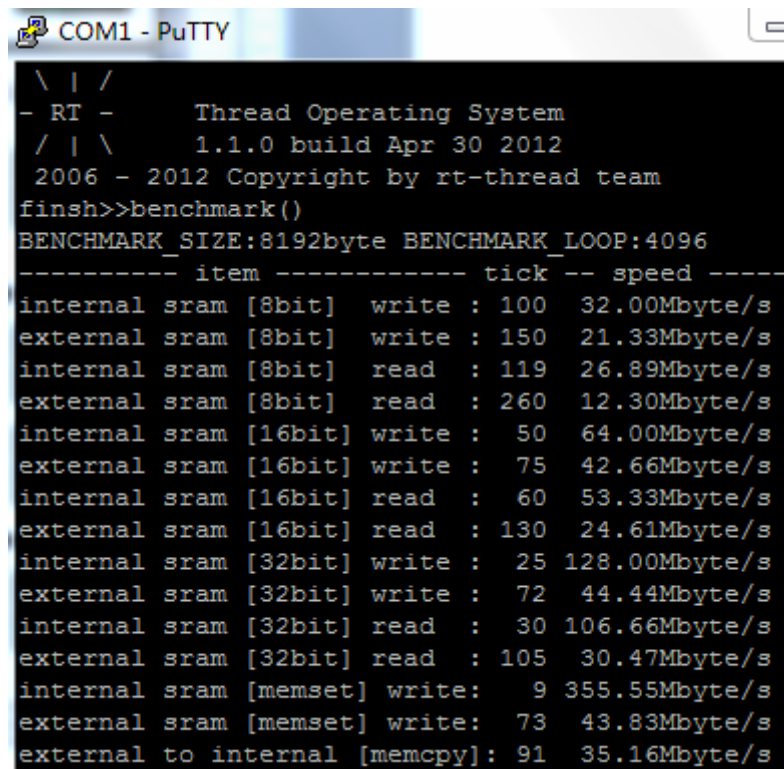
某高速 SRAM(ADDSET=2, DATSET=3, BUSTURN=1)

位宽	读操作	读间隔	读性能	写操作	写间隔	写性能
16 位或 32 位	30ns(5)	18ns(3)	42Mbyte/s	36ns(6)	6ns(1)	48Mbyte/s

某中速 SRAM(ADDSET=4, DATSET=4, BUSTURN=1)

位宽	读操作	读间隔	读性能	写操作	写间隔	写性能
16 位或 32 位	48ns(8)	18ns(3)	30.54Mbyte/s	54ns(9)	6ns(1)	33.6Mbyte/s

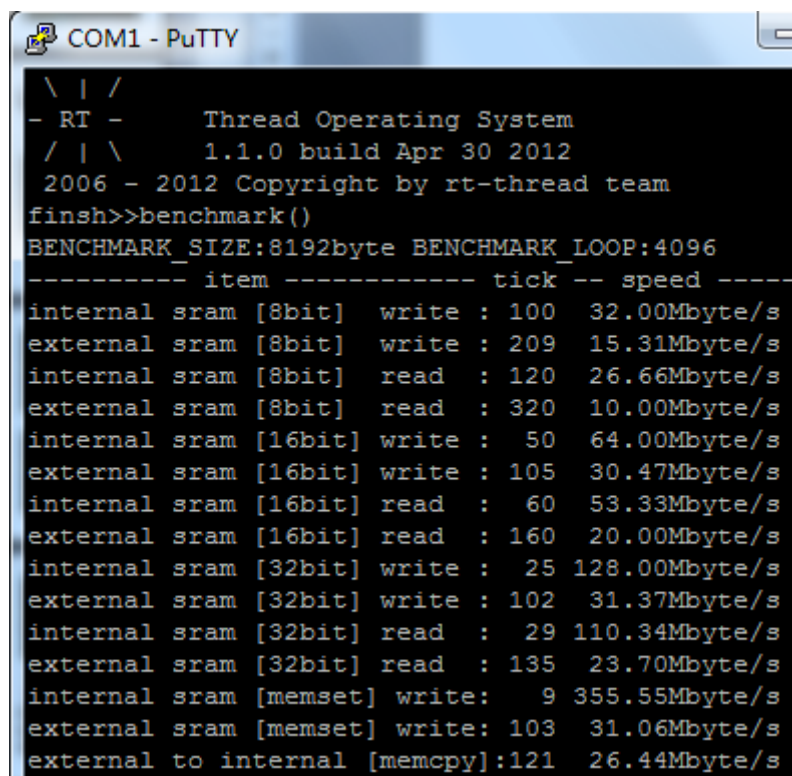
以下是实际测试数据：



```

COM1 - PuTTY
\ | /
- RT -      Thread Operating System
/ | \      1.1.0 build Apr 30 2012
2006 - 2012 Copyright by rt-thread team
finsh>>benchmark()
BENCHMARK_SIZE:8192byte BENCHMARK_LOOP:4096
----- item ----- tick -- speed -----
internal sram [8bit]  write : 100 32.00Mbyte/s
external sram [8bit]  write : 150 21.33Mbyte/s
internal sram [8bit]  read  : 119 26.89Mbyte/s
external sram [8bit]  read  : 260 12.30Mbyte/s
internal sram [16bit] write :  50 64.00Mbyte/s
external sram [16bit] write :  75 42.66Mbyte/s
internal sram [16bit] read  :  60 53.33Mbyte/s
external sram [16bit] read  : 130 24.61Mbyte/s
internal sram [32bit] write :  25 128.00Mbyte/s
external sram [32bit] write :  72 44.44Mbyte/s
internal sram [32bit] read  :  30 106.66Mbyte/s
external sram [32bit] read  : 105 30.47Mbyte/s
internal sram [memset] write:   9 355.55Mbyte/s
external sram [memset] write:  73 43.83Mbyte/s
external to internal [memcpy]: 91 35.16Mbyte/s
  
```

高速 SRAM



```

\ | /
- RT -      Thread Operating System
/ | \      1.1.0 build Apr 30 2012
2006 - 2012 Copyright by rt-thread team
finsh>>benchmark()
BENCHMARK_SIZE:8192byte BENCHMARK_LOOP:4096
----- item ----- tick -- speed -----
internal sram [8bit]  write : 100  32.00Mbyte/s
external sram [8bit]  write : 209  15.31Mbyte/s
internal sram [8bit]  read  : 120  26.66Mbyte/s
external sram [8bit]  read  : 320  10.00Mbyte/s
internal sram [16bit] write :  50  64.00Mbyte/s
external sram [16bit] write : 105  30.47Mbyte/s
internal sram [16bit] read  :  60  53.33Mbyte/s
external sram [16bit] read  : 160  20.00Mbyte/s
internal sram [32bit] write :  25 128.00Mbyte/s
external sram [32bit] write : 102  31.37Mbyte/s
internal sram [32bit] read  :  29 110.34Mbyte/s
external sram [32bit] read  : 135  23.70Mbyte/s
internal sram [memset] write:   9 355.55Mbyte/s
external sram [memset] write: 103  31.06Mbyte/s
external to internal [memcpy]:121  26.44Mbyte/s

```

中速 SRAM

3.IS61LV25616 高速 SRAM 的时序配置

IS61LV25616 是 ISSI 公司生产的高速 SRAM，后缀有 10，12，15 几种，分别表示最短访问时间为 10ns，12ns，15ns。

当连接 STM32F103 时，主频为 72M，每个 HCLK 周期为 13.89ns，且最短读取时间为 5HCLK，最短写入时间为 3HCLK。是远远超过 SRAM 所要求的时间，所以直接把 STM32F103 的 FSMC 配置为最快即可，即：ADDSET=0， DATSET=1， BUSTURN=0。

当连接 STM32F4 时，主频为 168，每个 HCLK 周期约为 6ns。查阅数据手册得到从输出地址到数据开始输出至少要 10ns，因此我们要配置为 2HCLK，然后还需要一个 HCLK 用于从总线读取数据。由上计算得出当 IS61LV25616-10TL 连接 STM32F4 时，理论极限参数可以配置为：ADDSET=2， DATSET=1， BUSTURN=0。

因 PCB 性能有限，在实际测试发现上面的极限配置会造成数据出错，经测试实验并调整得到能保证数据正确的优化配置：ADDSET=2， DATSET=3， BUSTURN=1。

4.EM681FV16AU 中速大容量 SRAM 的时序配置

EM681FV16AU 是另一款常用的中速 SRAM，以 EM681FV16AU-55 为例，后缀 55 表

示最短访问时间为 55ns，同上，因为 STM32F103 的 FSMC 性能低于 SRAM，因此直接使用最快配置：ADDSET=0， DATSET=1， BUSTURN=0。

当连接 STM32F4 时，我们需要保证访问时间不得快于 55ns，因此我们把 ADDSET 设置为 4，并把 DATSET 设置为 5，这样当 FSMC 开始读取数据时，已经过了 9HCLK，约为 54ns，可以满足要求。全部配置如下：ADDSET=4， DATSET=5， BUSTURN=1。