PLL(Phase Locked Loop)： 为锁相回路或锁相环，用来统一整合时脉讯号，使高频器件正常工作，如内存的存取资料等。PLL用于振荡器中的反馈技术。 许多电子设备要正常工作，通常需要外部的输入信号与内部的振荡信号同步。一般的晶振由于工艺与成本原因，做不到很高的频率，而在需要高频应用时，有相应的器件VCO，实现转成高频，但并不稳定，故利用锁相环路就可以实现稳定且高频的时脉冲讯号。

时钟源:HSI、HSE、LSI、LSE、PLL共5个。

①、HSI（high speed inner）是高速内部时钟，RC振荡器，频率为16MHz，精度不高。可以直接作为系统时钟或者用作PLL时钟输入。

②、HSE(high speed outer)是高速外部时钟，可接石英/陶瓷谐振器，或者接外部时钟源，频率范围为4MHz~26MHz。 　我所用的开版是10MHZ的晶振，经过倍频可以达到168MHZ。

③、LSI(low speed inner)是低速内部时钟，RC振荡器，频率为32kHz，提供低功耗时钟。主要供独立看门狗和自动唤醒单元使用。看门狗对时钟精度要求不高！

④、LSE(low speed )是低速外部时钟，接频率为32.768kHz的石英晶体。RTC 　，这个是比较精准的时钟。

⑤、PLL为锁相环倍频输出。STM32F4有两个PLL:

**从时钟树中我们可以得知  
（1）高级定时器timer1, timer8以及通用定时器timer9, timer10, timer11的时钟来源是APB2总线  
（2）通用定时器timer2~timer5，通用定时器timer12~timer14以及基本定时器timer6,timer7的时钟来源是APB1总线**