第二次作业

**注：1、本次作业是实验2的准备内容，请同学们务必在做实验2之前认真完成；**

**2、请在第二次实验课（10月18日或10月21日）时提交纸质版（强烈建议写电子版打印上交）。**

1.编写一个四位锁存器的Verilog程序，结构如图1所示，D为4-bit数据输入端，en为使能信号，cs为片选信号，Q为4-bit数据输出端，功能如表1所示。

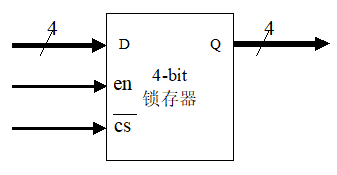


图1

表1 四位寄存器功能

|  |  |  |
| --- | --- | --- |
| cs | en | 操作 |
| 0 | 1 | Q<=D |
| 0 | 0 | Q保持原值 |
| 1 | X | Q保持原值 |

2.以上述设计为元件，采用模块例化方式，设计八个四位锁存器，如图2所示。每个锁存器片选#CS信号需要由三位输入信号进行3-8译码获得，可以把数据输入到不同的锁存器。

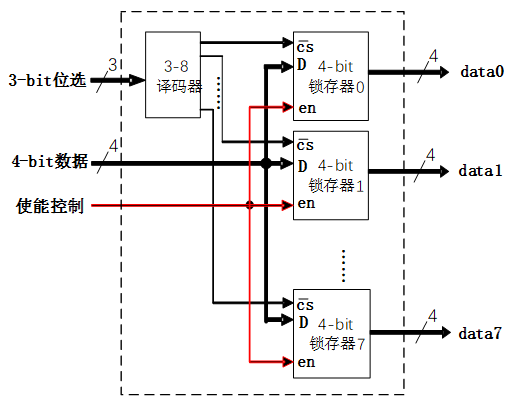


图2

3.编写题2模块的仿真测试程序，并说明输入激励信号是怎样设置的，要检测电路的哪些功能。