第三次作业

**注：1、本次作业是实验3的准备内容，请同学们务必在做实验3之前认真完成；**

**2、请在第三次实验课（10月25日或10月28日）时提交纸质版。**

1、序列产生器可以采用有限状态机来描述。图1所示为状态机的时序转换图，输入信号为 clk和reset，reset有效时状态机处于S7状态，reset无效时在clk上升沿进行状态转换。S0/1表示S0状态时，输出为1。参考例5.48编写该序列产生器的Verilog程序。

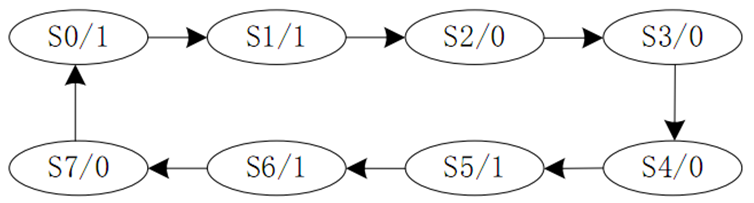


图1

2、已知序列检测器的结构和状态转换图如图2和图3所示，输入信号为时钟clk、复位reset和输入数据datainput，输出为detector\_out。reset有效时状态机处于S0状态，reset无效时状态机正常工作。正常工作时，若输入序列中包含一个111010011序列，则输出产生一个脉冲信号；如输入序列中不包含111010011序列，则输出端不产生脉冲信号。采用有限状态机的描述方式编写该序列检测器的Verilog程序。



图2

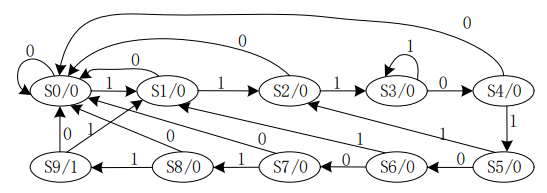


图3

状态图中，连线上的数字表示输入datainput的逻辑值，S1/0中斜杠后面的数字表示输出detector\_out的逻辑值。