

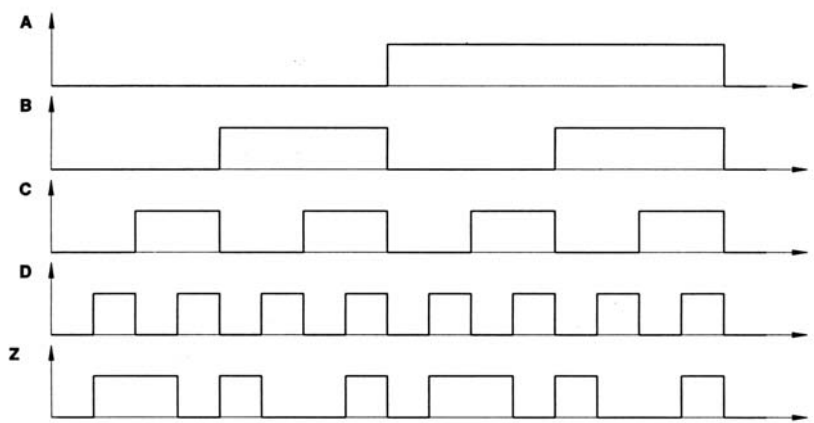


1. Realitzeu les següents conversions
  - a) Base 10 a Binari:  $101.11_{10}$ ,  $666_{10}$
  - b) Binari a Base 10:  $1011011100_2$ ,  $10110.111_2$
  - c) Base 10 a Hexadecimal:  $125784_{10}$
  - d) Binari a Octal:  $10110111.1101_2$
  - e) Octal a Hexadecimal:  $345.61_8$
  - f) Hexadecimal a Octal:  $A8B34_{16}$ ,  $CAFE_{16}$
  - g) Hexadecimal a Base 10:  $DECADA_{16}$
2. Feu la conversió del número:
  - a)  $3569_{10}$  a BCD
  - b)  $001110010101_{BCD}$  a hexadecimal (base 16).
3. Representeu els següents nombres:  $+120_{10}$ ,  $-120_{10}$ ,  $-1_{10}$ ,  $0_{10}$ ,
  - a) En representació Signe-Mòdul (SM) de 8 bits
  - b) En Complement a 1 ( $Ca_1$ ) de 8 bits
  - c) En Complement a 2 ( $Ca_2$ ) de 8 bits
4. Utilitzeu els postulats de l'Àlgebra de Boole per simplificar les expressions:
  - a)  $(A+B) \cdot A \cdot B \cdot C$
  - b)  $(X+X \cdot Y)[X \cdot Z + X \cdot Z \cdot (Y+Y)]$
5. Indiqueu com es poden implementar les funcions NOT, OR, AND i OR-exclusiu utilitzant únicament: (i) portes NOR (ii) portes NAND
6. Donada la funció  $f(A,B,C) = A \cdot (B+C \cdot B) + (B+C) \cdot (A+B)$ , modifiqueu-la amb l'Àlgebra de Boole per implementar-la només utilitzant portes NAND
  - a) amb un número de entrades indiferent.
  - b) de dues entrades
7. Transformeu cada una de les següents funcions en **suma de mintermes** i **producte de maxtermes** i dibuixeu els esquemes lògics en mintermes per la funció **f** i en maxtermes per la funció **g**.
  - a)  $f(A,B,C) = A+B \cdot C$
  - b)  $g(A,B,C,D) = A \cdot B \cdot C + B \cdot D + C \cdot D$



8. Mitjançant l'ús de mapes de Karnaugh, trobeu una expressió mínima en producte de sumes per a les següents funcions. Implementeu-les amb portes NOR.
- a)  $f(a,b,c) = \Sigma m(0,2,3,7)$
  - b)  $g(x,y,z) = \Pi M(0,2,7) \cdot \Phi(1,6)$
  - c)  $h(a,b,c,d) = \Pi M(0,1,2,8,9,12) \cdot \Phi(3,10,13)$
9. Mitjançant l'ús de mapes de Karnaugh, trobeu una expressió mínima en suma de productes per a les següents funcions. Implementeu-les amb portes NAND.
- a)  $f(a,b,c) = \Sigma m(0,1,2,4,6)$
  - b)  $g(w,x,y,z) = \Sigma m(2,3,6,9,12,13,14) + \Phi(0,11)$
  - c)  $h(a,b,c,d) = \Pi M(3,4,5,8,10,11,12)$
10. Dissenyeu un sistema combinacional que realitzi l'operació aritmètica  $y = (A \times B) + 2$ , on A i B són nombres de 2 bits sense signe,  $A = (a_1, a_0)$  i  $B = (b_1, b_0)$ , utilitzant només portes NAND.
11. Donada la funció de 4 variables  $f(A,B,C,D) = \Pi M(0,2,6,8,9,10) \cdot \Phi(5,12,13,14,15)$ , expresseu-la de la forma més senzilla possible.
12. Donada la funció  $f(A,B,C,D) = (A \cdot B \cdot (C+D)) + ((C+D) \cdot (A+B))$ :
- a) Convertiu-la per àlgebra de Boole en una funció que només utilitzi portes OR i inversors. Dibuixeu el resultat.
  - b) Simplifiqueu-la en suma de productes utilitzant el mètode de Karnaugh.
13. Dissenyeu una funció de sortida múltiple que generi el  $Ca_2$  dels nombres de 3 bits (incloent el signe).
14. El Consell d'una entitat esportiva està format per un President 'P' i tres vocals 'V1', 'V2' i 'V3'. El president vol implementar un sistema de vot automàtic per interruptors sota la taula per resoldre en secret les votacions importants que es facin al Consell. El vot al Consell és obligatori (no hi ha possibilitat d'abstenció) i les decisions es prenen per majoria, decidint en cas d'empat el vot del President:
- a) Especifiqueu el sistema de votació (taula de la veritat) i la funció resultant '**Decisió**' simplificada al màxim utilitzant els mapes de Karnaugh.
  - b) Implementeu aquesta funció exclusivament amb portes NAND de 2 entrades.
  - c) Com es dissenyaria de la manera més senzilla un sistema a un nou interruptor secret per que el president pugui canviar la decisió final a voluntat

15. Dissenyeu un circuit combinacional que tingui com a entrades dos números de dos bits cadascun ( $A_1A_0$ ,  $B_1B_0$ ) i una única sortida tal que aquesta valdrà 1 quan la suma dels dos siguin més gran que 3.
16. El cronograma inferior comportament d'un circuit combinacional amb 4 entrades (A, B, C i D) i una sortida, Z. Implementeu-lo:
- En producte de sumes, utilitzant el mètode de Karnaugh.
  - En Suma de productes.
  - Quina de les dues implementacions és més senzilla?

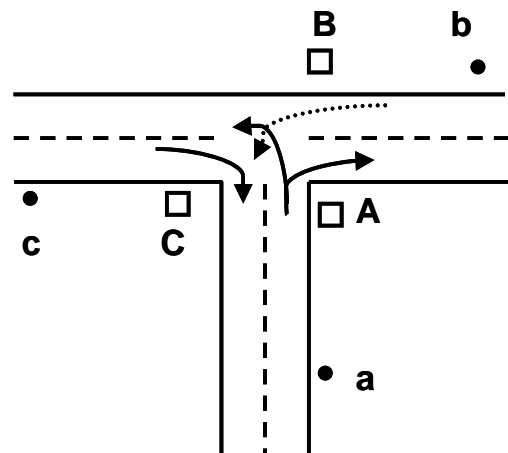


17. A un dipòsit hi accedeixen 4 canalitzacions de entrada de líquid, cadascuna de les quals és capaç de subministrar un cabal determinat. Les canalitzacions són controlades per electrovàlvules, l'estat de les quals (oberta='1' o tancada='0') depèn d'una variable binària (**a,b,c,d**), generada per un sistema de control d'accés al dipòsit. Els cabals d'entrada són de 30, 25, 15 i 5 l/s, respectivament. Hi ha també 4 canalitzacions de sortida (**A,B,C,D**) que estan controlades per electrovàlvules, però el cabal que cadascuna d'elles pot evacuar és diferent del de les entrades. Aquests cabals són de 40, 20, 10 i 5 l/s, respectivament.

Es vol dissenyar un circuit lògic de control de les electrovàlvules de sortida, de forma que els cabals total d'entrada i de sortida siguin els mateixos i, per tant, que obri les electrovàlvules de sortida de forma adequada en funció de les electrovàlvules obertes a l'entrada. Degut a les limitacions del sistema, mai podran estar obertes simultàniament més de dues electrovàlvules d'entrada, tot i que per les de la sortida no hi ha cap limitació.

- Obteniu les funcions lògiques de control de les quatre electrovàlvules de sortida (**A,B,C,D**) en funció de les electrovàlvules d'entrada.
- Simplifiqueu cadascuna de les sortides utilitzant el mètode de Karnaugh com a suma de productes.
- Simplifiqueu-les com a productes de sumes.

18. En una cruïlla de carrers hi han 3 detectors del pas de cotxes (**a,b,c**) i 3 semàfors (**A,B,C**). Els cotxes que detecta el sensor **a** poden girar a la dreta o a l'esquerra; els cotxes que detecta el sensor **b** només poden girar a l'esquerra; els cotxes que detecta el sensor **c** només poden girar a la dreta. Volem dissenyar un sistema combinacional que activi els semàfors (només tindran 2 estats: verd i vermell) de forma que mai no es pugui produir un accident entre cotxes degut a que un es creui en el camí d'un altre. Per això volem que els tres semàfors funcionin de la següent forma:



- Si el sensor **a** detecta un cotxe, el semàfor **A** s'ha de posar verd (donar un 1) i el **B** s'ha de posar vermell. El semàfor **C** es podrà posar verd si el sensor **c** detecta un cotxe o podrà quedar en vermell si no en ve cap.
- Si el sensor **a** no detecta cap cotxe i el sensor **b** si, el semàfor **B** s'ha de posar verd i, evidentment, el semàfor **C** s'haurà de posar en vermell per evitar col·lisions.
- Si el sensor **b** no detecta cap cotxe i el sensor **c** detecta la presència d'un cotxe, s'ha de posar verd el semàfor **C**.
- Si no es detecta cap cotxe a cap dels sensors, tots els semàfors estaran vermells.

Plantegeu el problema i resoleu les condicions en què s'encenen els semàfors utilitzant dos nivells de portes lògiques.

19. Genereu la funció:  $f(A,B,C,D) = \Pi M(1,3,7,8,10) \cdot \Phi(0,5,6,14,15)$  amb,

- un DEC 4-16 act-high i les portes lògiques necessàries, treballant amb minterms
- un DEC 4-16 act-high i les portes lògiques necessàries, treballant amb maxterms
- un DEC 4-16 act-low i les portes lògiques necessàries, treballant amb minterms
- un DEC 4-16 act-low i les portes lògiques necessàries, treballant amb maxterms
- un DEC 3-8 act-high i les portes lògiques necessàries, treballant amb minterms
- un DEC 3-8 act-high i les portes lògiques necessàries, treballant amb maxterms
- un DEC 3-8 act-low i les portes lògiques necessàries, treballant amb minterms
- un DEC 3-8 act-low i les portes lògiques necessàries, treballant amb maxterms



20. Definiu l'estructura d'una ALU que pugui realitzar qualssevol de les 6 funcions següents (on A i B són números de 4 bits sense signe):

- a)  $A \text{ AND } B$ ,
- b)  $A \text{ OR } B$ ,
- c) B negada,
- d)  $A + B$
- e) desplaçament d'un bit de B a l'esquerra
- f) desplaçament d'un bit de B a la dreta

21. Definiu l'estructura d'una ALU que pugui realitzar qualssevol de les 3 funcions següents (on A i B són números de 4 bits sense signe):

- a)  $A \text{ AND } B$ ,
- b)  $\text{Ca}_2$  de B,
- c)  $A \text{ NOR } B$

22. Definiu l'estructura d'una ALU que pugui realitzar qualssevol de les 3 funcions següents (on A i B són números de 4 bits sense signe):

- a)  $A + B + 1$  (increment en una unitat de la suma aritmètica d'A i B)
- b)  $A - 1$  (decreixement d'A en una unitat)
- c)  $A \cdot B + \neg A \cdot B + A \cdot \neg B$  (operació lògica)

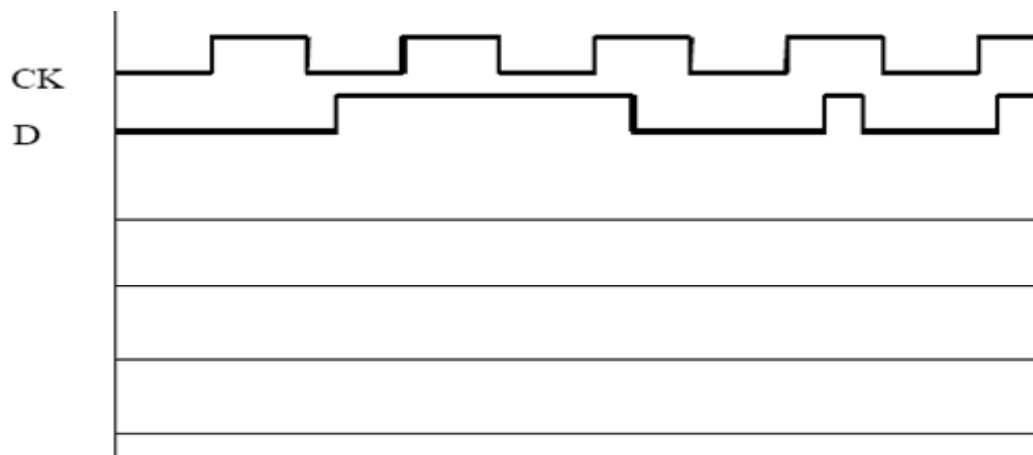
23. Definiu l'estructura d'una ALU que pugui realitzar qualssevol de les 2 funcions següents (on A i B són números de 4 bits sense signe):

- a)  $A - 1$  (resta aritmètica)
- b)  $A \text{ NAND } B$  (operació lògica)

24. Completeu el diagrama temporal de la sortida Q suposant que el D funcioni com a:

- a) actiu per flanc de baixada
- b) Master-Slave
- c) actiu per flanc de pujada
- d) Latch

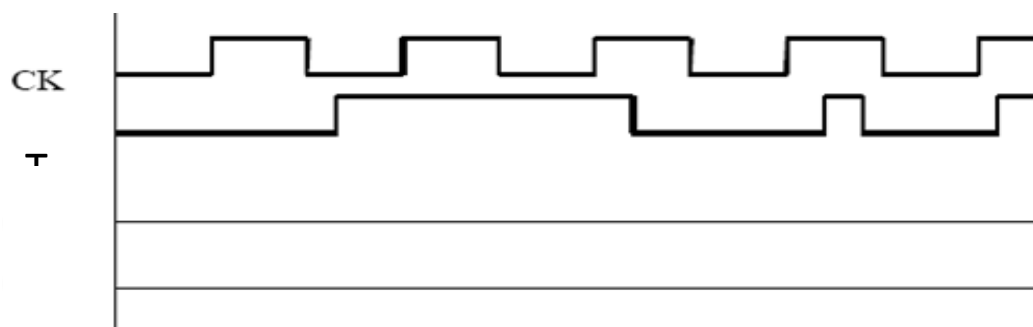
Inicialment el biestable es troba en l'estat,  $Q_{ini}=0$



25. Completeu el diagrama temporal de la sortida Q suposant que el T funcioni com a:

- a) Flip-Flop actiu per flanc de baixada
- b) Flip-Flop actiu per flanc de pujada

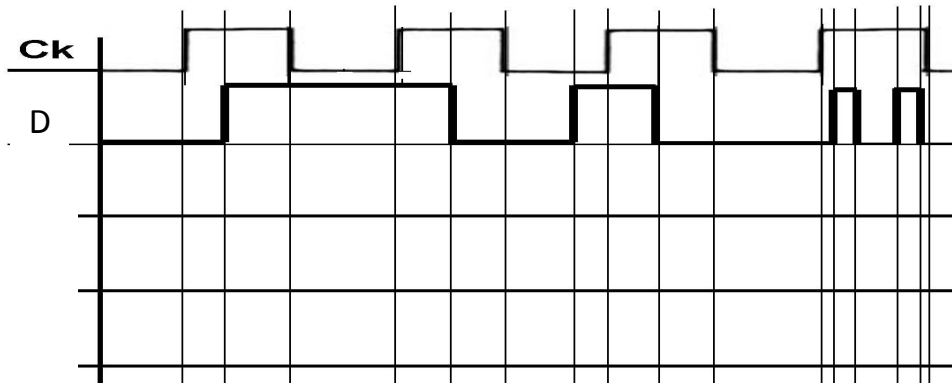
Inicialment el FF es troba en l'estat,  $Q_{ini}=1$



26. Completeu el diagrama temporal de la sortida Q suposant que el D funcioni com a:

- a) actiu per flanc de baixada
- b) actiu per flanc de pujada
- c) Latch

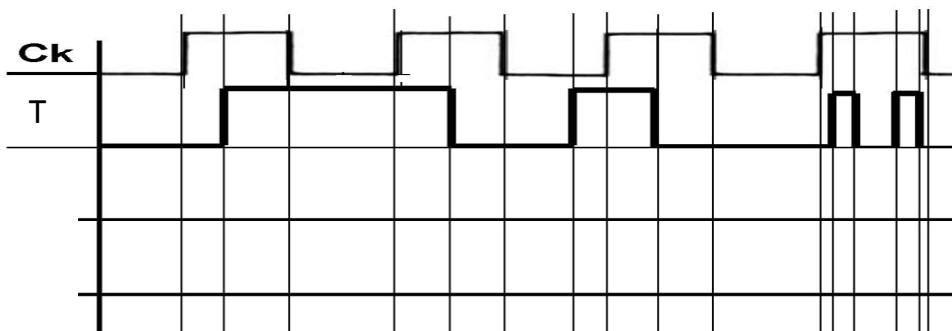
Inicialment el biestable es troba en l'estat,  $Q_{ini}=1$



27. Completeu el diagrama temporal de la sortida Q suposant que el T funcioni com a:

- a) Flip-Flop actiu per flanc de baixada
- b) Flip-Flop actiu per flanc de pujada

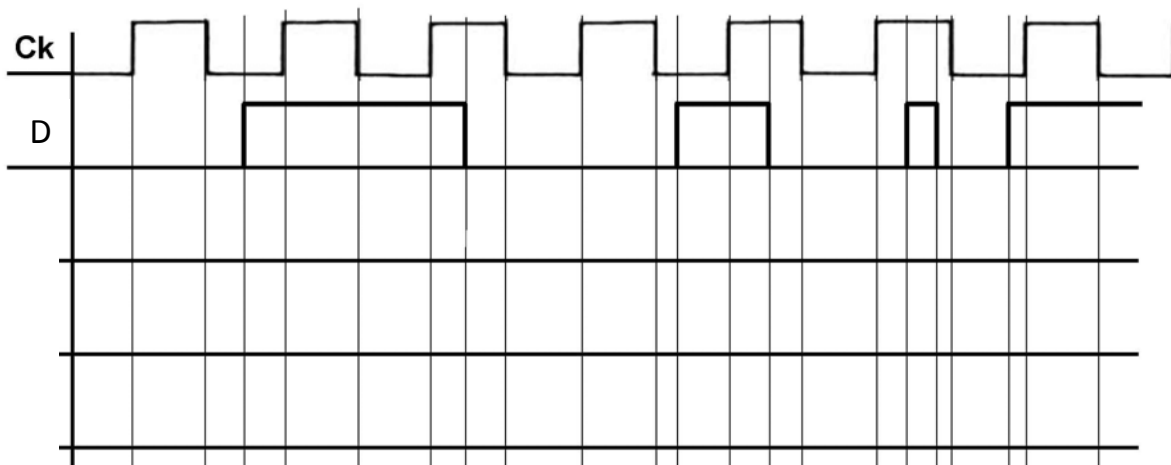
Inicialment el biestable es troba en l'estat,  $Q_{ini}=0$



28. Completeu el diagrama temporal de la sortida Q suposant que el D funcioni com a:

- a) actiu per flanc de baixada
- b) actiu per flanc de pujada
- c) Latch

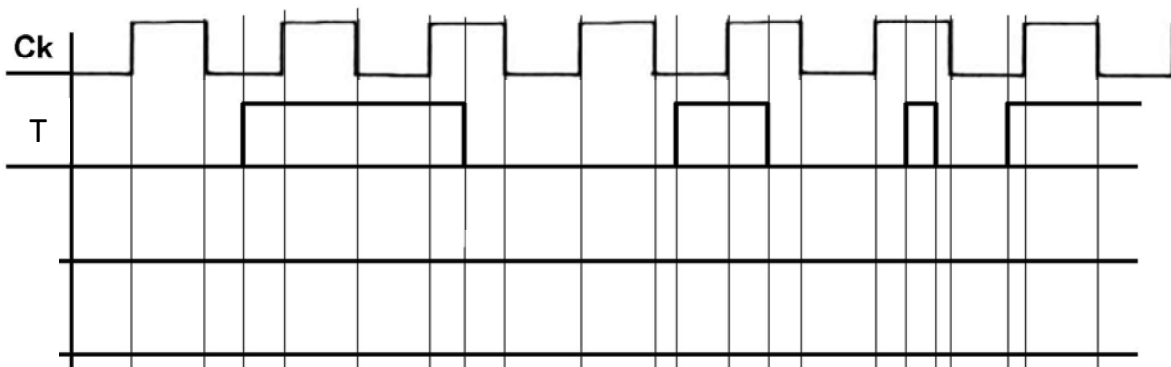
Inicialment el biestable es troba en l'estat,  $Q_{ini}=0$



29. Completeu el diagrama temporal de la sortida Q suposant que el T funcioni com a:

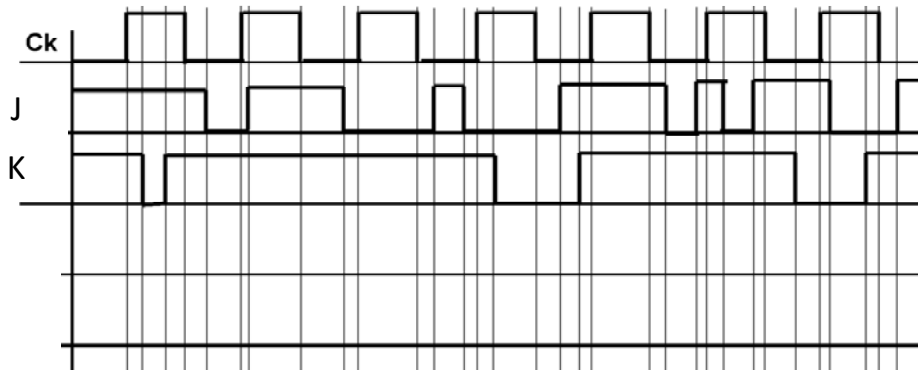
- a) Flip-Flop actiu per flanc de baixada
- b) Flip-Flop actiu per flanc de pujada

Inicialment el biestable es troba en l'estat,  $Q_{ini}=1$

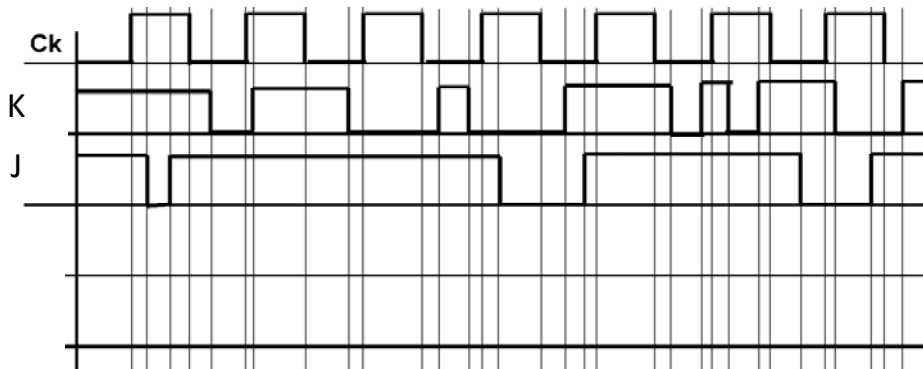




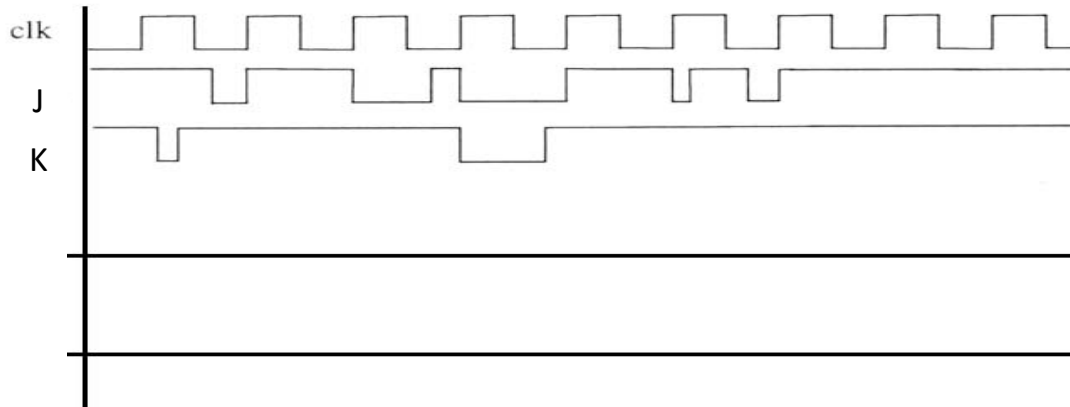
30. Completeu el diagrama temporal de la sortida Q suposant que el JK funcioni com a:
- a) Flip-Flop actiu per flanc de baixada
  - b) Flip-Flop actiu per flanc de pujada
- Inicialment el FF es troba en l'estat,  $Q_{ini}=1$



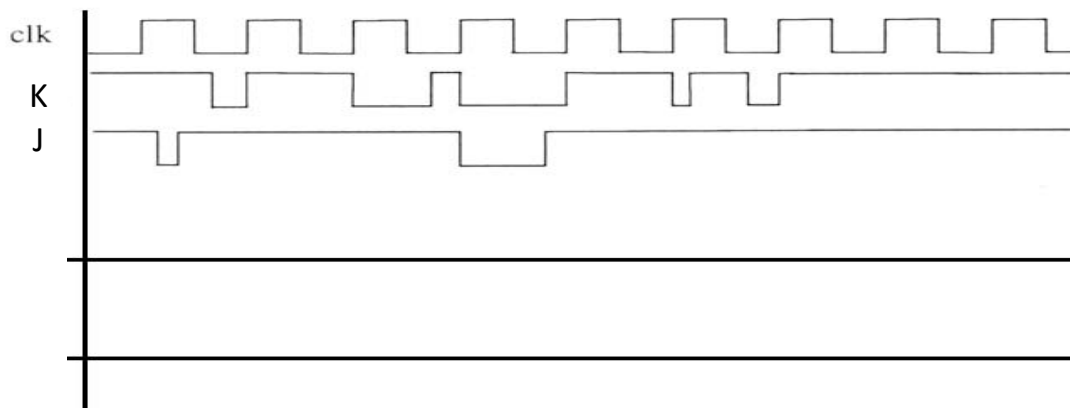
31. Completeu el diagrama temporal de la sortida Q suposant que el JK funcioni com a:
- a) Flip-Flop actiu per flanc de baixada
  - b) Flip-Flop actiu per flanc de pujada
- Inicialment el FF es troba en l'estat,  $Q_{ini}=0$



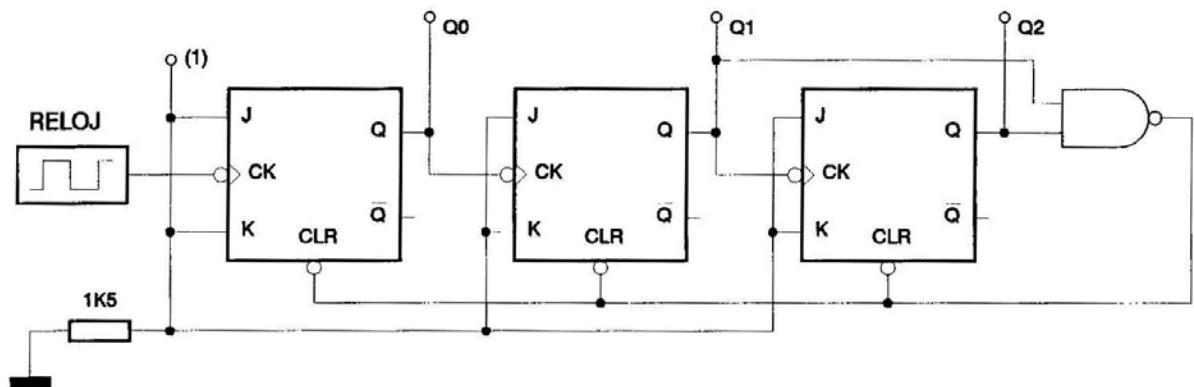
32. Completeu el diagrama temporal de la sortida Q suposant que el JK funcioni com a:
- a) Flip-Flop actiu per flanc de baixada
  - b) Flip-Flop actiu per flanc de pujada
- Inicialment el FF es troba en l'estat,  $Q_{ini}=0$



33. Completeu el diagrama temporal suposant que el JK funcioni com a:
- a) Flip-Flop actiu per flanc de baixada
  - b) Flip-Flop actiu per flanc de pujada
- Inicialment el FF es troba en l'estat,  $Q_{ini}=1$



34. Dissenyeu un rellotge digital (que indiqui hores, minuts i segons) utilitzant com a senyal de rellotge el mateix senyal d'alimentació (240V, 50Hz).
35. Representeu el cronograma corresponent al circuit de la figura inferior, suposant que els Flip-Flops siguin actius per flanc de baixada. De quin tipus de circuit es tracta?



36. Construïu un multiplexor de 8 canals (3 entrades de selecció):
- A partir de 4 multiplexors de 2 canals i el mínim nombre de portes necessari.
  - Amb 2 descodificadors 2-4 i les portes necessàries.
37. Dissenyeu la lògica addicional que es necessitarà per a comparar 2 nombres de  $2 \cdot n$  bits, emprant dos comparadors d' $n$  bits amb les sortides usals  $A < B$ ,  $A = B$ ,  $A > B$  però sense els terminals de interconnexió entre comparadors.
38. Dissenyeu amb la ajuda de descodificadors i multiplexors un sistema combinacional on s'apliquin a l'entrada dos combinacions binàries de 4 bits i a la sortida aparegui la major de les dues o 0000 en cas d'igualtat.
39. Dissenyeu amb l'ajut d'un descodificador i les portes necessàries un circuit combinacional que detecti si 2 combinacions binàries de 4 bits són adjacents.

40. La generalitat de Catalunya ha distribuït un avís on és demana que no es consumeixi peix immadur. Dissenyeu un circuit combinacional utilitzant un comparador de 4 bits que detecti automàticament si un peix és madur o immadur.

Peix	Mida mínima
Seitó	9 cm
Sardina	11 cm
Lluç	20 cm

El sistema té les entrades  $s_1$  i  $s_0$  que indiquen quina espècie de peix s'està mesurant, i altres 5 bits d'entrada  $m_4m_3m_2m_1m_0$  que corresponen a la mida del peix codificada en binari (aquesta entrada val 11111, en cas de que el peix presenti una longitud superior a aquest valor).

41. El govern de Nova Zelanda no es creu que el govern francès deixi de fer proves nuclears, per això s'han comprat 4 sismògrafs per mesurar la potència de les explosions franceses. Cada sismògraf dona directament la potència d'una explosió (no entrem en detalls de com ho fan) però presenten algunes limitacions. El primer sismògraf és d'alta precisió i els seus resultats tan sols són fiables si la seva lectura és inferior a 28 KTn. El segon sismògraf s'utilitza per les explosions de major potència, la seva lectura tan sols es fiable si és superior a 98 KTn. Pel rang mig s'utilitza una mitja entre els resultats del tercer i el quart sismògraf. Desenvolueu un sistema que permeti mesurar correctament la potència de la explosió.

42. Es té un sistema detector de temperatura format per 2 termòmetres digitals calibrats per mesurar temperatures compreses entre  $0^\circ$  i  $50^\circ$  (amb una precisió de  $\pm 1^\circ$  C). Els dos termòmetres no donen sempre la mateixa temperatura. Es demana dissenyar un circuit que realitzi les funcions següents, en funció de 2 senyals de control  $G_0$  i  $G_1$ :

$G_1$	$G_0$	FUNCIÓ
0	0	Mitja arrodonida per defecte
0	1	Temperatura mínima
1	0	Temperatura màxima
1	1	Mitja arrodonida per excés

43. A i B són 2 números de 8 bits codificats en binari sense signe. Dissenyeu una unitat aritmètica que realitzi les següents funcions: suma d'A i B, mitja arrodonida per excés d'A i B, mitja arrodonida per defecte d'A i B, i increment d'A en una unitat.

44. La taula següent descriu una màquina d'estats ( $x$  és l'entrada i  $Z$  la sortida)

$Q_n$	$Q_{n+1}$		$Z$
	$x=0$	$x=1$	
A	B	C	0
B	A	C	0
C	D	C	0
D	D	E	1
E	A	F	0
F	B	G	0
G	A	E	0

- Utilitzeu una taula d'implicació per eliminar els possibles estats redundants.
- Representeu el diagrama d'estats de la màquina equivalent simplificada.

45. Trobeu la taula d'estats mínima d'una màquina de Mealy amb entrada  $x$  i sortida  $Z$  que opera de la següent forma: quan detecta l'arribada de 110 (primer 1, després 1, després 0)  $Z$  es posa a 1, i manté aquest valor fins a que detecta la arribada de 010 (primer 0, després 1, després 0) canviant la sortida  $Z$  a 0. Després es manté a aquest valor fins que torna a arribar una nova seqüència 110 i la  $Z$  es posa a 1.

46. Dissenyeu un detector per la seqüència ..10010.. que pot estar solapada. La sortida ha de ser 1 en el moment de rebre el darrer 0.

47. Dissenyeu un verificador de paritat en sèrie per a paraules de 4 bits. En el moment de rebre el quart bit, la sortida ha de ser 1 si el nombre total d'1ns es parell, en la resta de casos la sortida ha de ser 0. Després de rebre el quart bit cal una restauració (es torna a començar).

48. Una via de tren amb trànsit en ambdós sentits creua una carretera en la que es col·loca una barrera governada per la sortida d'un sistema de control. A 500 metres del punt de creuament es col·loquen dos detectors de trens, el primer a l'esquerra ' $x_1$ ', i el segon a la dreta ' $x_2$ '. Dissenyeu un sistema que quan s'acosti un tren en qualsevol direcció, doni una sortida  $z=1$ , fins que el darrer vagó hagi passat per segon detector.

49. Dissenyeu un sistema que detecti a un canal d'entrada de bits en sèrie un nombre senar d'1s seguit d'un 0, a) amb una màquina de Moore i b) amb una màquina de Mealy
50. Dissenyeu un circuit seqüencial síncron amb dues línies d'entrada 'a' i 'b' per les quals entren en sèrie dos números de tres bits, A i B. La sortida serà 1 si A és més gran o igual que B.
51. Suposem que el principi d'un missatge en un sistema de comunicacions es nota per l'aparició de tres 1ns consecutius a una línia d'entrada X, on les dades estan sincronitzades per un senyal de rellotge. Dissenyeu un circuit en que la sortida Z valgui 1 només en el període de rellotge que coincideix amb el tercer 1.
52. Dissenyeu una màquina d'estats síncrona que presenti el següent comportament (a més del rellotge, el sistema presenta dues entrades, I, S):
- i) La màquina no canviarà d'estat sempre que  $I=1$ , a no ser que entri en un estat no especificat.
  - ii) Si  $S=0$ , la màquina treballa com a comptador de mòdul 3 ascendent.
  - iii) Si  $S=1$ , la màquina treballa com a comptador de mòdul 4 descendent.
  - iv) Si la màquina va a parar a un estat no especificat, el sistema evolucionarà cap a l'estat inicial del comptador corresponent al valor de S del estat no especificat.
  - v) El sistema únicament commutarà del comptador de mòdul 3 al comptador de mòdul 4 (i viceversa) quan es trobi a l'estat inicial del comptador corresponent.
53. Dissenyeu un comptador síncron amb una senyal de control 'x' que realitzi la seqüència de sortida ...0, 1, 2, 4, 8, 16, 32, 64, 0, 1, 2 ... quan  $x=1$ , i mantingui el seu estat quan  $x=0$ .
54. Implementeu un comptador mòdul 10. La seqüència del comptador és: 0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1000, 1001 i a partir d'aquí torna a 0000... El disseny ha d'incorporar un senyal de control 'SC' que valgui '1' quan la sortida del comptador sigui '1001'.
55. Dissenyeu un comptador BCD que conti de 0 a 999 a partir d'aquest comptador.
56. Dissenyeu un comptador de síncron reversible en mòdul 12.