

1. Després de fer diverses proves en un RISC-V single cycle, hem decidit dissenyar el nostre RISC-V amb 5 etapes de pipeline. Un cop dissenyat, programem un conjunt de patrons de test per a provar el nostre processador. Els següents casos fallen :

Suposarem que tots els registres s'inicialitzen a 0.

Test 1: Suposem que l'adreça d'una matriu amb tots els valors diferents s'emmagatzema a s0 (emprem nomenclatura rides)

```
addi t0 x0 1
slli t1 t0 2
add t1 s0 t1
lw t2 0(t1)
```

Cada cop que executem "Test 1" obtenim el mateix valor incorrecte a t2. Test 1 funciona perfectament en el RISC-V single cycle. Podeu explicar quin tipus de problema tenim ? Com el solucionaríeu ?

Test 2: (després de solucionar Test 1)

```
addi s0 x0 4
slli t1 s0 2
bge s0 x0 greater
xori t1 t1 -1
addi t1 t1 1
greater:
mul t0 t1 s0
```

Cada cop que executem "Test 2" es finalitza amb t0 guardant el valor 0xFFFFFC0, que no és el que hauria de tenir. Podeu explicar quin tipus de problema tenim ? Com el solucionaríeu ?