1. Definición de entradas y salidas

2 Entradas E1 y E0 (canales de bits en serie) 3 Salidas:

- > (canal de E1 mayor que canal de E0)
- = (canal de E1 igual que canal de E0)
- < (canal de E1 menor que canal de E0)

2. Definición de estados

- A: estado inicial y estado donde los todos los bits que han entrado por E1 y E0 son iguales, por tanto con salida 010
- B: estado en que la palabra que ha entrado por E1 es mayor que la que ha entrado por E0, por tanto con salida 100
- C: estado en que la palabra que ha entrado por E1 es mayor que la que ha entrado por E0, por tanto con salida 001

4. Tabla de estados

Estado Presente Y	Est	Salidas Z					
	00	01	10	11	>	=	<
Α	Α	С	В	Α	0	1	0
В	В	С	В	В	1	0	0
С	С	С	В	С	0	0	1

Minimización de estados

Son todos diferentes

6. Asignación de estados.

Hay 3 estados, se necesitan 2 FF's: Y1, Y0. Asignaremos arbitrariamente: A=00, B=01, C=10

7. Tabla de transiciones

D1 D0 Ш

Ш

						1111	1111			
Presente	Y1	Y0	E1	E0	Futuro	Y1	Y0	>	=	<
Α	0	0	0	0	Α	0	0	0	1	0
Α	0	0	0	1	С	1	0	0	1	0
Α	0	0	1	0	В	0	1	0	1	0
Α	0	0	1	1	Α	0	0	0	1	0
В	0	1	0	0	В	0	1	1	0	0
В	0	1	0	1	С	1	0	1	0	0
В	0	1	1	0	В	0	1	1	0	0
В	0	1	1	1	В	0	1	1	0	0
С	1	0	0	0	С	1	0	0	0	1
С	1	0	0	1	С	1	0	0	0	1
С	1	0	1	0	В	0	1	0	0	1
С	1	0	1	1	С	1	0	0	0	1
-	1	1	0	0	-	Χ	Χ	Χ	Χ	Χ
_	1	1	0	1	-	Χ	Χ	Χ	Χ	Χ
_	1	1	1	0	-	Χ	Χ	Χ	Χ	Χ
-	1	1	1	1	-	Χ	Χ	Χ	Χ	Χ

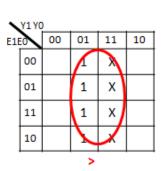
Elección de FFs

Tipo D por flanco de subida. Q+=D por tanto, Y1+=D1, Y0+=D0,

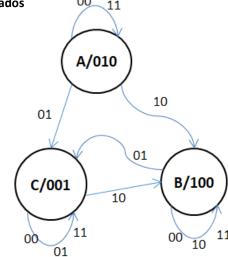
9. Resolución de Karnaughs

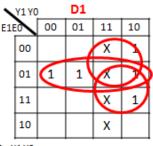
D1 =
$$(/E1 \cdot E0) + (Y1 \cdot /E1) + (Y1 \cdot E0)$$

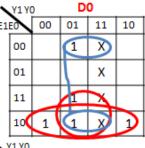
D0 = $(E1 \cdot /E0) + (Y0 \cdot /E0) + (Y0 \cdot E1)$
'>' = Y0

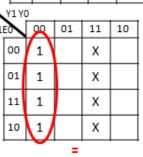


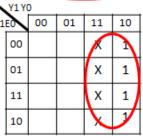
3. Diagrama de estados











10. Esquema

