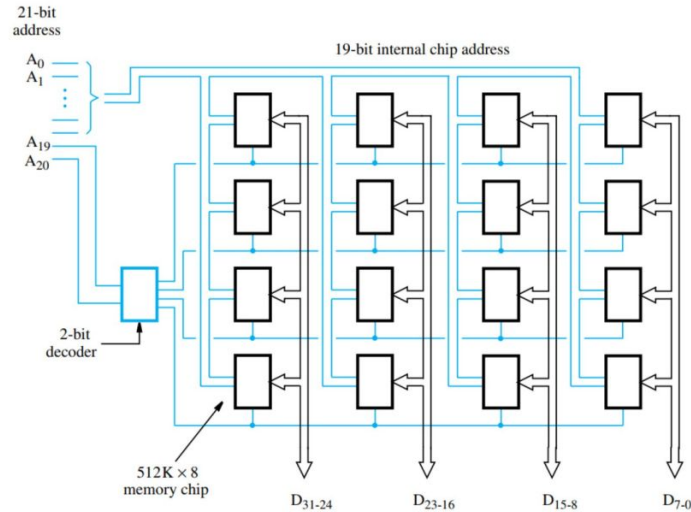


2.10

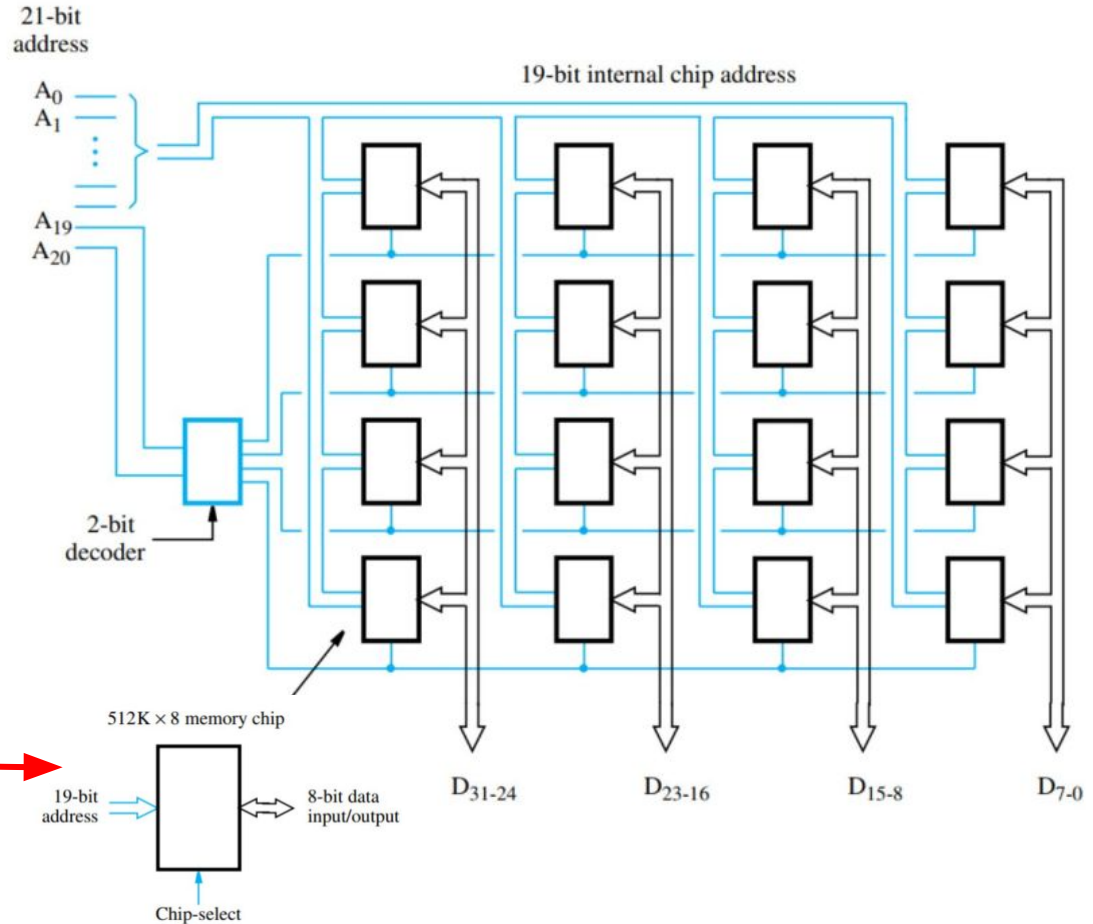
Descriu una estructura similar a la de la figura 4 per a una memòria $8M \times 32$ utilitzant xips de memòria de $512K \times 8$.

Figura 4:



2.10

- 16 xips de memòria
- Organitzada en 4 rangs de 4 xips
 - Rang: xips que comparteixen el senyal “chip-select”
- Bus = 1 rang = 4 xips = 32 bits
- Cada xip $512\text{K} \times 8 \text{ bits} = 512 \text{ KiB}$
- Memòria = $16 \times 512 \text{ KiB} = 8 \text{ MiB}$
- 2 M línies de 32 bits

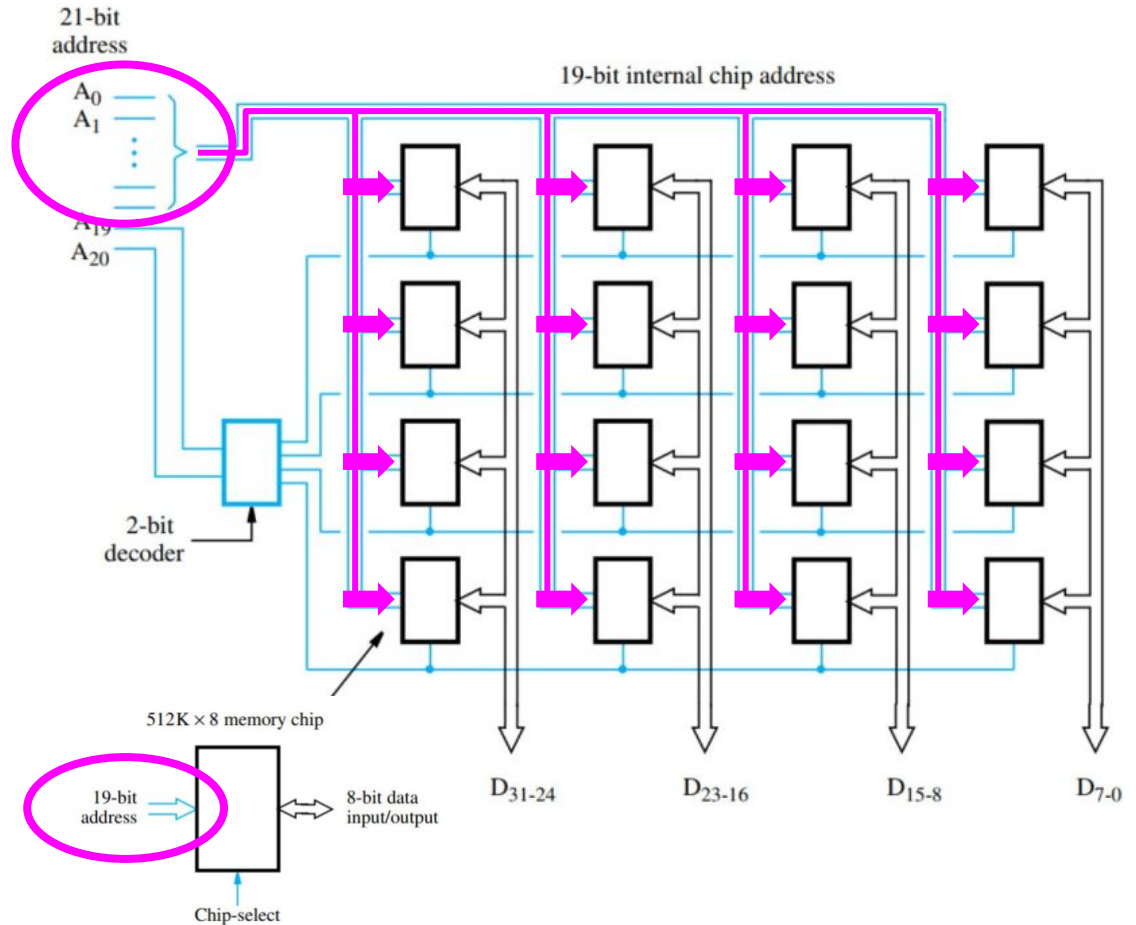


2.10

1. Adreça interna del xip

- Els bits 0 - 18 seleccionen un valor dels 16 xips de memòria

Figura 4:



2.10

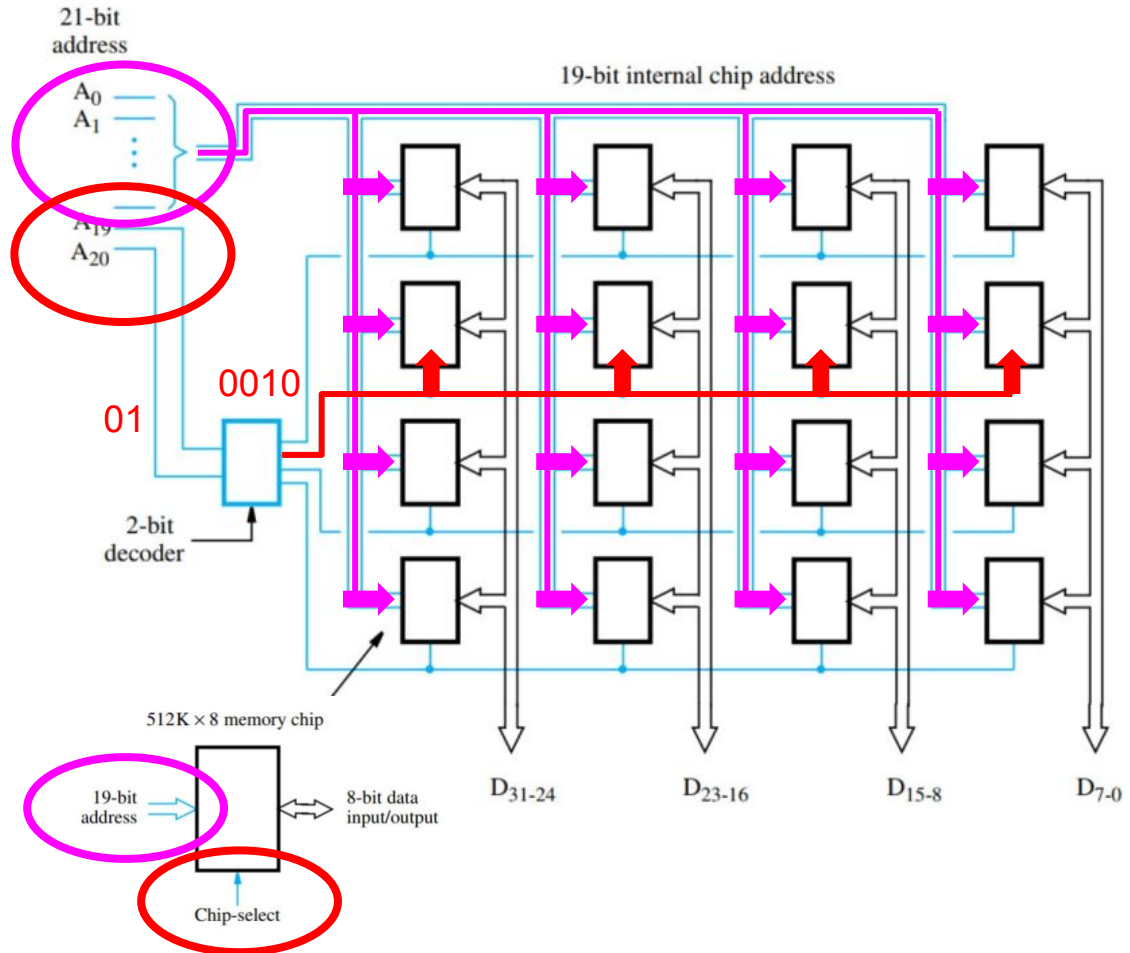
1. Adreça interna del xip

- Els bits 0 - 18 seleccionen un valor dels 16 xips de memòria

2. Activar rang de xips

- Els bits 19 i 20 activen el 'chip select' d'un rang

Figura 4:



2.10

1. Adreça interna del xip

- Els bits 0 - 18 seleccionen un valor dels 16 xips de memòria

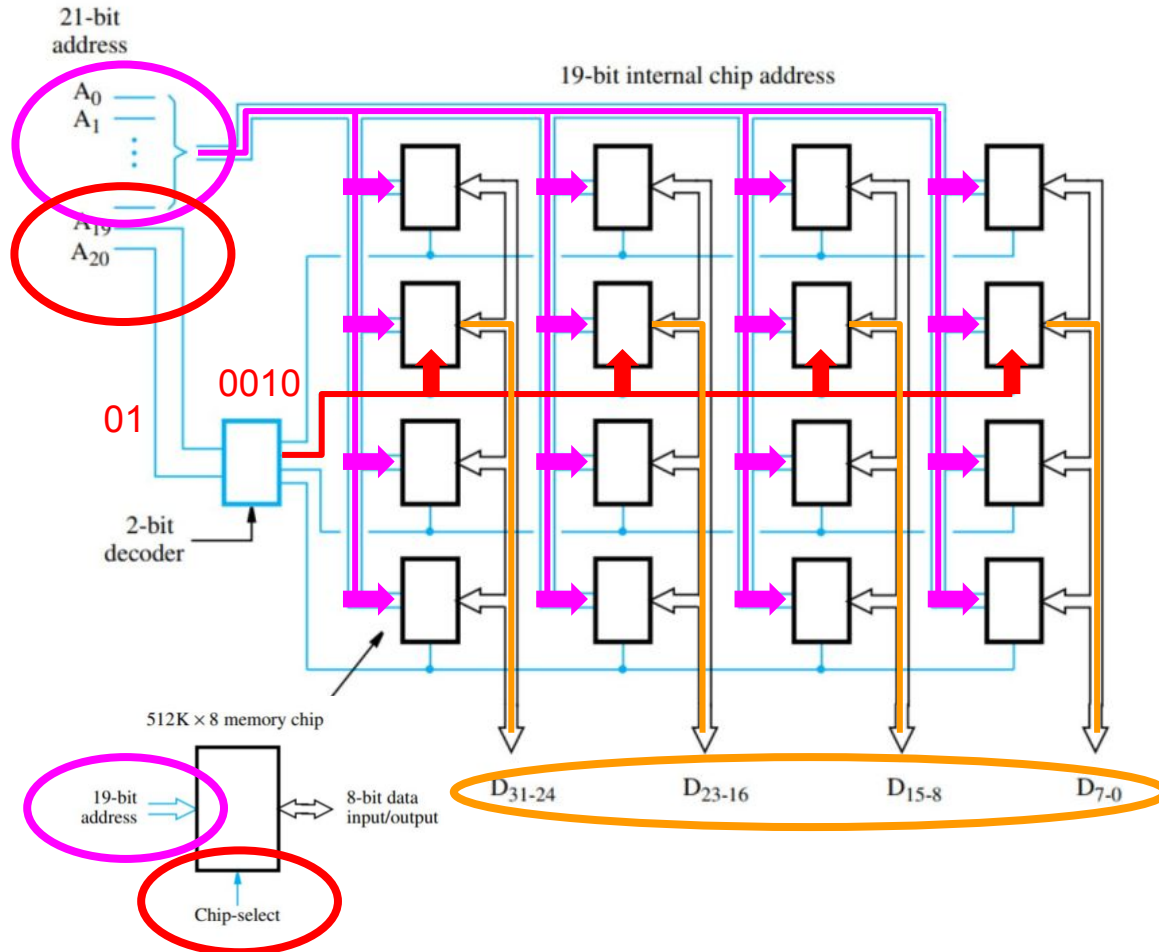
2. Activar rang de xips

- Els bits 19 i 20 activen el 'chip select' d'un rang

3. Llegir el valor

- Els busos de dades només llegeixen els xips activats

Figura 4:

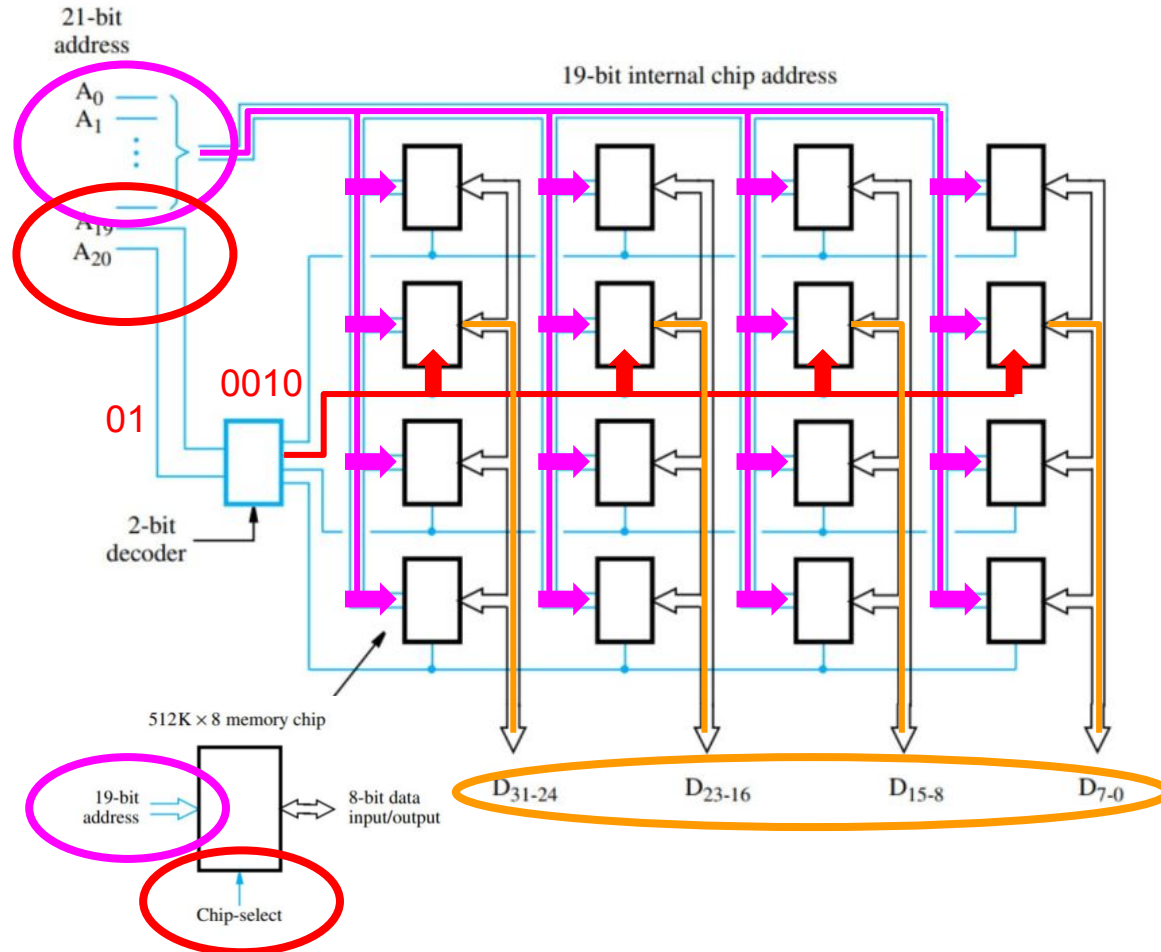


2.10

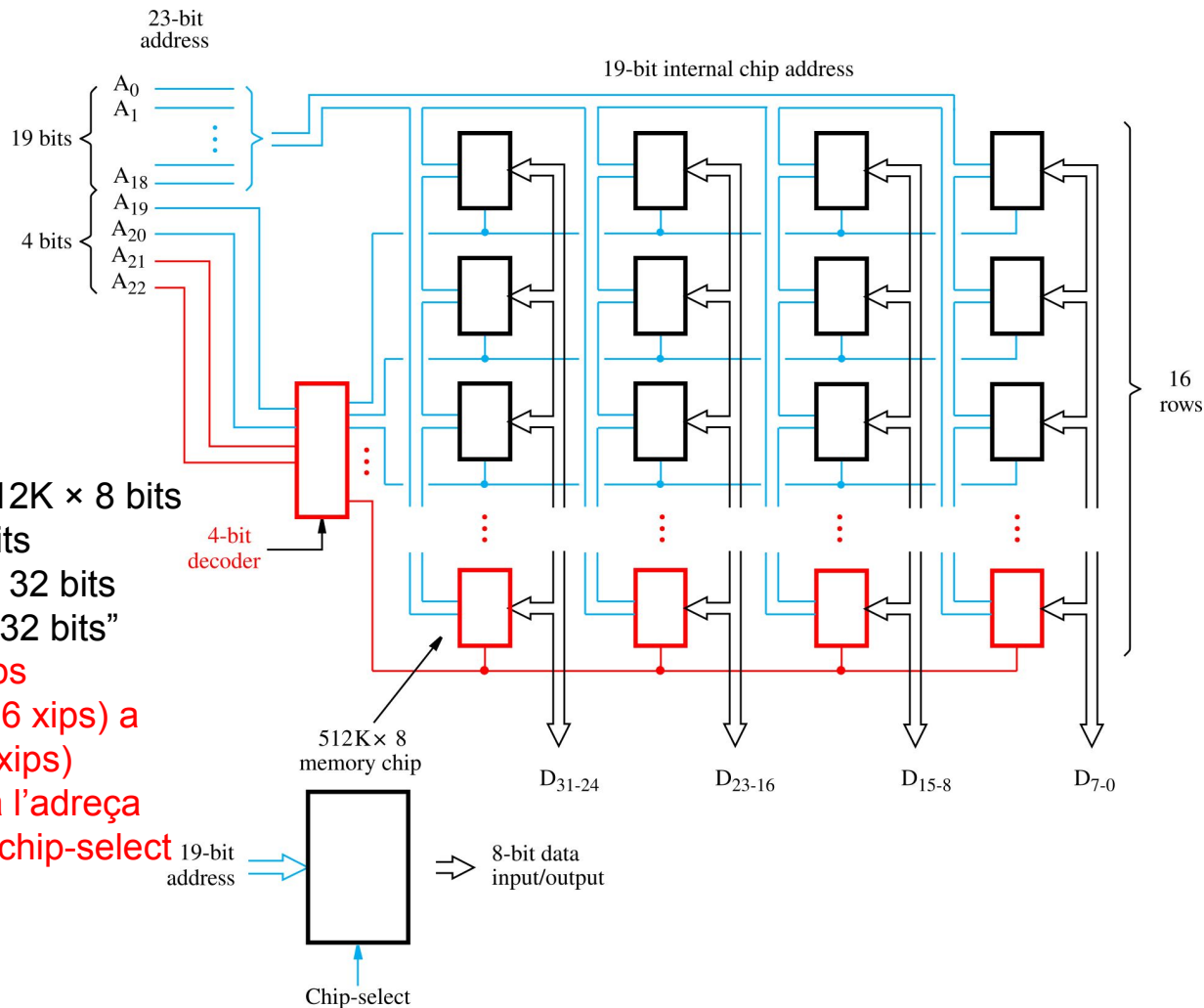
Descrui una estructura similar a la de la figura 4 per a una memòria $8M \times 32$ utilitzant xips de memòria de $512K \times 8$.

- Mateixos xips de $512K \times 8$ bits
- Mateix bus de 32 bits
- De $2M \times 32$ a $8M \times 32$ bits
 - “8M línies de 32 bits”

Figura 4:



2.10



- Mateixos xips de 512K × 8 bits
- Mateix bus de 32 bits
- De 2M × 32 a 8M × 32 bits
 - “8M línies de 32 bits”
- **Quadruplicar els xips**
 - De 4 rangs (16 xips) a 16 rangs (64 xips)
 - **Afegir 2 bits a l'adreça per al senyal chip-select**