



Nom:

Cognoms :

Optimització de processadors (2.5 punts)

1. La importància de tenir un bon predictor de “branches” depèn de la freqüència amb què s’executen els “branches” condicionals. Si també considerem la precisió del pronòstic dels “branches”, tots dos conceptes determinaran la quantitat de temps que el processador es passa aturat a causa de “branches” imprevistos. En aquest exercici, suposem que el desglossament d’instruccions en diverses categories d’instruccions és el següent:

ALU/Logic	Branch	Load	Store
40%	25%	25%	10%

Assumeix també les precisions dels predictors de següents:

Always-Taken	Always-Not-Taken
45%	55%

Suposeu que fem servir el processador de 5 etapes emprat a problemes, on els “branches” es resolen al final de l’etapa d’execució. Suposeu, també, que el programa és infinit i partim d’un CPI ideal. Responen i **argumenteu breument** les següents qüestions:

- a. Quin és l’increment en el CPI degut a la mala predicció del predictor “Always-Taken”? (0.5 punts)

En el processador de 5 etapes triguem 2 clocks (branch penalty) en saber si saltem. Això vol dir que al $CPI = 1$ li hem de sumar el retard dels “penalties” $\Rightarrow (0.25) * (1 - 0.45) * 2$ (% de branches * % d’equivocacions * cicles que perdem). Així doncs **passem de CPI 1 a 1.275**

- b. Quin és l’increment en el CPI degut a la mala predicció del predictor “Always-Not-Taken”? (0.5 punts)

$(0.25) * (1 - 0.55) * 2$, **passem de CPI 1 a 1.225**



Nom:

Cognoms :

2. Explica els avantatges i desavantatges d'un processador segmentat respecte un d'un sol cicle. (1 punt)

el segmentat té un temps de cicle menor, però té hazards

3. Millorem l'IPC si afegim etapes extra en un processador segmentat? I el CPI? (0.5 punts)

- 1) Si no tenim dependències de dades CPI hauria de seguir tendint a 1
- 2) Afegir una nova etapa de memòria en un processador sense mesures d'optimització (forwarding, branch prediction, etc.) fa que calgui esperar un cicle més per tenir els resultats a WB, per tant potencialment el CPI empitjorarà quan hi hagi hazards de dades. L'IPC és l'invers del CPI, per tant empitjora en la mateixa mesura.



Nom:

Cognoms :

Memòria cau (2.5 punts)

4. La memòria cau és important per proporcionar una jerarquia de memòria d'alt rendiment als processadors. A continuació, es mostra una llista de referències d'adreces de memòria de 64 bits, donades com a adreces de paraules (per ordre d'esquerra a dreta):

0x03, 0xb4, 0x2b, 0x02, 0xbf, 0x58, 0xbe, 0x0e, 0xb5, 0x2c, 0xba, 0xfd

- a) Per a cadascuna d'aquestes referències, identifiqueu l'adreça de paraula binària, l'etiqueta i l'índex amb una memòria cau mapejada directament amb 16 blocs d'una paraula. Indiqueu també si cada referència és un hit o un miss, assumint que la memòria cau és inicialment buida.

Ompliu la següent taula: (0.75 punt) (TAG 28 bits, només mostrem 4. Index 4 bits)

Word Address	Binary Address	TAG	Index	Offset	Hit/Miss
0x03		0	3	-	M
0xb4		b	4	-	M
0x2b		2	b	-	M
0x02		0	2	-	M
0xbf		b	f	-	M
0x58		5	8	-	M
0xbe		b	e	-	M
0x0e		0	e	-	M
0xb5		b	5	-	M
0x2c		2	c	-	M
0xba		b	a	-	M
0xfd		f	d	-	M

- b) Per a cadascuna d'aquestes referències, identifiqueu l'adreça de paraula binària, l'etiqueta, l'índex i l'offset donada una memòria cau mapejada directament amb blocs de dues paraules i una mida total de vuit blocs. Indiqueu també si cada referència és un hit o un miss, assumint que la memòria cau és inicialment buida.

Ompliu la següent taula: (0.75 punt) (TAG 28 bits, només mostrem 4. Index 3 bits, offset 1 bit)

Word Address	Binary Address	TAG	Index	Offset	Hit/Miss
0x03		0	1	1	M
0xb4		b	2	0	M
0x2b		2	5	1	M
0x02		0	1	0	H
0xbf		b	7	1	M
0x58		5	4	0	M
0xbe		b	6	0	H
0x0e		0	7	0	M
0xb5		b	2	1	H
0x2c		2	6	0	M
0xba		b	5	0	M
0xfd		f	6	1	M



Nom:

Cognoms :

c) Optimitzeu un disseny de memòria cau per a les referències indicades. Hi ha tres dissenys de memòria cau mapejada directament, tots amb un total de vuit paraules de dades:

- 1) C1 té blocs d'una paraula,
- 2) C2 compta amb blocs de dues paraules, i
- 3) C3 té blocs de 4 paraules.

CALCULEU HIT/MISS RATES PER A CADA CACHÉ EN FUNCIO DE LES REFERÈNCIES DONADES.

Ompliu la següent taula: (1 punt)

(Com en l'anterior cas, el TAG es manté igual i només canviem el nombre de bits de l'index segons el nombre de bits que tindrem a l'offset)

Word Address	Binary Address	TAG	Caché 1		Caché 2		Caché 3	
			Index	Hit/Miss	Index	Hit/Miss	Index	Hit/Miss
0x03		0x00	3	M	1	M	0	M
0xb4		0x16	4	M	2	M	1	M
0x2b		0x05	3	M	1	M	0	M
0x02		0x00	2	M	1	M	0	M
0xbf		0x17	7	M	3	M	1	M
0x58		0x0b	0	M	0	M	0	M
0xbe		0x17	6	M	3	H	1	H
0x0e		0x01	6	M	3	M	1	M
0xb5		0x16	5	M	2	H	1	M
0x2c		0x05	4	M	2	M	1	M
0xba		0x17	2	M	1	M	0	M
0xfd		0x1f	5	M	2	M	1	M

- 1) Quin és el miss rate de C1 ? :
- 2) Quin és el miss rate de C2? :
- 3) Quin és el miss rate de C3 ? :

Cache 1 miss rate = 100%

Cache 2 miss rate = 10/12 = 83%

Cache 3 miss rate = 11/12 = 92%

Nom:

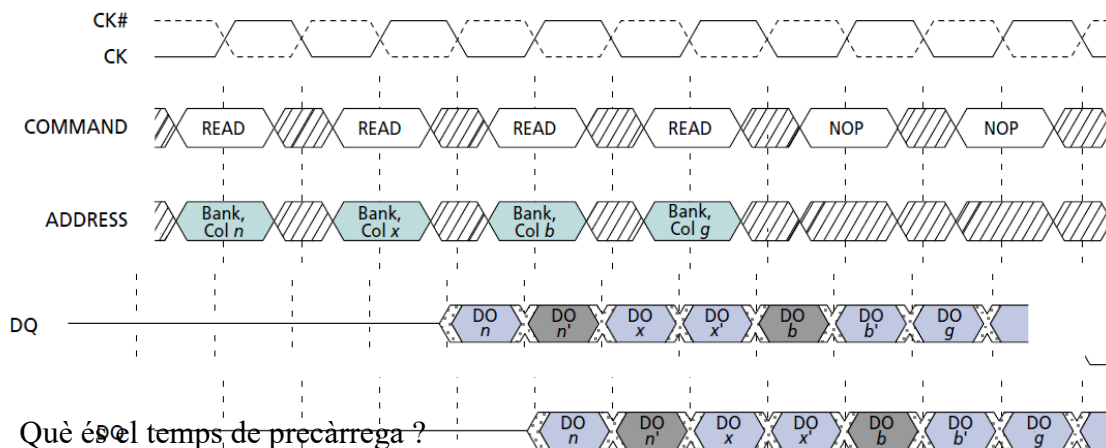
Cognoms :

Memòria principal (2.5 punts)

5. A l'etiqueta d'un mòdul de memòria RAM que hem d'instal·lar a un ordinador trobem la següent informació: DDR4-2400 (16-18-18-36). (1.25 punts)

Freqüència real del BUS?	1200 MHz
Ample banda teòric de cada mòdul de M.P.?	19200 MB/s
Quants cicles de bus es necessiten per fer la transferència de 8 Bytes?	$Trcd + CL + 1 \text{ clock} = 35 \text{ clocks}$
Quants cicles de bus es necessiten per fer la transferència de 16 Bytes contigus?	35 clocks (8 B per flanc)
Amb quina altra nomenclatura podríem trobar les dades a l'etiqueta de la memòria?	PC4-19200

6. A la següent figura es pot veure la lectura de dades d'una memòria tipus DDR (DQ és el bus de dades). (1.25 punts)



- a) Què és el temps de precàrrega?
- b) De les dades que veiem a la imatge, sembla que el temps de precàrrega no és visible. Per què a la imatge no ens apareix aquest temps?



Nom:

Cognoms :

Qüestions (2.5 punts)

NOTA: cada pregunta val 0.25 punts, si és errònia resta 0.1 punts

1. Si una cache detecta mitjançant el “*bus-snooping*” que una dada que té en estat “S” és llegida per un altre dispositiu a la memòria principal, En quin estat acabarà a aquesta caché?
 - a. M.
 - b. E.
 - c. S.
 - d. I.
2. Com s’aconsegueix augmentar l’ample de banda a les memòries DDR3 respecte a les DDR2?
 - a. Augmentant l’amplada del bus d’adreces intern amb més registres d’E/S el doble de ràpid.
 - b. Augmentant l’amplada del bus de dades intern amb més registres d’E/S el doble de ràpids.
 - c. Augmentant la freqüència del bus de memòria.
 - d. Fent transferències a més flancs del senyal de rellotge.
3. Quan queden definits les pistes i sectors en un disc dur?
 - a. Quan es formata a alt nivell.
 - b. Quan es formata a baix nivell.
 - c. A instal·lar el sistema operatiu.
 - d. Quan es defineix la FAT.
4. Si volem llegir una dada de memòria a una arquitectura IA-32 (on la seva entrada està a la TLB, que es fa servir paginació i que la dada NO està a caché) Quants accessos a memòria es necessiten per obtenir la dada? (tenu en compte els accessos necessaris per llegir les diferents taules)
 - a. 1.
 - b. 2.
 - c. 3.
 - d. cap.
5. Com gestiona l’arquitectura IA-32 la traducció d’adreces lògiques a físiques?
 - a. Paginació.
 - b. Segmentació.
 - c. Paginació i opcionalment Segmentació.
 - d. Segmentació i opcionalment Paginació.
6. Quan es genera una interrupció vectoritzada, On es troben les adreces de les diferents rutines d’atenció a les interrupcions (IHR)?
 - a. Les genera el processador a partir del senyal d’interrupció.
 - b. Són el propi vector d’interrupció.
 - c. Estan a una taula a memòria.
 - d. La dona el interfície E/S que demana la interrupció.
7. Com gestionen els sistemes d’interrupcions que funcionen per sondeig (polling) les prioritats?
 - a. Mitjançant hardware específic
 - b. Mitjançant software
 - c. La interfície d’entrada sortida té un registre per gestionar la prioritat.
 - d. Mitjançant un controlador d’interrupcions.



Nom:

Cognoms :

8. Quin avantatge té fer servir transferències DMA dos cicles en comptes d'un cicle?:
- Permeten fer transferències de blocs de dades entre dispositius diferents.
 - Permeten fer transferències de blocs de dades al mateix dispositiu.
 - Velocitat.
 - Seguretat.
9. Com es fa als busos asíncrons per sincronitzar les transferències entre els dispositius?:
- Mitjançant un senyal de rellotge comú als dispositius que es comuniquen.
 - Mitjançant senyals de control i protocols de validació-reconeixement.
 - Codificant el senyal de rellotge a la mateixa línia de dades.
 - No cal, el fet de ser asíncron ja significa que no s'han de sincronitzar els dispositius per fer les transferències.
10. Quin dels següents dispositius es connecta al Southbridge?
- Disc Durs SATA
 - Memòria DRAM
 - Bus AGP
 - Bus PCI Express