
Funcionament del 8085

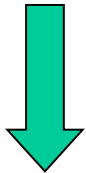
INTRODUCCIÓ ALS ORDINADORS

Funcionament del 8085 (2)

Estructura de la CPU del 8085.

Bus adreces 16 línies

Bus dades 8 línies



Multiplexa les línies de dades amb les línies d'adreces!!

DIAGRAMA DE BLOQUES DEL 8085

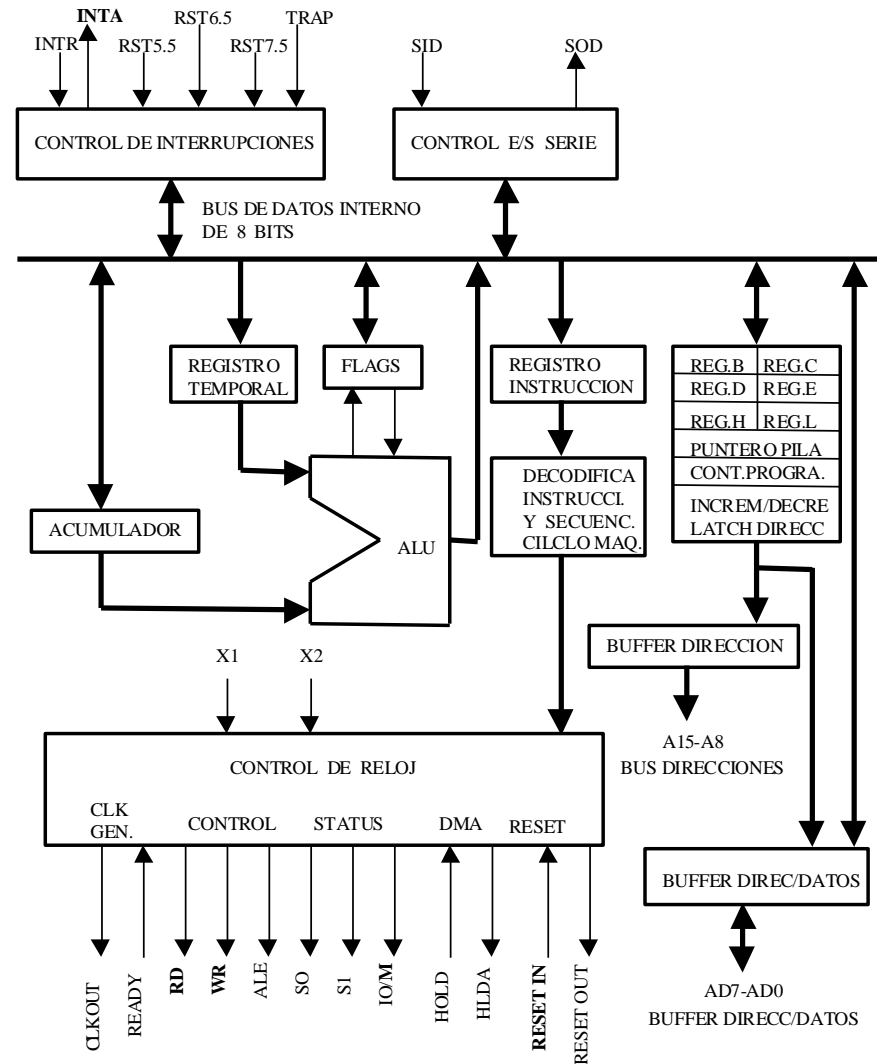


FIG. 15A

Funcionament del 8085 (2)

El 8085 té el següent Pin Out:

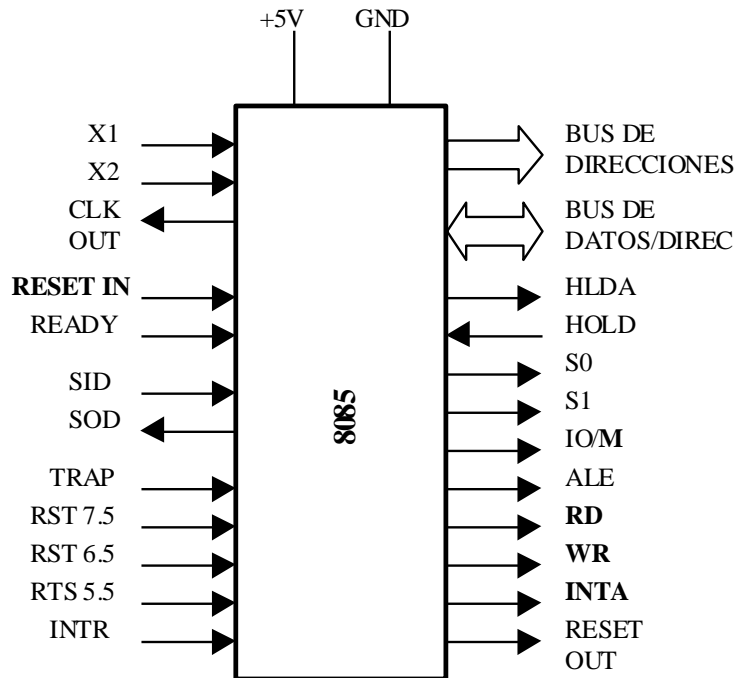
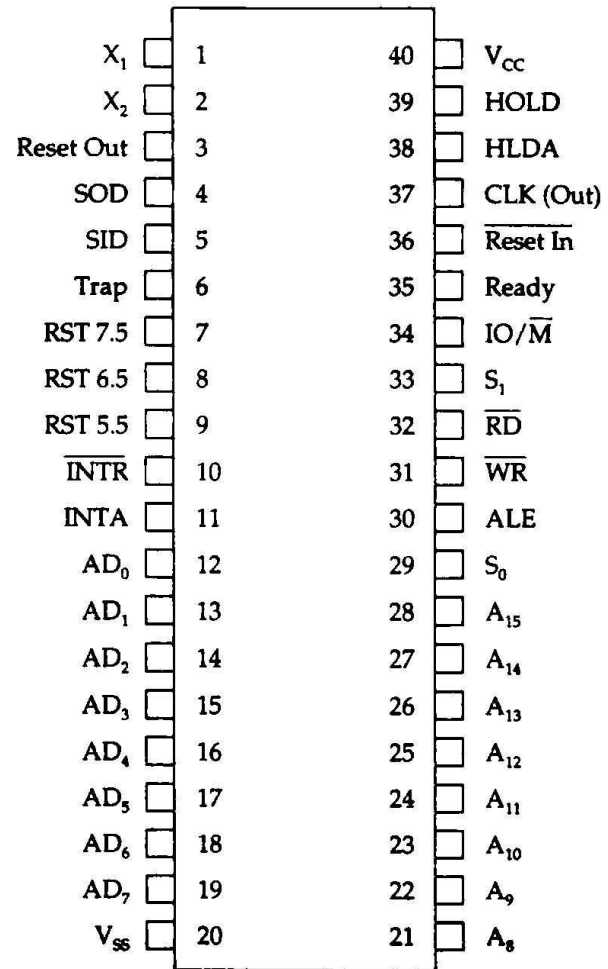


FIG.13A



-
- Arquitectura del 8085
 - Directives del llenguatge ASM del I8085
 - Set d'Instruccions
 - Instruccions AL
 - Instruccions de salt
 - Instruccions de moviment de dades
 - Subrrutines i Interrupcions
 - Accés als registres A, B, C, D, E, H, L SP
 - Accés al MP i dispositius d'IO

Organització del 8085

DIAGRAMA DE BLOQUES DEL 8085

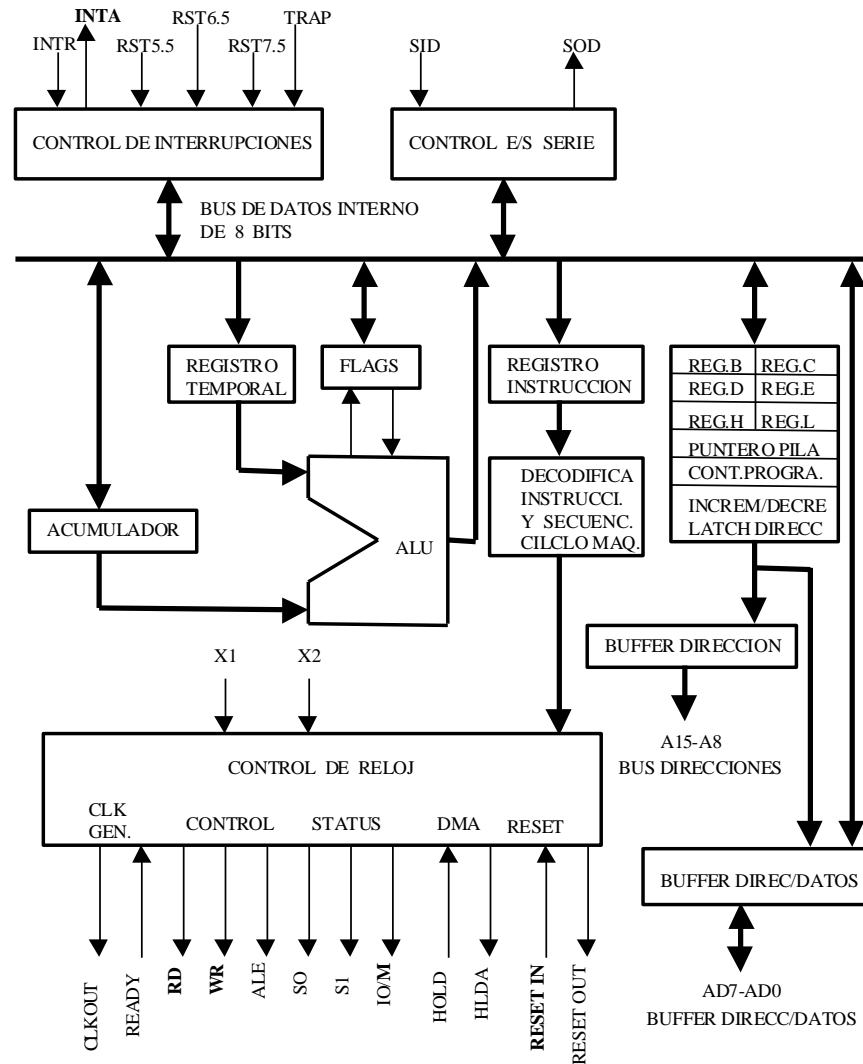


FIG. 15A

-
- Programació del 8085
 - Directives del llenguatge ASM del 8085

.define

Associa valors numèrics a etiquetes

Ex:

```
.define    ValorInicial  36h
           ValorFinal    56h
           step           1h
```

-
- Programació del 8085
 - Directives del llenguatge ASM del I8085
 - .data <direcció>

Posiciona les següents dades a la memòria.
És un mètode per entrar dades en memòria seqüencialment. Poden ser entrades com:

- i) .dB <byte> Posem un byte de dades
- ii) .dW <word> Posem 1 dada de 2 bytes
- iii) .dS <string> Posem 1 string de caràcters

- Programació del 8085

- Directives del llenguatge ASM del 8085
- .org <direcció>

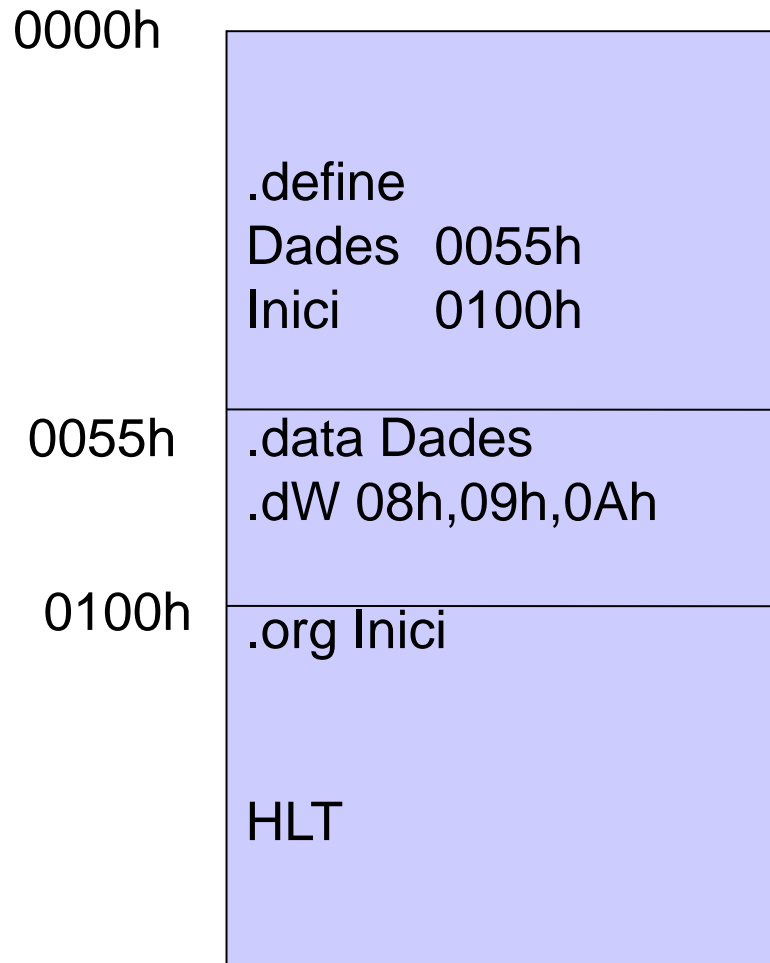
Defineix l'inici del programa a la direcció introduïda La finalització es realitza amb la instrucció HLT

- Etiquetes

De la mateixa forma que amb la màquina rudimentària

Nom_Etiqueta: dada o instrucció

- Estructura de la memòria:



Funcionament del 8085 (2)

Registres del 8085:

El Program Counter (PC) : 16 bits. Increment seqüencial (velocitat depenent del cristall connectat)

El “Stack Pointer” (SP): 16 bits. Adreça la darrera posició utilitzada de la pila (FILO)

Acumulador (A): 8 bits. Registre amb el que el microprocessador realitza totes les operacions aritmètiques i lògiques

Registre d'estats (F): 8 bits. Indica l'estat en que ha quedat l'Acc. després de realitzar una operació AL

Registres de caràcter general:

B, C

D, E

H, L

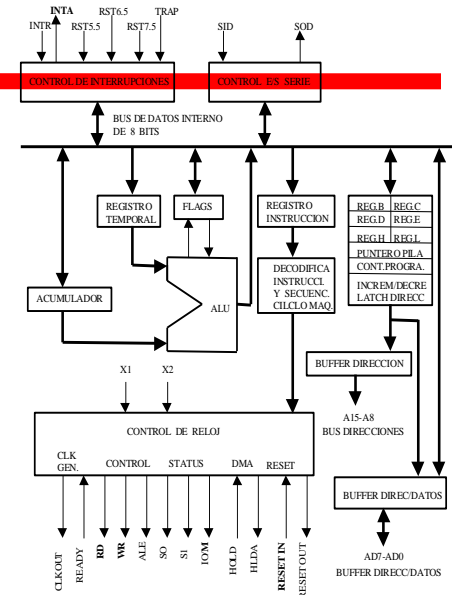


FIG. 15A

Es poden utilitzar de^o forma independent (per fer operacions aritmètiques)

Es poden utilitzar per adreçar una determinada posició de memòria

Per tal de fer això últim, els registres els haurem d'agafar de dos en dos
i.e. BC, DE i HL

Funcionament del 8085 (2)

- Instruccions ASM

ADD reg	$\text{Acc} \leftarrow \text{Acc} + \text{reg}$
ADD M	$\text{Acc} \leftarrow \text{Acc} + \text{mem adreçada per HL (dir. Indirecte)}$
ADI data	$\text{Acc} \leftarrow \text{Acc} + \text{data (immediat)}$
ANA reg	$\text{Acc} \leftarrow \text{Acc} \& \text{reg}$
ANA M	$\text{Acc} \leftarrow \text{Acc} \& \text{mem adreçada per HL}$
ANI data	$\text{Acc} \leftarrow \text{Acc} \& \text{data}$
DCR reg	$\text{reg} \leftarrow \text{reg} - 1$
DCR M	$[\text{M}] \leftarrow [\text{M}] - 1 \text{ adreçada per HL}$
DCX RP	decrementa un parell de registres
DAD regs	$\text{HL} \leftarrow \text{HL} + \text{parell de registres (BC, DE)}$
INR reg	$\text{reg} \leftarrow \text{reg} + 1$
INR M	$[\text{M}] \leftarrow [\text{M}] + 1 \text{ adreçada per HL}$
INX RP	incrementa un parell de registres

Funcionament del 8085 (2)

JMP etiqueta	salt incondicional a etiqueta
JC etiqueta	salt si carry = 1 a etiqueta
JM etiqueta	salt si signo = 1 (negativo)
JNC etiqueta	salta si no hi ha carri
JNZ etiqueta	salta si el flag de zero no està activat
JZ etiqueta	salta si el flag de zero està activat
JP etiqueta	salta si acumulador es positiu
JPE etiqueta	salta si el flag de paritat està a 1 (nombre de 1's de l'acc parells)
LDA addr	carrega a l'acumulador una copia del valor guardat a la pos. de memòria addr
LDAX RP	carrega a l'acc. Una copia del valor de la memòria direccionat pel parell de reg. BC o DE
LHLD addr	carrega el registre L una copia del byte adreçat per addr i carrega a H una copia del byte addr+1
LXI RP, immediat	carrega a un parell de registres el valor immediat de 16 bits introduït a l'expressió

Funcionament del 8085 (2)

MOV reg, reg	copia en un reg el contingut de un altre
MOV M, reg	copia en M el contingut de reg
MOV reg, M	copia en reg el contingut de M
MVI reg, data	copia la dada data en un reg
MVI M, data	copia en M data
ORA reg	Acc \leftarrow Acc OR reg
ORA M	Acc \leftarrow Acc OR [M]
ORI data	Acc \leftarrow Acc OR data (inmediat)
SHLD addr	guarda el contingut del parell HL en addr
STA Addr	guarda l'Acc en la posició de mem Addr
STAX RP	guarda l'Acc en la posició adreçada pel parell de reg. RP
SUB reg	Acc \leftarrow Acc – reg
SUB M	Acc \leftarrow Acc – [M]
SUI data	Acc \leftarrow Acc - data
XRA reg	Acc \leftarrow Acc XOR reg
XRA M	Acc \leftarrow Acc XOR [M]
XRI data	Acc \leftarrow Acc XOR data

Funcionament del 8085 (2)

Exemple 1: Operació entre registres...

```
.data 50h
```

```
dada1: db 56h
```

```
dada2: db 45h
```

```
.org 200h
```

```
mvi c dada1
```

```
mvi a dada2
```

```
add c
```

```
HLT
```

Funcionament del 8085 (2)

Exemple 2: Adreçament de la memòria

```
.define
```

```
Dada 50h
```

```
.data 50h
```

```
dada1: dB 45
```

```
dada2: dB 3
```

```
.org 200h
```

```
mvi H, 0
```

```
mvi L, dada
```

```
mov a, M
```

```
inx H
```

```
mov c, M
```

```
add c
```

```
mov M, a ;guarda el resultat en dada2
```

```
HLT
```


Funcionament del 8085 (2)

Suposem ara que volem accedir a una determinada posició de memòria, fer una lectura, multiplicar el valor per 2 i guardar el valor en una altra posició

```
.define  
kk 0  
contador 4  
.data 50h  
pila: db 1,2,3,4,5  
guarda: db 0,0,0,0  
.org 200h  
mvi b, contador  
mvi h, kk  
mvi l, 50h  
mvi d, kk  
mvi e, 55h  
bucle:  
mov A, M  
mov c,a  
add c  
stax d  
inx h  
inx d  
dcr b  
jz final  
jmp bucle  
final:  
HLT
```

Funcionament del 8085 (2)

Salt a una subrutina

Instrucció CALL: salta a la posició on s'inicia la subrutina

Instrucció RET: Retorna al programa principal.

Ens interessa guardar el contingut d'alguns dels registres que s'utilitzaven al programa principal. A més pot ser que ens interressi guardar alguns registres com el H i el L.

Per tal de fer això fem servir la **PILA**

Funcionament del 8085 (2)

Una altra instrucció interessant és PUSH RP on RP són un parell de registres que m'indiquen una determinada posició de memòria...

Per extreure-ho simplement posem POP RP

SPHL: Passa el contingut de la parella HL al registre SP. Es fa servir per manipular la pila...

CALL SUBRU

.
. .
.

SUBRU: PUSH B
 PUSH D
 PUSH PSW
 PUSH H

 POP H
 POP PSW
 POP D
 POP B
 RET

Funcionament del 8085 (2)

Exemple d'utilització de subrutines:

```
.data 20h  
kk: db 3,4,5  
.org 100h
```

```
mvi b, 3  
mvi h, 0  
mvi l, 20h  
bucle:  
mov a, M  
inx h  
dcr b  
jnz bucle
```

```
call varia  
hlt
```

```
varia:  
push h  
push psw  
bucle2:
```

```
inr b  
dcr l  
jnz bucle2  
pop psw  
pop h  
ret
```

Funcionament del 8085 (2)

...altres instruccions:

Instruccions de rotació:

RLC	Rotació a l'esquerra de l'acc. El bit que surt entra per l'altra banda
RRC	Rotació per la dreta
RAL	Rotació a l'esquerra posant el bit que surt al bit de Carry
RAR	Rotació a la dreta posant el bit que surt al bit de Carry

Manipulació del Carry:

STC	Carry \leftarrow 1
CMC	Carry \leftarrow Not Carry

Funcionament del 8085 (2)

LXI RP Inmediat:

Única instrucció immediata que admet un immediat de 16 bits. Carrega l'immediat en el parell de registres (RP)

SPHL:

Carrega el contingut del parell HL al registre SP. Ex: A partir d'aquest valor es comencen a introduir els valor de la pila.

ex:

LXI HL 0050h

SPHL

call pepito

pepito:

PUSH PSW

MOV A, M

POP PSW

RET

Funcionament del 8085 (2)

IN:

Carrega el contingut de la posició del mapa de E/S a l'acumulador

OUT:

Treu el contingut de l'acumulador a la posició del mapa de E/S que s'indiqui:

Ex:

Inici:

IN 33h ; carrega a l'acumulador l'estat que hi ha a la posició 33h del ; mapa de E/S

CPI 00h; compara A amb 00h. Si són iguals Z=1

JNZ inici

OUT 22h; Si A = 00h treu aquest valor cap al mapa de E/S

Funcionament del 8085 (2)

Instrucció NOP

Durant la seva execució no s'altera l'estat de cap component del 8085. NO OPERA. És un cicle de 4 estats. Es pot fer servir de timer

Els micros actuals incorporen ja aquesta funció (timer) per tal de fer captures, comparar temps, decrementar i d'altres opcions.

Funcionament del 8085 (2)

1.- Habilitació i deshabilitació d'interrupcions

EI

DI

2.- Parada i no operar

HLT

NOP

Funcionament del 8085 (2)

...mes instruccions...

Moviments entre registres:

XCHG:

Cambia el contingut del parell HL pel del parell DE

I altres operacions...

XRA:

OR exclusiva d'un registre o d'una posició de memòria amb l'Acc

XRI:

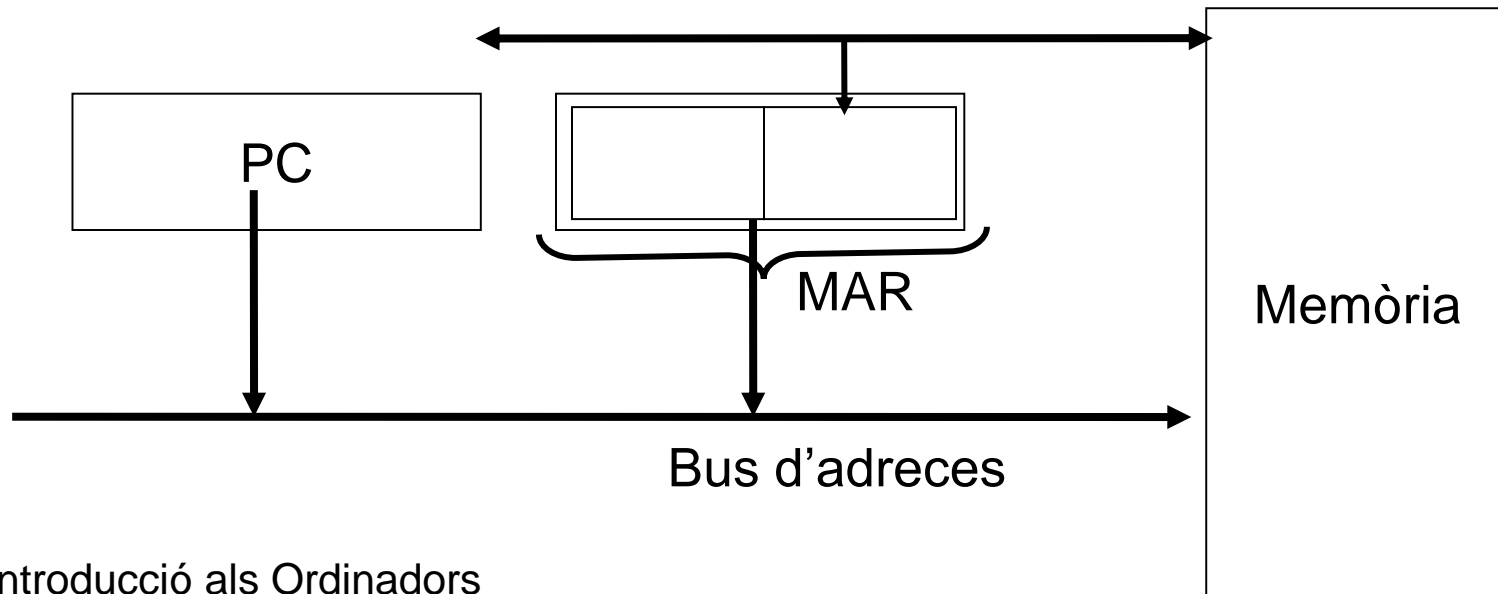
OR exclusiva d'un immediat amb l'Acc

Funcionament del 8085 (2)

...més registres...

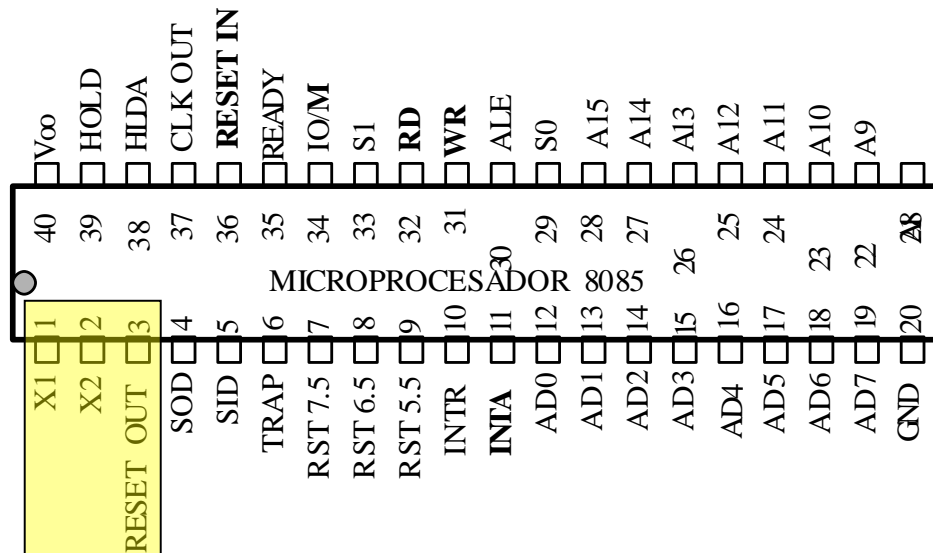
Registres de adreçament i dades. El direccionament es realitza amb 2 registres que actuen de buffer d'adreces. Els 8 bits menys significatius es Multiplexen per dades i adreces

Durant l'execució d'una instrucció, si s'ha de buscar un operand o carregar el resultat en una posició de memòria, l'adreça de la memòria es carrega en aquest registre, que desarà el seu contingut sobre el bus de direccions



Funcionament del 8085 (2)

- Pins 1 i 2 (X1 i X2): Permeten la generació dels senyals de rellotge, mitjançant la utilització de un cristall de quars.
- Pin 3 (RESET OUT): Senyal de sortida. Quan tenim un 1, vol dir que el microprocessador queda reinicialitzat. Aquest senyal es generat pel propi microprocessador.



Funcionament del 8085 (2)

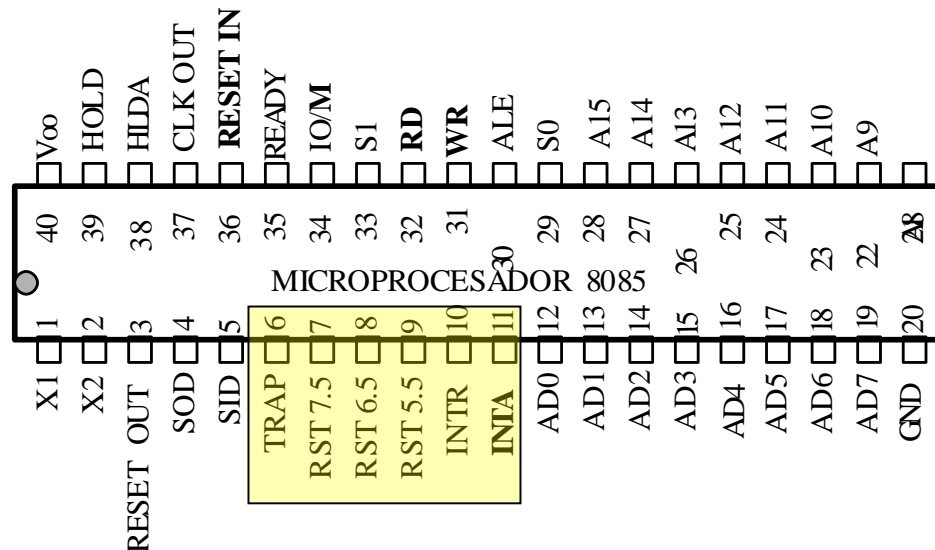
El control de les interrupcions ocupa 6 patilles o pins:

INTR

RST 7.5, RST 5.5, RST 6.5

TRAP (interrupció no mascarable, s'atén sempre)

INTA



Funcionament del 8085 (2)

NOM INT	INDEX PRIORITAT	DIRECCIÓ SALT	ACTIVACIÓ
TRAP	1	24 H	FLANC DESCENDENT I NIVELL ALT QUE S'HA DE MANTENIR FINS EL MOSTREIG
RST7.5	2	3CH	FLANC ASCENDENT
RST6.5	3	34H	NIVELL ALT FINS AL MOSTREIG
RST5.5	4	2CH	NIVELL ALT FINS AL MOSTREIG
INTR	5	Segons RSTn	NIVELL ALT FINS AL MOSTREIG

Funcionament del 8085 (2)

Estructura de memòria del 8088:

Direccionament del programa
al produir-se la interrupció

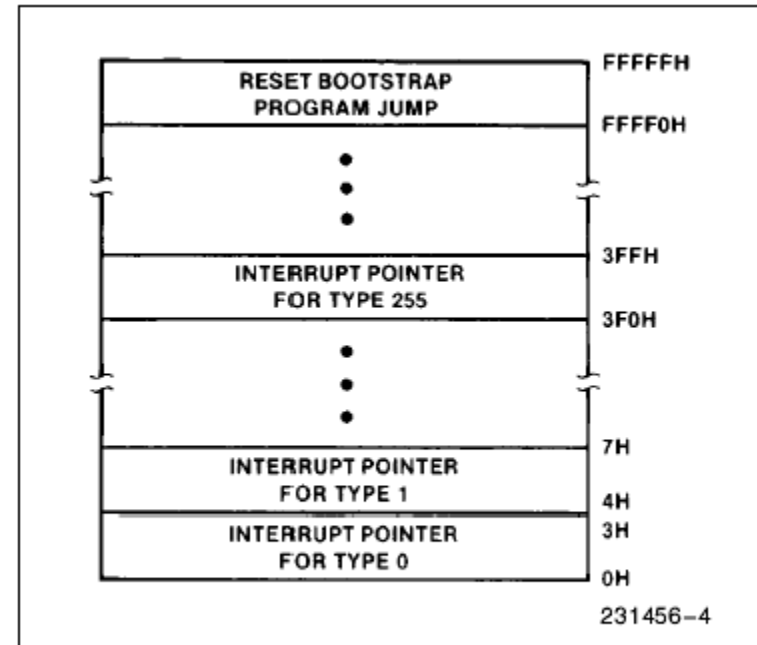


Figure 4. Reserved Memory Locations

RIM carrega els 8 bits del registre d'Int. a l'acumulador (LECTURA)
SIM carrega el contingut de l'acumulador en el registre d'interrupcions (ESCRITURA)

Funcionament del 8085 (2)

Estructura de la memòria al 8085...

FORMATO	RST	CONTADOR DE PROGRAMA
1100 0111	C7	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0000H
1100 1111	CF	0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0008H
1101 0111	D7	0 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0010H
1101 1111	DF	0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0018H
1110 0111	E7	0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0020H
1110 1111	EF	0 0 0 0 0 0 0 0 1 0 1 0 0 0 0 0028H
1111 0111	F7	0 0 0 0 0 0 0 0 1 1 0 0 0 0 0 0030H
1111 1111	FF	0 0 0 0 0 0 0 0 1 1 1 0 0 0 0 0038H

Bits que s'han de indicar amb la instrucció RST. Ex:

RST 5h Guarda el PC a la pila i salta a la posició 28H
(és com una funció call però cridant a una interrupció)

Funcionament del 8085 (2)

Exemple de salt produït per una interrupció:

```
.org 100h  
;es produeix la interrupció!  
rst 5
```

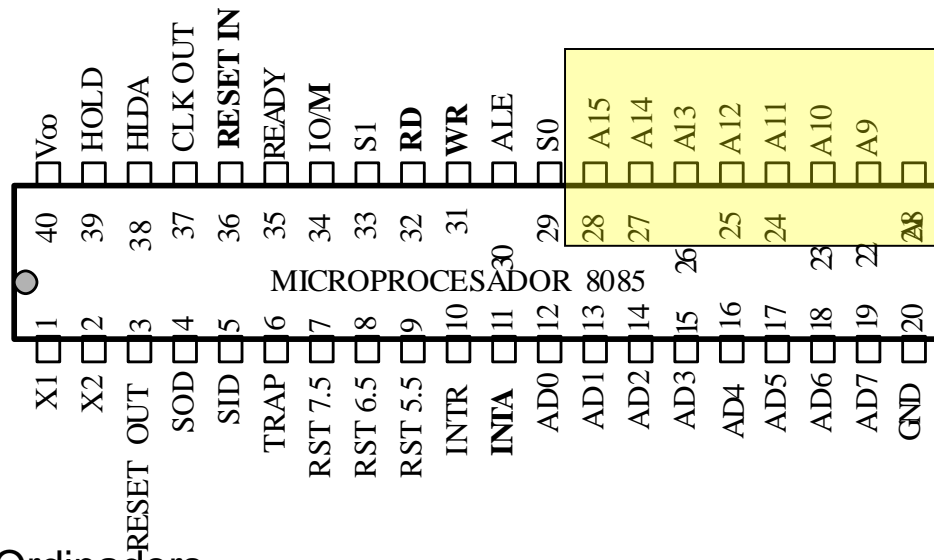
```
mvi h, 00H  
mvi l,55h
```

```
·  
·  
·
```

```
.org 28h  
ret
```

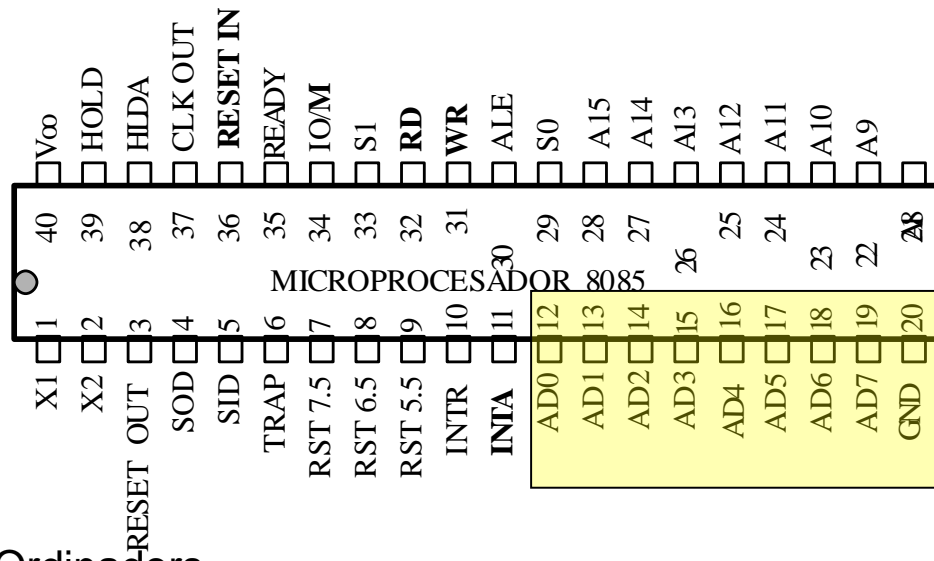
Funcionament del 8085 (2)

Bits del bus d'adreces. Ocupen el nivell superior del bus



Funcionament del 8085 (2)

Entrada/Sortida multiplexada que pot actuar sobre el bus de dades o sobre el bus d'adreces. En aquest últim cas actuarà sobre els bits menys significatius del bus



Funcionament del 8085 (2)

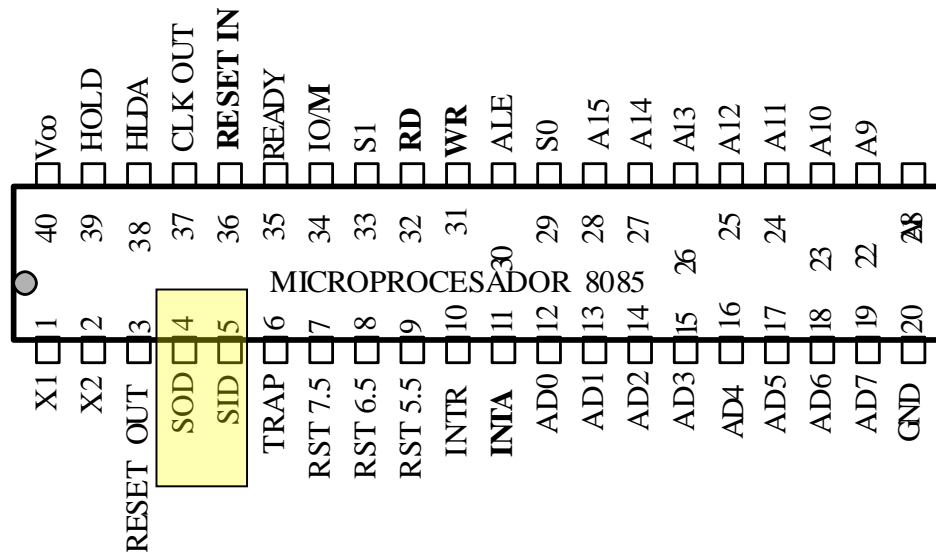
Sortida sèrie del microprocessador. Patilles 4 i 5

Patilla 4: Serial output

Patilla 5: Serial input

Quan s'executa la instrucció RIM, el nivell lògic de la patilla SID es deposita al bit de major pes de l'Acc

Quan s'executa la instrucció SIM, el nivell lògic de l'Acc es treu per la línia SOD



Funcionament del 8085 (2)

-Mitjançant les línies S0 i S1 la UCP forma 4 combinacions que informen sobre el bus de dades

S0	S1	Estat
----	----	-------

0	0	halt
---	---	------

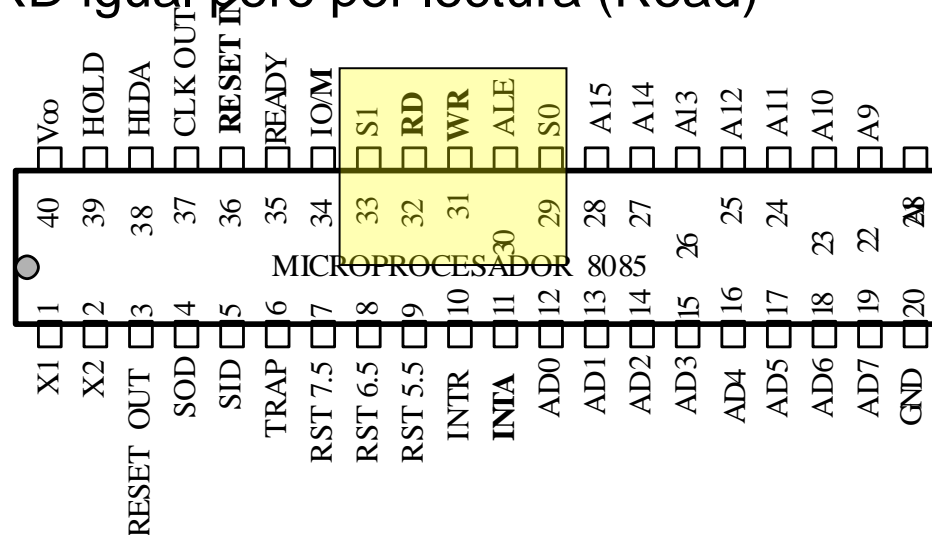
0	1	escriptura
---	---	------------

1	0	lectura
---	---	---------

1	1	fetch
---	---	-------

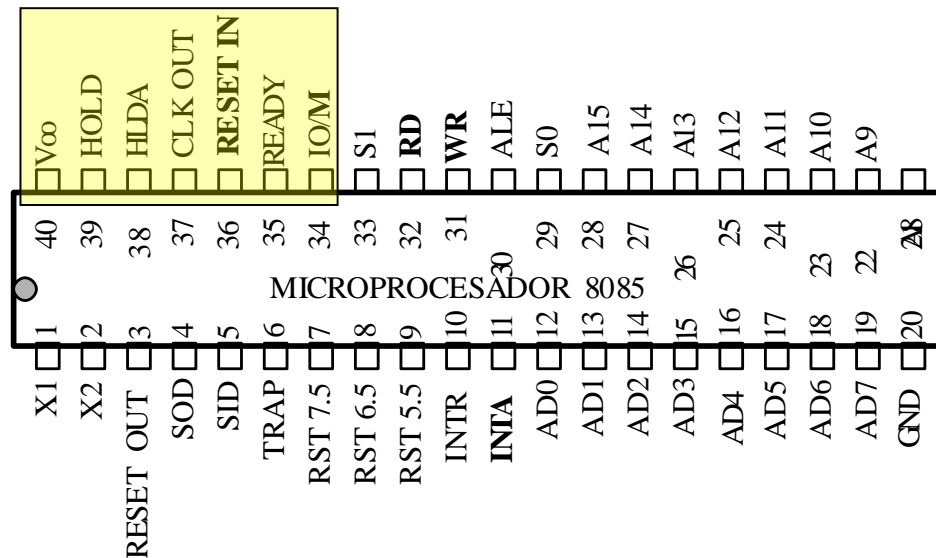
-El bit ALE s'activa quan per les línies A0-A7 circulen adreces

-WR indica quan esta a 0 que la informació del bus de dades s'escriurà a la memòria. RD igual pero per lectura (Read)



Funcionament del 8085 (2)

- IO/M: ens indica si la informació es realitza sobre la memòria o sobre E/S
- Ready: Indicació d'un dispositiu més lent al 8085 que pari la transferència d'informació (Recordeu les piles FIFO...)
- Reset IN : pues resetear
- ...



Funcionament del 8085 (2)

- Cicles màquina: Parts elementals de les instruccions (uinstruccions)
- L'execució de cada instrucció realitza varis cicles màquina depenent de la complexitat
- Els principals cicles que componen les instruccions al 8085 són:

FETCH

Lectura de memòria

Lectura d'una E/S

Esriptura en memòria

Esriptura en E/S

Reconeixement d'una interrupció

Al començament de cada cicle de uinstrucció es generen les senyals de IO/M, S0 i S1. Així per exemple durant el FETCH tindrem:

IO/M = 0, S0 = 1 i S1 = 1

Funcionament del 8085 (2)

Exemple programació del 8085:

Realitzem un programa que conti el nombre de 1 que hi ha en una Determinada posició de memòria.

Considerem la posició de memòria 50h

```
.define
```

```
contador 8
```

```
cero 0
```

```
.data 50h
```

```
Eldato: db 55h
```

```
LaMascara: db 01h
```

```
.org 100h
```

```
mvi b, cero
```

```
mvi h, 0h
```

```
mvi l, 50h
```

```
mvi e, contador; aquí tindrem el contador del programa
```

```
mov c, M ; guardo el valor de Eldato en C
```

```
inx h
```

```
mov d, M ; guardo la mascara en D
```

```
Inici: mov a, d; Carrego la máscara en l'Acc
```

Funcionament del 8085 (2)

ana c; Fem una AND entre l'Acc i C,
jz kk ; si es 0 no caldrà fer cap mena de suma
mov a, b
adi 1

mov b, a ; guardo el resultat de la suma en b
kk:
mov a, d
add d
mov d, a
dcr e; decremento el contador
jnz Inici

INFORMACIÓ SUPLEMENTARÀRIA

Funcionament del 8085 (2)

Instruccions de Control

Condicionen el funcionament del 8085. 3 tipus:

- 1.- habilitació/deshabilitació d'interrupcions
- 2.- Parada y no operar
- 3.- Mascarament d'interrupcions i control d'E/S del port sèrie

Funcionament del 8085 (2)

Bits del registre d'estat

S	Z	X	AC	X	P	X	C
---	---	---	----	---	---	---	---

on:

- C = Bit d'acarreig (CARRY)
- P = Bit de paritat (PARITY)
- AC = Bit d'acarreig auxiliar (AUX CARRY)
- Z = Bit zero (ZERO)
- S = Bit de signe (SIGN)
- X = Bit indiferent.

AUX CARRY.- Aquí tindrem un 1 lògic quan hi hagi carry al quart bit de l'acumulador. Aquest bit es fa servir generalment per executar instruccions d' "ajust decimal".

Funcionament del 8085 (2)

Registre d'interrupcions (I): 8 bits. Diferent si és llegit o escrit

- a) Lectura del registre d'interrupcions (mitjançant la instrucció RIM)
carrega el contingut del registre a l'acumulador.

SID	I7.5	I6.5	I5.5	IE	M7.5	M6.5	M5.5
-----	------	------	------	----	------	------	------

On SID: Dada d'entrada sèrie

Ix.5: Interrupcions pendents d'execució

IE: Interrupt Enable (habilitació de la interrupció). Mitjançant EI instr.

Mx.5: Permet posar les màscares de les interrupcions

- a) Escripura al registre d'interrupcions (mitjançant la instrucció SIM)
carrega el contingut de l'acumulador al registre d'interrupcions

SOD	SOE	X	R7.5	MSE	M7.5	M6.5	M5.5
-----	-----	---	------	-----	------	------	------

Funcionament del 8085 (2)

On:

SOD	SOE	X	R7.5	MSE	M7.5	M6.5	M5.5
-----	-----	---	------	-----	------	------	------

SOD: Dada de sortida

SOE: Enable serial output (Habilitació dada de sortida)

R7.5: Habilita fer un reset en la interrupció 7.5

MSE: Habilita l'enmascarament de les interrupcions

Si MSE = 1 habilitem les interrupcions enmascarables. Si col·loquem un “1” en els bits 0-2, la interrupció corresponent no s’activarà. Quan es produeix la interrupció el programa salta a la posició associada a la interrupció associada. Si la interrupció es demanada per un perifèric, s’executa la instrucció RST que el que fa es guardar el contingut del PC a la pila i saltar a la posició indicada pel RST

Funcionament del 8085 (2)

3.- Mascarament d'interrupcions i control d'E/S del port sèrie

RIM: Ens indica de:

- i) Estat de la màscara de les interrupcions
- ii) Estat del bit de permis de les int.
- iii) Interrupcions pendents d'atendre
- iv) Contingut de la linia d'entrada de dades en sèrie (SID)

SIM:

- i) Programa la màscara de les interrupcions
- ii) Permet o prohibeix la programació de la màscara
- iii) Reseteja el Flip-flop que guarda la petició per flanc de la int
RST 7.5
- iv) Permet l'actuació de la linia de sortida de les dades en sèrie
(SOD) i determina el bit que va a sortir a l'exterior per aquesta
linia

Funcionament del 8085 (2)

Exemple 1:

Dissenyeu un programa que carregui el senyalitzador CY amb el bit
Que s'introdueix per el pin SID d'entrada de dades sèrie

```
.org 100h
```

```
    RIM ; Carrega el bit de més pes de l'acc amb el bit que tenim a  
        ; SID
```

```
    RLC
```

```
    HLT
```

Funcionament del 8085 (2)

Exemple 2:

Dissenyeu un programa que realitzi les següents funcions de control:

- i) Permetre atendre les interrupcions mascarables RST 7.5 i RST 6.5
- ii) Prohibir l'atenció de la interrupció RST 5.5
- iii) Aplicar un RESET al flip-flop que registra la petició per flanc de la interrupció RST 7.5
- iv) Treure un bit 0 per la línia SOD

Funcionament del 8085 (2)

Recordem l'estructura del SIM:

SOD	SOE	X	R7.5	MSE	M7.5	M6.5	M5.5
-----	-----	---	------	-----	------	------	------

Per fer l'apartat 1 i 2...

1 1 1 0

Per fer l'apartat 3...

1

Per fer l'apartat 4...

0 1

I al bit X posem un zero ja que no és significatiu. Per tant...

Funcionament del 8085 (2)

.org 100h

.

.

.

mvi A, 5Eh ;carreguem a l'Acc el valor que volem carregar

EI ;habilitem interrupcions

SIM ; Acc =>Reg. Int.

.

.

.

Funcionament del 8085 (2)

Exemple 3:

Detecció d'una entrada de 8 bits pel port serie (detectem un 55h)

...

Funcionament del 8085 (2)

```
.org 100h
inicio:
rim
ani 80h
mov c, a
call guardando
mov a, b
cpi 55h
jnz inicio
hlt
```

```
guardando:
push psw
add b
rrc
mov b,a
pop psw
ret
```

Funcionament del 8085 (2)

... la següent generació:

La família **x86**

Arquitectura que respon al nom de IA-32

Nucli de l'arquitectura comun per tots els uP. Cada model afegeix extensions i recursos al core.

Instruccions del tipus CISC

Compatibilitat ascendent de software (??)

Increment de les prestacions en els nous models

...ja ho veureu a Estructura de Computadors