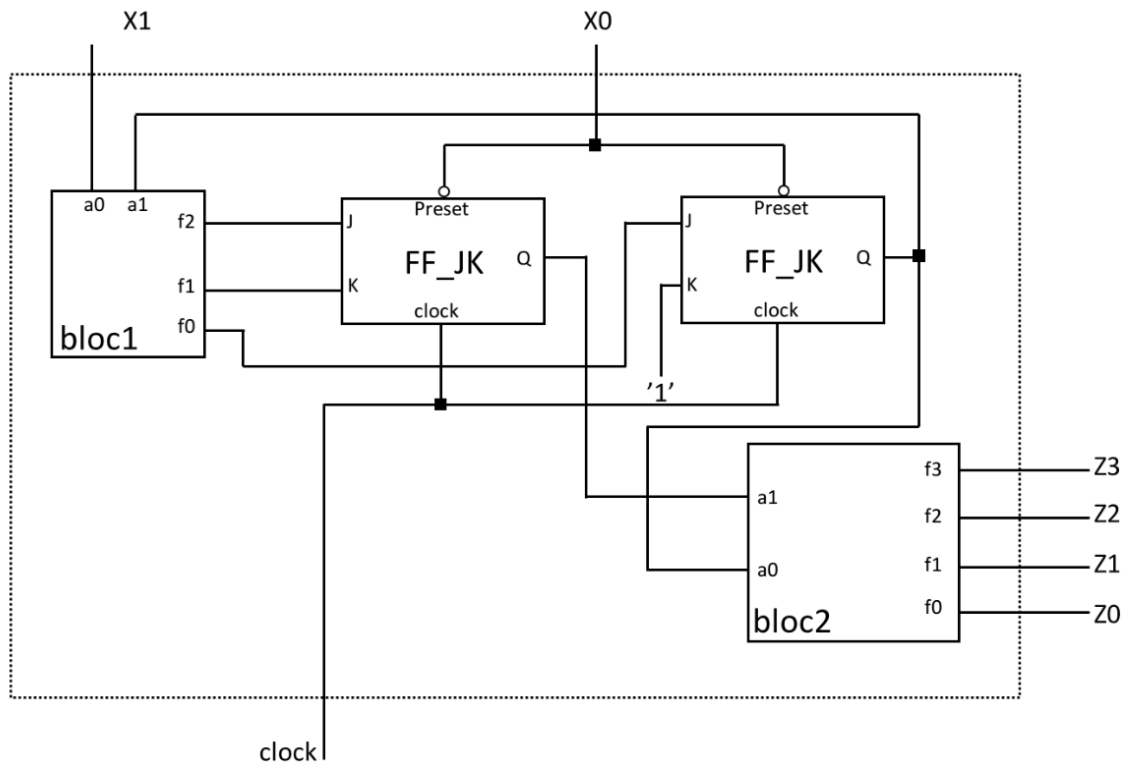
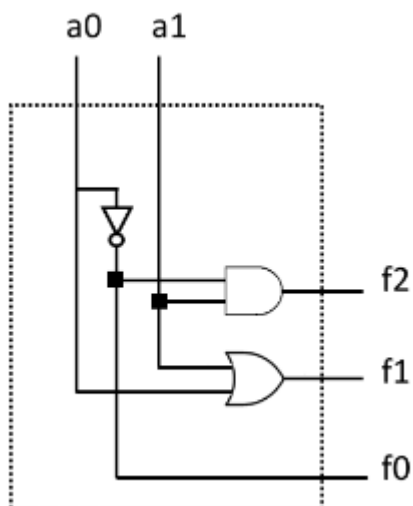


Examen de Pràctiques de Disseny Digital Bàsic, Dimecres 11 de desembre de 2019

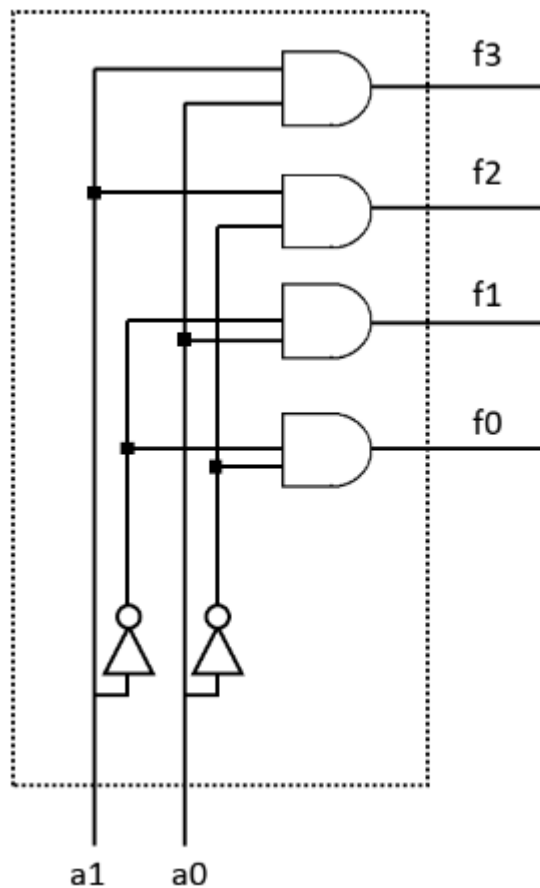
La pràctica avaluable d'avui consisteix en implementar una màquina d'estats finits que té dos bits d'entrada ( $x_1, x_0$ ) i quatre bits de sortida ( $z_3, z_2, z_1, z_0$ ). La màquina en qüestió ve donada pel següent esquema:



L'esquema del '**bloc1**' en funció de portes lògiques és el següent:



Mentre que l'esquema del '**bloc2**' el teniu a continuació (també en funció de portes lògiques):



Aquestes són les passes que heu de seguir per al correcte desenvolupament de la prova:

1) Construïu els FF-JK actius per flanc de baixada, anomenant l'entitat corresponent '**FF\_JK**' amb arquitectura '**ifthen**', definint-los **NOMÉS AMB EL SENYAL D'ENTRADA ASINCRON PRESET** i amb les sortides '**Q**' i '**NQ**' (totes dues de tipus bit). Les sortides dels FF\_JK tindran un retard de 5 ns.

**Entitat i arquitectura 'ifthen': 1,0 p**

2) Construïu l'entitat '**bloc1**' amb dues entrades de tipus bit '**a1**', '**a0**', i tres sortides també de tipus bit '**f2**', '**f1**', '**f0**'. Implementeu-lo amb l'arquitectura '**logica\_retard**', introduint un retard de 5 ns.

**Entitat i arquitectura 'logica\_retard': 1,5 p**

3) Construïu el '**bloc2**' amb dues entrades de tipus bit '**a1**', '**a0**', i quatre sortides també de tipus bit '**f3**', '**f2**', '**f1**', '**f0**'. Definiu la seva arquitectura '**estructural**', tal i com indica la figura de dalt, considerant que les portes lògiques tinguin un retard de 5 ns.

**Entitat i arquitectura 'estructural': 1,5 p**

4) Construïu l'entitat '**circuit**' amb dos bits d'entrada (**x1**, **x0**) i el senyal de **clock** (senyal de rellotge). Les sortides vindran donades per quatre bits (**z3**, **z2**, **z1**, **z0**). Utilitzeu les entitats dels blocs '**bloc1**' i '**bloc2**' i el FF\_JK per tal de definir la seva arquitectura '**estructural**'.

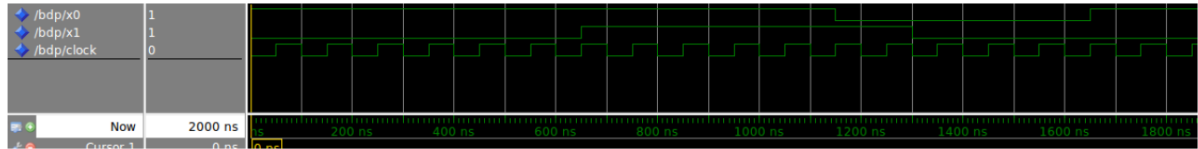
**Entitat i arquitectura 'estructural': 3,5 p**

5) Construïu l'entitat '**bdp**' amb l'arquitectura '**test**' per provar el circuit. Teniu en compte que el rellotge canviï cada 50 ns, i que els valors de **x1**, **x0** canvien de forma adequada per poder veure les

transicions en els diferents estats. Al cronograma s'han de poder veure les entrades i les sortides del circuit.

**Entitat i Arquitectura 'estructural': 1,5 p**

*Ajuda: Podeu fer servir la variació de senyals que es presenta a continuació*



6) Afegiu un comentari al final del codi descrivint que fa el circuit, indicant també el seu funcionament en base al cronograma i tenint en compte els estats i els canvis que veieu (especifica els temps a on hi ha canvis).

**Resposta: 1,0 p**