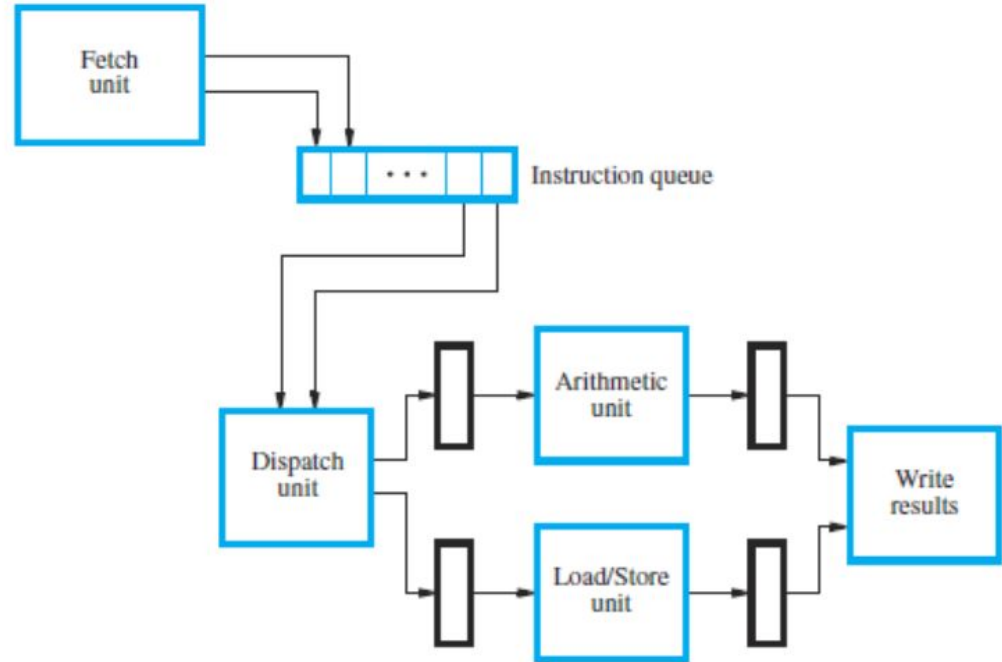


Exercici 1.11

1.11

Un processador superescalar
com el de la Figura 3 ha
d'executar les següents
instruccions:

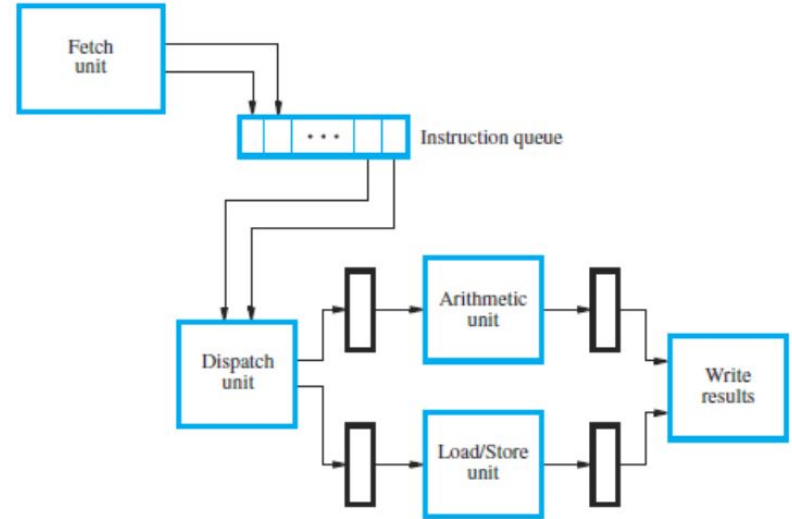
```
addi x2, x3, #100  
lw x5, 16(x6)  
sub x7, x8, x9  
sw x10, 24(x11)
```



1.11

Suposant que tots els registren ja contenen els valors, dibuixeu un diagrama mostrant el flux d'instruccions dins del pipeline.

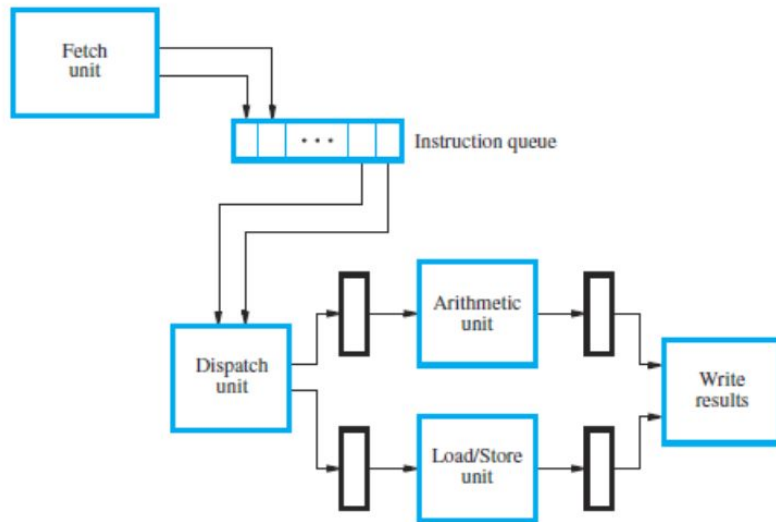
| | 1 | 2 | 3 | 4 | 5 | 6 |
|-------------------|----|---|---|---|---|---|
| addi x2, x3, #100 | IF | | | | | |
| lw x5, 16(x6) | | | | | | |
| sub x7, x8, x9 | | | | | | |
| sw x10, 24(x11) | | | | | | |



1.11

Suposant que tots els registren ja contenen els valors, dibuixeu un diagrama mostrant el flux d'instruccions dins del pipeline.

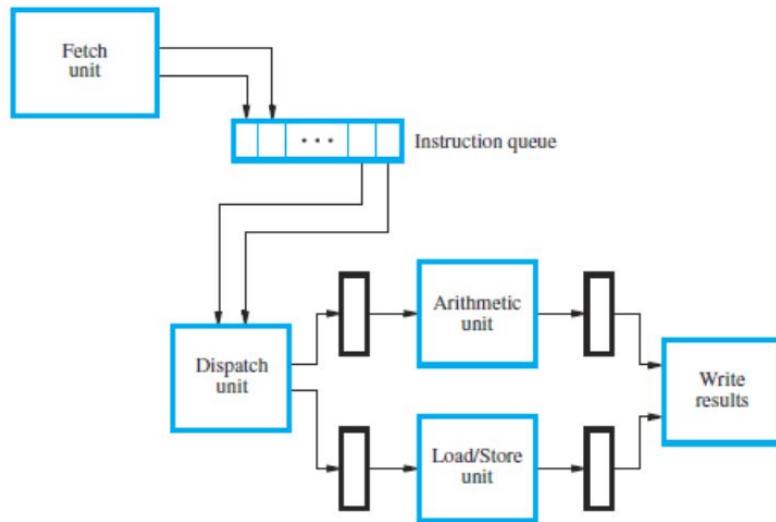
| | 1 | 2 | 3 | 4 | 5 | 6 |
|-------------------|----|----|---|---|---|---|
| addi x2, x3, #100 | IF | IQ | | | | |
| lw x5, 16(x6) | | | | | | |
| sub x7, x8, x9 | | IF | | | | |
| sw x10, 24(x11) | | | | | | |



1.11

Suposant que tots els registren ja contenen els valors, dibuixeu un diagrama mostrant el flux d'instruccions dins del pipeline.

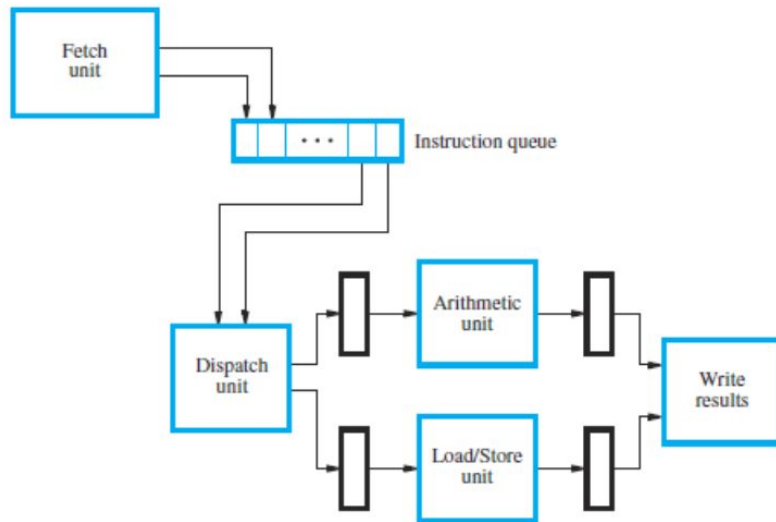
| | 1 | 2 | 3 | 4 | 5 | 6 |
|-------------------|----|----|----|---|---|---|
| addi x2, x3, #100 | IF | IQ | DU | | | |
| lw x5, 16(x6) | | | | | | |
| sub x7, x8, x9 | | IF | IQ | | | |
| sw x10, 24(x11) | | | | | | |



1.11

Suposant que tots els registren ja contenen els valors, dibuixeu un diagrama mostrant el flux d'instruccions dins del pipeline.

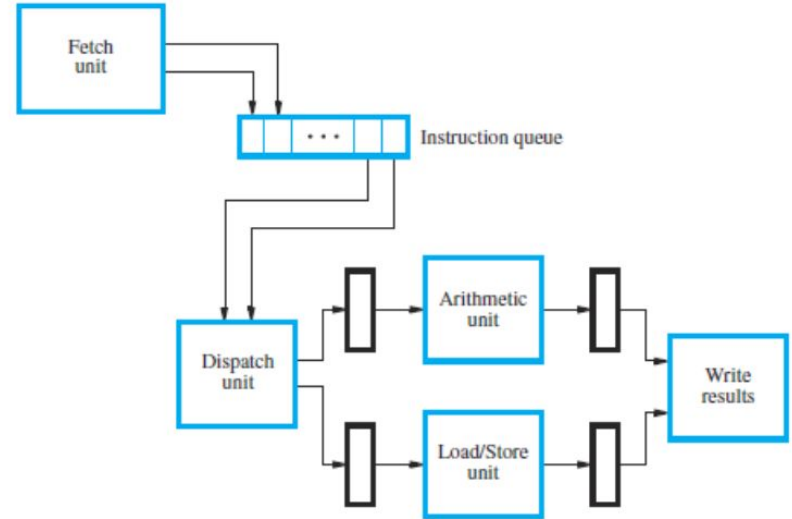
| | 1 | 2 | 3 | 4 | 5 | 6 |
|-------------------|----|----|----|-----|---|---|
| addi x2, x3, #100 | IF | IQ | DU | ALU | | |
| lw x5, 16(x6) | | | | MEM | | |
| sub x7, x8, x9 | | IF | IQ | DU | | |
| sw x10, 24(x11) | | | | | | |



1.11

Suposant que tots els registren ja contenen els valors, dibuixeu un diagrama mostrant el flux d'instruccions dins del pipeline.

| | 1 | 2 | 3 | 4 | 5 | 6 |
|-------------------|----|----|----|-----|-----|---|
| addi x2, x3, #100 | IF | IQ | DU | ALU | WB | |
| lw x5, 16(x6) | | | | MEM | | |
| sub x7, x8, x9 | | IF | IQ | DU | ALU | |
| sw x10, 24(x11) | | | | | MEM | |



1.11

Suposant que tots els registren ja contenen els valors, dibuixeu un diagrama mostrant el flux d'instruccions dins del pipeline.

| | 1 | 2 | 3 | 4 | 5 | 6 |
|-------------------|----|----|----|-----|-----|----|
| addi x2, x3, #100 | IF | IQ | DU | ALU | WB | |
| lw x5, 16(x6) | | | | MEM | | |
| sub x7, x8, x9 | | IF | IQ | DU | ALU | WB |
| sw x10, 24(x11) | | | | MEM | MEM | |

