

1. Definición de entradas y salidas

1 Entradas: X1 y X0 (2 canales de entrada de bits en serie)

1 Salida Z que detecta (=1) cuando aparece la secuencia 11-01-11

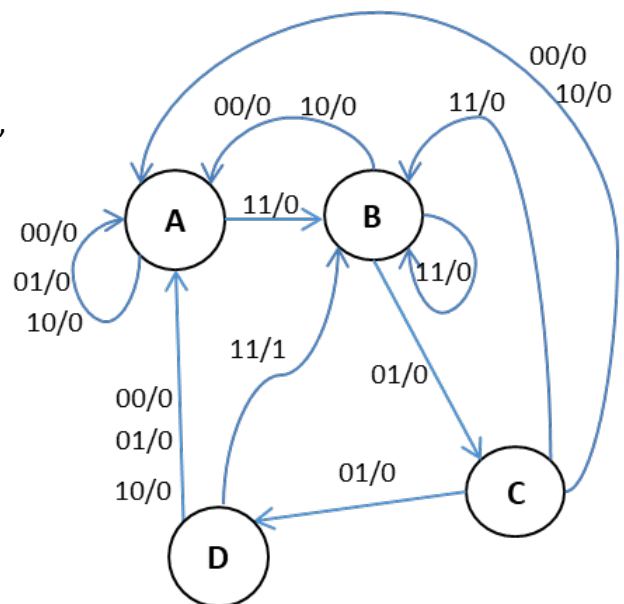
2. Definición de estados

- A estado en que no ha entrado 11
- B estado en que se entra en la secuencia con 11
- C estado en que sigue la secuencia con un '11-01'
- D estado en que sigue en la secuencia con '11-01-01'

4. Tabla de estados

Estado Presente Y	Estado Futuro Y ⁺ / Salida Z X1 X0			
	00	01	10	11
A	A / 0	A / 0	A / 0	B / 0
B	A / 0	C / 0	A / 0	B / 0
C	A / 0	D / 0	A / 0	B / 0
D	A / 0	A / 0	A / 0	B / 1

3. Diagrama de estados



5. Minimización de estados

Son todos diferentes

6. Asignación de estados.

Hay 4 estados, se necesitan 2 FF's: Y1, Y0. Asignaremos arbitrariamente: A=00, B=01, C=10, D=11

7. Tabla de transiciones

Presente	Y1	Y0	X1	X0	Futuro	D1	D0	Z
A	0	0	0	0	A	0	0	0
A	0	0	0	1	A	0	0	0
A	0	0	1	0	A	0	0	0
A	0	0	1	1	B	0	1	0
B	0	1	0	0	A	0	0	0
B	0	1	0	1	C	1	0	0
B	0	1	1	0	A	0	0	0
B	0	1	1	1	B	0	1	0
C	1	0	0	0	A	0	0	0
C	1	0	0	1	D	1	1	0
C	1	0	1	0	A	0	0	0
C	1	0	1	1	B	0	1	0
D	1	1	0	0	A	0	0	0
D	1	1	0	1	A	0	0	0
D	1	1	1	0	A	0	0	0
D	1	1	1	1	B	0	1	1

8. Elección de FFs

Tipo D por flanco de subida. $Q^+ = D$, por tanto $Y1^+ = D1$, $Y0^+ = D0$,

9. Resolución de Karnaugh

Y1 Y0 \ X1 X0		00	01	11	10
		00	01	11	10
00					
01			1		1
11					
10					

D1

Y1 Y0 \ X1 X0		00	01	11	10
		00	01	11	10
00					
01					1
11		1	1	1	1
10					

D0

Y1 Y0 \ X1 X0		00	01	11	10
		00	01	11	10
00					
01					
11				1	
10					

Z

$$D1 = \neg Y1 \cdot \neg Y0 \cdot \neg X1 \cdot X0 + Y1 \cdot \neg Y0 \cdot \neg X1 \cdot X0$$

$$D0 = Y1 \cdot \neg Y0 \cdot X0 + X1 \cdot X0$$

$$Z = Y1 \cdot Y0 \cdot X1 \cdot X0$$

10. Esquema

