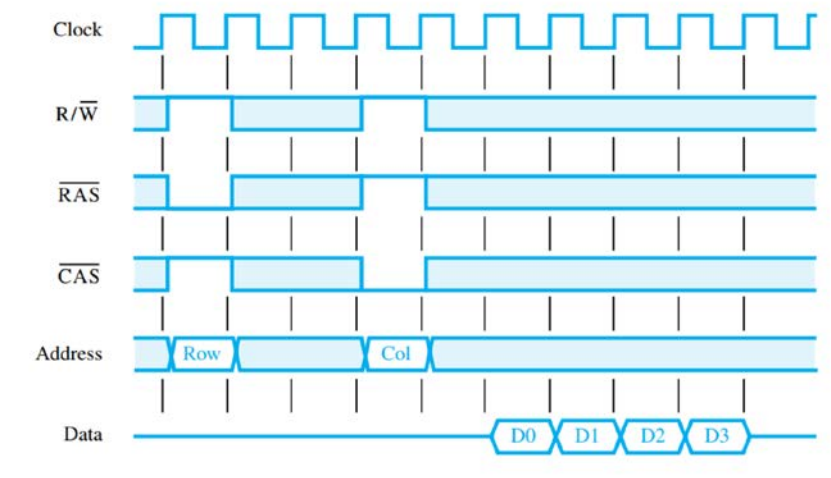


2.9. Considereu una memòria principal construïda amb xips SDRAM. Les dades es transfereixen en ràfegues tal com es mostra a la figura, llevat que la longitud de ràfega és de 8. Suposem que 32 bits de dades es transfereixen en paral·lel. Si s'utilitza un rellotge de 400 MHz, quant de temps triga a transferir:

- A. 32 bytes de dades
- B. 64 bytes de dades
- C. Quina és la latència en cada cas?



L'accés a memòria comença quan habilitem la senyal /RAS. Un cop ho fem, passen 5 cicles fins que comença a sortir la primera dada (això és la latència). En cada transferència, D_x , es transfereixen 4 Bbytes (32 bits), així que si tenim una longitud de ràfega de 8, el nombre total de dades transmeses en una ràfega son 32 B.

- a) Per transmetre 32 bytes necessitem 13 cicles (5 des del /RAS fins a l'inici de la primera dada, 8 per transmetre les dades). $T = 13 * 2.5 \text{ ns} = 32.5 \text{ ns}$
- b) Aquí tenim 2 respostes possibles, trieu la que vulgueu:
 - 1. La següent dada està a la mateixa fila: això vol dir que només hem de "dir" a quina columna anem. Així doncs, just s'acaba la primera transferència activem de nou la senyal /CAS. A continuació hem d'esperar 2 cicles de rellotge i a partir d'allà ja transferim la resta de dades. En total, 13 cicles de la primera ràfega + 10 cicles de la segona. $T = 23 * 2.5 \text{ ns} = 57.5 \text{ ns}$
 - 2. La següent dada està en una altra fila: això vol dir que hem de generar un segon accés igual al primer just al finalitzar la primera tramesa. Per tant, $13 * 2$ cicles. $T = 26 * 2.5 \text{ ns} = 65 \text{ ns}$.
- c) Tal com ja hem dit, la latència son 5 cicles (Latency= $5 * 2.5 \text{ ns} = 12.5 \text{ ns}$)