

32位MIPS综合实验设计文档

原子小组

November 3, 2015

目 录

1	引言	1
1.1	编写目的	1
1.2	背景	1
1.3	参考资料	1
2	模块设计	1
2.1	取指模块	1
2.2	译码/读寄存器模块	1
2.3	ALU模块	1
2.4	访存模块	1
2.5	写回模块	1
3	整体设计	1
3.1	CPU整体设计	1
3.2	元件例化	1
3.3	状态机	1
3.4	异常处理	1
4	操作系统ucore	1
4.1	ucore的组成	1
4.2	ucore的编译	1
5	Cache Debugger	1

1 引言

1.1 编写目的

1.2 背景

1.3 参考资料

2 模块设计

2.1 取指模块

2.2 译码/读寄存器模块

2.3 ALU模块

2.4 访存模块

2.5 写回模块

3 整体设计

3.1 CPU整体设计

3.2 元件例化

3.3 状态机

3.4 异常处理

4 操作系统ucore

4.1 ucore的组成

4.2 ucore的编译

5 Cache Debugger