

32位MIPS综合实验设计文档

原子小组

November 17, 2015

目 录

1	引言	2
1.1	编写目的	2
1.2	背景	2
1.3	开发工具	2
1.4	开发流程	3
1.5	参考资料	3
2	模块设计	3
2.1	取指阶段	3
2.1.1	PC模块	3
2.1.1.1	功能描述	3
2.1.1.2	端口说明	3
2.1.2	IF/ID模块	4
2.1.2.1	功能描述	4
2.1.2.2	端口说明	4
2.2	译码阶段	4
2.2.1	Regfile模块	4
2.2.1.1	功能描述	4
2.2.1.2	端口说明	5
2.2.2	ID模块	5
2.2.2.1	功能描述	5
2.2.2.2	端口说明	6
2.2.3	ID/EX模块	8
2.2.3.1	功能描述	8
2.2.3.2	端口说明	8
2.3	执行阶段	9
2.3.1	EX模块	10
2.3.1.1	功能描述	10
2.3.1.2	端口说明	10
2.3.2	EX/MEM模块	12
2.3.2.1	功能描述	12
2.3.2.2	端口说明	12
2.4	访存阶段	14
2.4.1	MEM模块	14
2.4.1.1	功能描述	14
2.4.1.2	端口说明	14
2.4.2	MEM/WB模块	16
2.4.2.1	功能描述	16

2.4.2.2	端口说明	16
2.5	回写阶段	17
2.5.1	CP0模块	17
2.5.1.1	功能描述	17
2.5.1.2	端口说明	17
2.5.2	LLbit模块	18
2.5.2.1	功能描述	18
2.5.2.2	端口说明	18
2.5.3	HILO模块	19
2.5.3.1	功能描述	19
2.5.3.2	端口说明	19
2.6	控制部件	19
2.6.1	CTRL模块	19
2.6.1.1	功能描述	19
2.6.1.2	端口说明	19
3	整体设计	20
3.1	CPU整体设计	20
3.2	元件例化	20
3.3	状态机	20
3.4	异常处理	20
4	操作系统	20
4.1	操作系统的组成	20
4.2	操作系统的编译	20
5	调试工具	20

1 引言

1.1 编写目的

在此前编写的需求文档中，已经明确了此次联合实验预期达到的目标，实验中需要完成的各部分工作，也对实验中需要用到的关键技术做了简要的原理性说明，此次实验的前期准备工作的需求文档中基本体现。

进入实际的代码开发阶段，Verilog代码的编写需要更加详细的接口，更加精准的功能说明，更加细化的流程控制。从前的需求文档已经不足以对开发过程进行具体的指导了，需要一份更加详细的设计文档。

因此，为了指导代码的实际开发过程，编写此设计文档。

文档预期读者包括开发人员、任务提出者及其他需要使用该资源的用户。

1.2 背景

本项目的系统名称为32位MIPS处理器。

本项目任务由计算机组成原理课程刘卫东老师、李山山老师和软件工程课程白晓颖老师共同提出。

承担本项目的开发者为计33班的徐炜杰、王楠和黄欢。此外还受到了刘卫东、白晓颖、李山山三位老师的指导和王钧奕、张乐、刘亚宁三位助教的帮助。

1.3 开发工具

本项目使用Xilinx ISE和Verilog HDL进行开发，使用ModelSim进行仿真，硬件系统为清华大学计算机系32位系统开发板，软件系统为ucore操作系统。

1.4 开发流程

1. 明确项目需求，查阅理论资料，完成初步构想，书写需求文档。
2. 根据需求文档进行设计，并对设计进行反复检验、修正，书写设计文档。
3. 根据设计文档定义完成各个模块硬件代码的书写，并进行独立调试，且过程中随时对设计进行修改。
4. 将硬件各模块协同联调，过程中可能对设计进行修改。
5. 运行ucore操作系统，完成扩展功能。

1.5 参考资料

1. 实验指导文档
2. OSLab实验参考文档
3. 贾开, 周昕宇, 李铁铮, 等. 计算机组成原理综合实验报告
4. 逆光组. 清华大学计算机组成原理32位Mips CPU教程
5. 刘卫东, 李山山, 宋佳兴, 等. 计算机硬件系统实验教程[M]. 清华大学出版社, 2013.
6. 帕特森, 亨尼斯, 康继昌, 等. 计算机组成与设计: 硬件/软件接口[M]. 机械工业出版社, 2012.
7. Sweetman D. See MIPS run[M]. Morgan Kaufmann, 2010.
8. 雷思磊. 自己动手写CPU[M]. 电子工业出版社, 2014.

2 模块设计

2.1 取指阶段

取指阶段取出指令寄存器中的指令，同时，PC递增，准备取下一条指令，包括PC、IF/ID两个模块。

2.1.1 PC模块

2.1.1.1 功能描述

给出指令地址，其中实现指令指针寄存器PC，该寄存器的值就是指令地址，对应pc_reg.v文件。

2.1.1.2 端口说明

表 1: PC模块的接口描述

接口名	宽度(bit)	输入/输出	作用
rst	1	输入	复位信号
clk	1	输入	时钟信号
branch_flag_i	1	输入	是否发生转移
branch_target_address_i	32	输入	转移到的目标地址
flush	1	输入	流水线清除信号
new_pc	32	输入	异常处理例程入口地址
stall	1	输入	取指地址PC是否保持不变
pc	32	输出	要读取的指令地址
ce	1	输出	指令存储器ROM使能信号

2.1.2 IF/ID模块

2.1.2.1 功能描述

实现取指与译码阶段之间的寄存器，将取指阶段的结果（取得的指令、指令地址等信息）暂时保存，在下一个时钟周期的上升沿传递到译码阶段，对应if_id.v文件。其实现只有一个时序逻辑电路。

2.1.2.2 端口说明

表 2: IF/ID模块的接口描述

接口名	宽度(bit)	输入/输出	作用
rst	1	输入	复位信号
clk	1	输入	时钟信号
if_pc	32	输入	取指阶段取出的指令对应的地址
if_inst	32	输入	取指阶段取出的指令
stall	1	输入	取指阶段是否暂停
flush	1	输入	流水线清除信号
id_pc	32	输出	译码阶段的指令对应的地址
id_inst	32	输出	译码阶段的指令

2.2 译码阶段

译码阶段将对取到的指令进行译码：给出要进行的运算类型，以及参与运算的操作数。译码阶段包括Regfile、ID和ID/EX三个模块。

2.2.1 Regfile模块

2.2.1.1 功能描述

实现了32个32位通用整数寄存器，可以同时进行两个寄存器的读操作和一个寄存器的写操作，对应regfile.v文件。

Regfile模块可以分为四段进行理解。

- (1) 第一段：定义了一个二维的向量，为32个32位寄存器。
- (2) 第二段：实现了写寄存器操作，当复位信号无效时（rst为RstDisable），在写使能信号we有效（we为WriteEnable），且写操作目的寄存器不等于0的情况下，可以将写输入数据保存到目的寄存器。之所以要判断目的寄存器不为0，是因为MIPS32架构规定\$0的值只能为0，所以不要写入。
- (3) 第三段：实现了第一个读寄存器端口，分以下几步依次判断：
 - (a) 当复位信号有效时，第一个读寄存器端口的输出始终为0；
 - (b) 当复位信号无效时，如果读取的是\$0，那么直接给出0；
 - (c) 如果第一个读寄存器端口要读取的目标寄存器与要写入的目的寄存器是同一个寄存器，那么直接将要写入的值作为第一个读寄存器端口的输出；
 - (d) 上述情况都不满足，那么给出第一个读寄存器端口要读取的目标寄存器地址对应寄存器的值；
 - (e) 第一个读寄存器端口没有使能时，直接输出0。
- (4) 第四段：实现了第二个读寄存器端口，具体过程与第三段是相似的，不再重复解释。

注意一点：读寄存器操作是组合逻辑电路，也就是一旦输入的要读取的寄存器地址raddr1或者raddr2发生变化，那么会立即给出新地址对应的寄存器的值，这样可以保证在译码阶段取得要读取的寄存器的值，而写寄存器操作是时序逻辑电路，写操作发生在时钟信号的上升沿。

2.2.1.2 端口说明

表 3: Regfile模块的接口描述

接口名	宽度(bit)	输入/输出	作用
rst	1	输入	复位信号，高电平有效
clk	1	输入	时钟信号
waddr	5	输入	要写入的寄存器地址
wdata	32	输入	要写入的数据
we	1	输入	写使能信号
raddr1	5	输入	第一个读寄存器端口要读取的寄存器的地址
re1	1	输入	第一个读寄存器端口读使能信号
rdata1	32	输出	第一个读寄存器端口输出的寄存器值
raddr2	5	输入	第二个读寄存器端口要读取的寄存器的地址
re2	1	输入	第二个读寄存器端口读使能信号
rdata2	32	输出	第二个读寄存器端口输出的寄存器值

2.2.2 ID模块

2.2.2.1 功能描述

对指令进行译码，译码结果包括运算类型、运算所需的源操作数、要写入的目的寄存器地址等，对应id.v文件。其中，运算类型指的是逻辑运算、移位运算、算术运算等，子类型指的是更详细的运算类

型，比如运算类型为逻辑运算时，运算子类型可以是逻辑“或”运算、逻辑“与”运算、逻辑“异或”运算等。

ID模块中的电路都是组合逻辑电路，ID模块与Regfile模块之间有接口连接。其实现可以分为三段进行理解：

- (1) 第一段：实现了对指令的译码，依据指令中的特征字段区分指令。以指令ori为例：只需通过识别26-31bit的指令码是否是6'b001101，即可判断是否是ori指令，其中的宏定义EXE_ORI就是6'b001101，op就是指令的26-31bit，所以当op等于EXE_ORI时，就表示是ori指令，此时会有以下译码结果。
 - (a) 要读取的寄存器情况：ori指令只需要读取rs寄存器的值，默认通过Regfile读端口1读取的寄存器地址reg1_addr_o的值是指令的21-25bit，正是ori指令中的rs，所以设置reg1_read_o为1，reg1_read_o连接Regfile的输入re1，reg1_addr_o连接Regfile的输入raddr1，结合对Regfile模块的介绍可知，译码阶段会读取寄存器rs的值。指令ori需要的另一个操作数是立即数，所以设置reg2_read_o为0，表示不通过Regfile读端口2读取寄存器，这里暗含使用立即数作为运算的操作数。imm就是指令中的立即数进行零扩展后的值。
 - (b) 要执行的运算：alusel_o给出要执行的运算类型，对于ori指令而言就是逻辑操作，即EXE_RES_LOGIC。aluop_o给出要执行的运算子类型，对于ori指令而言就是逻辑“或”运算，即EXE_OR_OP。这两个值会传递到执行阶段。
 - (c) 要写入的目的寄存器：wreg_o表示是否要写目的寄存器，ori指令要将计算结果保存到寄存器中，所以wreg_o设置为WriteEnable。wd_o是要写入的目的寄存器地址，此时就是指令的16-20bit，正是ori指令中的rt。这两个值也会传递到执行阶段。
- (2) 第二段：给出参与运算的源操作数1的值，如果reg1_read_o为1，那么就将从Regfile模块读端口1读取的寄存器的值作为源操作数1，如果reg1_read_o为0，那么就将立即数作为源操作数1，对于ori而言，此处选择从Regfile模块读端口1读取的寄存器的值作为源操作数1。该值将通过reg1_o端口被传递到执行阶段。
- (3) 第三段：给出参与运算的源操作数2的值，如果reg2_read_o为1，那么就将从Regfile模块读端口2读取的寄存器的值作为源操作数2，如果reg2_read_o为0，那么就将立即数作为源操作数2，对于ori而言，此处选择立即数imm作为源操作数2。该值将通过reg2_o端口被传递到执行阶段。

ID模块还处理了冲突相关的部分内容，具体如下。

实现数据前推的方法：

1. 将处于流水线执行阶段的指令的运算结果，包括：是否要写目的寄存器wreg_o、要写的目的寄存器地址wd_o、要写入目的寄存器的数据wdata_o等信息送到译码阶段。
2. 将处于流水线访存阶段的指令的运算结果，包括：是否要写目的寄存器wreg_o、要写的目的寄存器地址wd_o、要写入目的寄存器的数据wdata_o等信息送到译码阶段。

2.2.2.2 端口说明

表 4: ID模块的接口描述

接口名	宽度(bit)	输入/输出	作用
rst	1	输入	复位信号
pc_i	32	输入	译码阶段的指令对应的地址
inst_i	32	输入	译码阶段的指令
reg1_data_i	32	输入	从Regfile输入的第一个读寄存器端口的输入
reg2_data_i	32	输入	从Regfile输入的第二个读寄存器端口的输入
ex_wreg_i	1	输入	处于执行阶段的指令是否要写目的寄存器
ex_wd_i	5	输入	处于执行阶段的指令要写的目的寄存器地址
ex_wdata_i	32	输入	处于执行阶段的指令要写入目的寄存器的数据
mem_wreg_i	1	输入	处于访存阶段的指令是否要写目的寄存器
mem_wd_i	5	输入	处于访存阶段的指令要写的目的寄存器地址
mem_wdata_i	32	输入	处于访存阶段的指令要写入目的寄存器的数据
ex_aluop_i	8	输入	处于执行阶段指令的运算子类型
is_in_delayslot_i	1	输入	当前处于译码阶段的指令是否位于延迟槽
reg1_read_o	1	输出	Regfile模块的第一个读寄存器端口的读使能信号
reg2_read_o	1	输出	Regfile模块的第二个读寄存器端口的读使能信号
reg1_addr_o	5	输出	Regfile模块的第一个读寄存器端口的读地址信号
reg2_addr_o	5	输出	Regfile模块的第二个读寄存器端口的读地址信号
aluop_o	8	输出	译码阶段的指令要进行的运算的子类型
alusel_o	3	输出	译码阶段的指令要进行的运算的类型
reg1_o	32	输出	译码阶段的指令要进行的运算的源操作数1
reg2_o	32	输出	译码阶段的指令要进行的运算的源操作数2
wd_o	5	输出	译码阶段的指令要写入的目的寄存器地址
wreg_o	1	输出	译码阶段的指令是否有要写入的目的寄存器
branch_flag_o	1	输出	是否发生转移
branch_target_address_o	32	输出	转移到目标地址
is_in_delayslot_o	1	输出	当前处于译码阶段的指令是否位于延迟槽
link_addr_o	32	输出	转移指令要保存的返回地址
next_inst_in_delayslot_o	1	输出	下一条进入译码阶段的指令是否位于延迟槽
inst_o	32	输出	当前处于译码阶段的指令
excepttype_o	32	输出	收集的异常信息
current_inst_addr_o	32	输出	译码阶段指令的地址
stallreq	1	输出	译码阶段请求流水暂停

2.2.3 ID/EX模块

2.2.3.1 功能描述

实现译码与执行阶段之间的寄存器，将译码阶段取得的运算类型、源操作数、要写的目的寄存器地址等结果暂时保存，在下一个时钟周期的上升沿传递到流水线的执行阶段，对应`id_ex.v`文件。其实现只有一个时序逻辑电路。

2.2.3.2 端口说明

表 5: ID/EX模块的接口描述

接口名	宽度(bit)	输入/输出	作用
rst	1	输入	复位信号
clk	1	输入	时钟信号
id_alusel	3	输入	译码阶段的指令要进行的运算的类型
id_aluop	8	输入	译码阶段的指令要进行的运算的子类型
id_reg1	32	输入	译码阶段的指令要进行的运算的源操作数1
id_reg2	32	输入	译码阶段的指令要进行的运算的源操作数2
id_wd	5	输入	译码阶段的指令要写入的目的寄存器地址
id_wreg	1	输入	译码阶段的指令是否有要写入的目的寄存器
stall	1	输入	译码阶段是否暂停
flush	1	输入	流水线清除信号
id_excepttype	32	输入	译码阶段收集到的异常信息
id_current_inst_addr	32	输入	译码阶段指令的地址
id_is_in_delayslot	1	输入	当前处于译码阶段的指令是否位于延迟槽
id_link_address	32	输入	处于译码阶段的转移指令要保存的返回地址
next_inst_in_delayslot_i	1	输入	下一条进入译码阶段的指令是否位于延迟槽
id_inst	32	输入	当前处于译码阶段的指令
ex_inst	32	输出	当前处于执行阶段的指令
ex_is_in_delayslot	32	输出	当前处于执行阶段的指令是否位于延迟槽
ex_link_address	1	输出	处于执行阶段的转移指令要保存的返回地址
is_in_delayslot_o	1	输出	当前处于译码阶段的指令是否位于延迟槽
ex_excepttype	32	输出	译码阶段收集到的异常信息
ex_current_inst_addr	32	输出	执行阶段指令的地址
ex_alusel	3	输出	执行阶段的指令要进行的运算的类型
ex_aluop	8	输出	执行阶段的指令要进行的运算的子类型
ex_reg1	32	输出	执行阶段的指令要进行的运算的源操作数1
ex_reg2	32	输出	执行阶段的指令要进行的运算的源操作数2
ex_wd	5	输出	执行阶段的指令要写入的目的寄存器地址
ex_wreg	1	输出	执行阶段的指令是否有要写入的目的寄存器

2.3 执行阶段

执行阶段将依据译码阶段的结果，对源操作数1、源操作数2进行指定的运算。执行阶段包括EX、EX/MEM两个模块。

2.3.1 EX模块

2.3.1.1 功能描述

依据接口关系，EX模块会从ID/EX模块得到运算类型`alusel.i`、运算子类型`aluop.i`、源操作数`reg1.i`、源操作数`reg2.i`、要写的目的寄存器地址`wd.i`。依据这些译码阶段的结果，进行指定的运算，给出运算结果。对应`ex.v`文件。

EX模块中都是组合逻辑电路，其实现可以分为两段理解：

- (1) 第一段：依据输入的运算子类型进行运算，比如逻辑“或”运算。运算结果根据不同的运算类型进行保存，如逻辑操作的结果保存在`logicout`中，算术运算的结果保存在`arithmeticres`中，移位运算的结果保存在`shiftres`中等。
- (2) 第二段：给出最终的运算结果，包括：是否要写目的寄存器`wreg.o`、要写的目的寄存器地址`wd.o`、要写入的数据`wdata.o`。其中`wreg.o`、`wd.o`的值都直接来自译码阶段，不需要改变，`wdata.o`的值要依据运算类型进行选择，如果是逻辑运算，那么将`logicout`的值赋给`wdata.o`。如果是`mthi`、`mtlo`指令，为了写`HI`、`LO`寄存器，还要给出`whilo.o`、`hi.o`、`lo.o`的值。

EX模块还处理了冲突相关的部分内容，具体如下。

实现数据前推的方法：

1. 将处于流水线访存阶段、回写阶段的指令对`HI`、`LO`寄存器的操作信息反馈到执行阶段，如果处于执行阶段的是`mfhi`、`mflo`指令，执行阶段的选择模块就会从中选择，确定`HI`、`LO`寄存器的正确值。

2.3.1.2 端口说明

表 6: EX模块的接口描述

接口名	宽度(bit)	输入/输出	作用
rst	1	输入	复位信号
alusel_i	3	输入	执行阶段要进行的运算的类型
aluop_i	8	输入	执行阶段要进行的运算的子类型
reg1_i	32	输入	参与运算的源操作数1
reg2_i	32	输入	参与运算的源操作数2
wd_i	5	输入	指令执行要写入的目的寄存器地址
wreg_i	1	输入	是否有要写入的目的寄存器
excepttype_i	32	输入	译码阶段收集到的异常信息
current_inst_addr_i	32	输入	执行阶段指令的地址
is_in_delayslot_i	1	输入	当前处于执行阶段的指令是否位于延迟槽
link_address_i	32	输入	处于执行阶段的转移指令要保存的返回地址
hilo_temp_i	64	输入	第一个执行周期得到的乘法结果
cnt_i	2	输入	当前处于执行阶段的第几个时钟周期
hilo_temp_o	64	输出	第一个执行周期得到的乘法结果
cnt_o	2	输出	下一个时钟周期处于执行阶段的第几个时钟周期
excepttype_o	32	输出	译码阶段、执行阶段搜集到的异常信息
current_inst_addr_o	32	输出	执行阶段指令的地址
is_in_delayslot_o	1	输出	执行阶段的指令是否是延迟槽指令
wd_o	5	输出	执行阶段的指令最终要写入的目的寄存器地址
wreg_o	1	输出	执行阶段的指令最终是否有要写入的目的寄存器
wdata_o	32	输出	执行阶段的指令最终要写入目的寄存器的值
hi_i	32	输入	HILO模块给出的HI寄存器的值
lo_i	32	输入	HILO模块给出的LO寄存器的值
mem_whylo_i	1	输入	处于访存阶段的指令是否要写HI、LO寄存器
mem_hi_i	32	输入	处于访存阶段的指令要写入HI寄存器的值
mem_lo_i	32	输入	处于访存阶段的指令要写入LO寄存器的值
wb_whylo_i	1	输入	处于写回阶段的指令是否要写HI、LO寄存器
wb_hi_i	32	输入	处于写回阶段的指令要写入HI寄存器的值
wb_lo_i	32	输入	处于写回阶段的指令要写入LO寄存器的值

whilo_o	1	输出	处于执行阶段的指令是否要写HI、LO寄存器
hi_o	32	输出	处于执行阶段的指令要写入HI寄存器的值
lo_o	32	输出	处于执行阶段的指令要写入LO寄存器的值
cp0_reg_data_i	32	输入	从CP0模块读取的指定寄存器的值
mem_cp0_reg_we	1	输入	访存阶段的指令是否要写CP0中的寄存器
mem_cp0_reg_write_addr	5	输入	访存阶段的指令要写的CP0中寄存器的地址
mem_cp0_reg_data	32	输入	访存阶段的指令要写入CP0中寄存器的数据
wb_cp0_reg_we	1	输入	写回阶段的指令是否要写CP0中的寄存器
wb_cp0_reg_write_addr	5	输入	写回阶段的指令要写的CP0中寄存器的地址
wb_cp0_reg_data	32	输入	写回阶段的指令要写入CP0中寄存器的数据
cp0_reg_read_addr_o	5	输出	执行阶段的指令要读取的CP0中寄存器的地址
cp0_reg_we_o	1	输出	执行阶段的指令是否要写CP0中的寄存器
cp0_reg_write_addr_o	5	输出	执行阶段的指令要写的CP0中寄存器的地址
cp0_reg_data_o	32	输出	执行阶段的指令要写入CP0中寄存器的数据
inst_i	32	输入	当前处于执行阶段的指令
aluop_o	8	输出	执行阶段的指令要进行的运算的子类型
mem_addr_o	32	输出	加载、存储指令对应的存储器地址
reg2_o_pc	32	输出	存储指令要存储的数据，或者lwl、lwr指令要写入的目的寄存器的原始值
stallreq	1	输出	执行阶段是否请求流水线暂停

2.3.2 EX/MEM模块

2.3.2.1 功能描述

实现执行与访存阶段之间的寄存器，将执行阶段的结果暂时保存，在下一个时钟周期的上升沿传递到流水线的访存阶段，对应ex_mem.v文件。其实现只有一个时序逻辑电路。

2.3.2.2 端口说明

表 7: EX/MEM模块的接口描述

接口名	宽度(bit)	输入/输出	作用
rst	1	输入	复位信号
clk	1	输入	时钟信号
ex_wd	5	输入	执行阶段的指令执行后要写入的目的寄存器地址
ex_wreg	1	输入	执行阶段的指令执行后是否有要写入的目的寄存器
ex_wdata	32	输入	执行阶段的指令执行后要写入的目的寄存器的值
mem_wd	5	输出	访存阶段的指令要写入的目的寄存器地址
mem_wreg	1	输出	访存阶段的指令是否有要写入的目的寄存器
mem_wdata	32	输出	访存阶段的指令要写入目的寄存器的值
stall	1	输入	执行阶段是否暂停
flush	1	输入	是否清除流水线
ex_cp0_reg_we	1	输入	执行阶段的指令是否要写CP0中的寄存器
ex_cp0_reg_write_addr	5	输入	执行阶段的指令要写的CP0中寄存器的地址
ex_cp0_reg_data	32	输入	执行阶段的指令要写入CP0中寄存器的数据
mem_cp0_reg_we	1	输出	访存阶段的指令是否要写CP0中的寄存器
mem_cp0_reg_write_addr	5	输出	访存阶段的指令要写的CP0中寄存器的地址
mem_cp0_reg_data	32	输出	访存阶段的指令要写入CP0中寄存器的数据
ex_aluop	8	输入	执行阶段的指令要进行的运算的子类型
ex_mem_addr	32	输入	执行阶段的加载、存储指令对应的存储器地址
ex_reg2	32	输入	执行阶段的存储指令要存储的数据, 或者lwl、lwr指令要写入的目的寄存器的原始值
mem_aluop	8	输出	访存阶段的指令要进行的运算的子类型
mem_mem_addr	32	输出	访存阶段的加载、存储指令对应的存储器地址
mem_reg2	32	输出	访存阶段的存储指令要存储的数据, 或者lwl、lwr指令要写入的目的寄存器的原始值
ex_who	1	输入	执行阶段的指令是否要写HI、LO寄存器
ex_hi	32	输入	执行阶段的指令要写入HI寄存器的值
ex_lo	32	输入	执行阶段的指令要写入LO寄存器的值
mem_who	1	输出	访存阶段的指令是否要写HI、LO寄存器
mem_hi	32	输出	访存阶段的指令要写入HI寄存器的值
mem_lo	32	输出	访存阶段的指令要写入LO寄存器的值

ex_excepttype	32	输入	译码、执行阶段收集到的异常信息
ex_current_inst_address	32	输入	执行阶段指令的地址
ex_is_in_delayslot	1	输入	执行阶段的指令是否是延迟槽指令
mem_excepttype	32	输出	译码、执行阶段收集到的异常信息
mem_current_inst_address	32	输出	访存阶段指令的地址
mem_is_in_delayslot	1	输出	访存阶段的指令是否是延迟槽指令
hilo_i	64	输入	保存的乘法结果
cnt_i	2	输入	下一个时钟周期是执行阶段的第几个时钟周期
hilo_o	64	输出	保存的乘法结果
cnt_o	2	输出	当前处于执行阶段的第几个时钟周期

2.4 访存阶段

流水线的访存阶段包括MEM、MEM/WB两个模块。

2.4.1 MEM模块

2.4.1.1 功能描述

如果是加载、存储指令，那么会对数据存储器进行访问。此外，还会在该模块进行异常判断。对应mem.v文件。其实现为组合逻辑电路。

2.4.1.2 端口说明

表 8: MEM模块的接口描述

接口名	宽度(bit)	输入/输出	作用
rst	1	输入	复位信号
wd_i	5	输入	访存阶段的指令要写入的目的寄存器地址
wreg_i	1	输入	访存阶段的指令是否有要写入的目的寄存器
wdata_i	32	输入	访存阶段的指令要写入目的寄存器的值
wd_o	5	输出	访存阶段的指令最终要写入的目的寄存器地址
wreg_o	1	输出	访存阶段的指令最终是否有要写入的目的寄存器
wdata_o	32	输出	访存阶段的指令最终要写入目的寄存器的值
aluop_i	8	输入	访存阶段的指令要进行的运算的子类型
mem_addr_i	32	输入	访存阶段的加载、存储指令对应的存储器地址
reg2_i	32	输入	访存阶段的存储指令要存储的数据，或者lwl、lwr指令要写入的目的寄存器的原始值
mem_data_i	32	输入	从数据存储器读取的数据
mem_addr_o	32	输出	要访问的数据存储器的地址
mem_we_o	1	输出	是否是写操作，为1表示是写操作
mem_sel_o	4	输出	字节选择信号
mem_data_o	32	输出	要写入数据存储器的数据
mem_ce_o	1	输出	数据存储器使能信号
whilo_i	1	输入	访存阶段的指令是否要写HI、LO寄存器
hi_i	32	输入	访存阶段的指令要写入HI寄存器的值
lo_i	32	输入	访存阶段的指令要写入LO寄存器的值
whilo_o	1	输出	访存阶段的指令最终是否要写HI、LO寄存器
hi_o	32	输出	访存阶段的指令最终要写入HI寄存器的值
lo_o	32	输出	访存阶段的指令最终要写入LO寄存器的值
cp0_reg_we_i	1	输入	访存阶段的指令是否要写CP0中的寄存器
cp0_reg_write_addr_i	5	输入	访存阶段的指令要写的CP0中寄存器的地址
cp0_reg_data_i	32	输入	访存阶段的指令要写入CP0中寄存器的数据
cp0_reg_we_o	1	输出	访存阶段的指令最终是否要写CP0中的寄存器
cp0_reg_write_addr_o	5	输出	访存阶段的指令最终要写的CP0中寄存器的地址
cp0_reg_data_o	32	输出	访存阶段的指令最终要写入CP0中寄存器的数据

excepttype_i	32	输入	译码、执行阶段收集到的异常信息
current_inst_address	32	输入	访存阶段指令的地址
is_in_delayslot_i	1	输入	访存阶段的指令是否是延迟槽指令
cp0_status_i	32	输入	CP0中Status寄存器的值
cp0_cause_i	32	输入	CP0中Cause寄存器的值
cp0_epc_i	32	输入	CP0中EPC寄存器的值
wb_cp0_reg_we	1	输入	回写阶段的指令是否要写CP0中的寄存器
wb_cp0_reg_write_address	5	输入	回写阶段的指令要写的CP0中寄存器的地址
wb_cp0_reg_data	32	输入	回写阶段的指令要写入CP0中寄存器的值
excepttype_o	32	输出	最终的异常类型
current_inst_address_o	32	输出	访存阶段指令的地址
is_in_delayslot_o	1	输出	访存阶段的指令是否是延迟槽指令
cp0_epc_o	32	输出	CP0中EPC寄存器的最新值
LLbit_i	1	输入	LLbit模块给出的LLbit寄存器的值
wb_LLbit_we_i	1	输入	回写阶段的指令是否要写LLbit寄存器
wb_LLbit_value_i	1	输入	回写阶段要写入LLbit寄存器的值
LLbit_we_o	1	输出	访存阶段的指令是否要写LLbit寄存器
LLbit_value_o	1	输出	访存阶段的指令要写入LLbit寄存器的值

2.4.2 MEM/WB模块

2.4.2.1 功能描述

实现访存与回写阶段之间的寄存器，将访存阶段的结果暂时保存，在下一个时钟周期的上升沿传递到回写阶段，对应mem_wb.v文件。

2.4.2.2 端口说明

表 9: MEM/WB模块的接口描述

接口名	宽度(bit)	输入/输出	作用
rst	1	输入	复位信号
clk	1	输入	时钟信号
mem_wd	5	输入	访存阶段的指令最终要写入的目的寄存器地址
mem_wreg	1	输入	访存阶段的指令最终是否有要写入的目的寄存器
mem_wdata	32	输入	访存阶段的指令最终要写入目的寄存器的值
wb_wd	5	输出	回写阶段的指令要写入的目的寄存器地址
wb_wreg	1	输出	回写阶段的指令是否有要写入的目的寄存器
wb_wdata	32	输出	回写阶段的指令要写入目的寄存器的值
mem_LLbit_we	1	输入	访存阶段的指令是否要写LLbit寄存器
mem_LLbit_value	1	输入	访存阶段的指令要写入LLbit寄存器的值
wb_LLbit_we	1	输出	回写阶段的指令是否要写LLbit寄存器
wb_LLbit_value	1	输出	回写阶段的指令要写入LLbit寄存器的值
mem_cp0_reg_we	1	输入	访存阶段的指令是否要写CP0中的寄存器
mem_cp0_reg_write_addr	5	输入	访存阶段的指令要写的CP0中寄存器的地址
mem_cp0_reg_data	32	输入	访存阶段的指令要写入CP0中寄存器的数据
wb_cp0_reg_we	1	输出	回写阶段的指令是否要写CP0中的寄存器
wb_cp0_reg_write_addr	5	输出	回写阶段的指令要写的CP0中寄存器的地址
wb_cp0_reg_data	32	输出	回写阶段的指令要写入CP0中寄存器的数据
mem_whoilo	1	输入	访存阶段的指令是否要写HI、LO寄存器
mem_hi	32	输入	访存阶段的指令要写入HI寄存器的值
mem_lo	32	输入	访存阶段的指令要写入LO寄存器的值
wb_whoilo	1	输出	回写阶段的指令是否要写HI、LO寄存器
wb_hi	32	输出	回写阶段的指令要写入HI寄存器的值
wb_lo	32	输出	回写阶段的指令要写入LO寄存器的值
stall	1	输入	访存阶段是否暂停
flush	1	输入	是否清除流水线

2.5 回写阶段

2.5.1 CP0模块

2.5.1.1 功能描述

对应MIPS架构中的协处理器CP0。

2.5.1.2 端口说明

表 10: CP0模块的接口描述

接口名	宽度(bit)	输入/输出	作用
rst	1	输入	复位信号
clk	1	输入	时钟信号
raddr_i	5	输入	要读取的CP0中寄存器的地址
int_i	6	输入	6个外部硬件中断输入
we_i	1	输入	是否要写CP0中的寄存器
waddr_i	5	输入	要写的CP0中寄存器的地址
wdata_i	32	输入	要写入CP0中寄存器的数据
data_o	32	输出	读出的CP0中某个寄存器的值
count_o	32	输出	Count寄存器的值
compare_o	32	输出	Compare寄存器的值
status_o	32	输出	Status寄存器的值
cause_o	32	输出	Cause寄存器的值
epc_o	32	输出	EPC寄存器的值
config_o	32	输出	Config寄存器的值
prid_o	32	输出	PRId寄存器的值
timer_int_o	1	输出	是否有定时中断发生
excepttype_i	32	输入	最终的异常类型
current_inst_address_i	32	输入	发生异常的指令地址
is_in_delayslot_i	1	输入	发生异常的指令是否是延迟槽指令

2.5.2 LLbit模块

2.5.2.1 功能描述

2.5.2.2 端口说明

表 11: LLbit模块的接口描述

接口名	宽度(bit)	输入/输出	作用
rst	1	输入	复位信号
clk	1	输入	时钟信号
flush	1	输入	是否有异常发生
we	1	输入	是否要写LLbit寄存器
LLbit_i	1	输入	要写入LLbit寄存器的值
LLbit_o	1	输出	LLbit寄存器的值

2.5.3 HILO模块

2.5.3.1 功能描述

实现寄存器HI、LO，在乘法指令的处理过程中会使用到这两个寄存器。

2.5.3.2 端口说明

表 12: HILO模块的接口描述

接口名	宽度(bit)	输入/输出	作用
rst	1	输入	复位信号
clk	1	输入	时钟信号
we	1	输入	HI、LO寄存器写使能信号
hi_i	32	输入	要写入HI寄存器的值
lo_i	32	输入	要写入LO寄存器的值
hi_o	32	输出	HI寄存器的值
lo_o	32	输出	LO寄存器的值

2.6 控制部件

2.6.1 CTRL模块

2.6.1.1 功能描述

控制整个流水线的暂停、清除等动作，所以不便于将其归入流水线的某一个阶段，对应ctrl.v文件。

2.6.1.2 端口说明

表 13: CTRL模块的接口描述

接口名	宽度(bit)	输入/输出	作用
rst	1	输入	复位信号
stallreq_from_id	1	输入	处于译码阶段的指令是否请求流水线暂停信号
stallreq_from_ex	1	输入	处于执行阶段的指令是否请求流水线暂停信号
stall	6	输出	暂停流水线控制信号
cp0_epc_i	32	输入	EPC寄存器的最新值
excepttype_i	32	输入	最终的异常类型
new_pc	32	输出	异常处理入口地址
flush	1	输出	是否清除流水线

3 整体设计

3.1 CPU整体设计

本实验实现了基于标准32位MIPS指令集的子集的五级流水CPU，支持异常、中断、TLB等。

MIPS指令集的各条指令可以分解为取指（IF）、译码（ID）、执行（EX）、访存（MEM）和回写（WB）五个阶段，分别对应于本次实验需要实现的五个核心模块。模块内部采用组合逻辑电路实现，相邻模块之间的数据传输采用时序逻辑电路实现，每经过一个时钟周期，所有阶段分别将各自保存的结果交给下一个阶段，从而实现流水CPU。

此外，我们还实现了寄存器堆模块（Regfile）、HILO模块（HILO）、协处理器模块（CP0）和控制模块（CTRL）。寄存器堆模块在译码阶段实现，便于指令在译码阶段访问寄存器并得到相应的数据。HILO模块和协处理器模块在回写阶段实现。控制模块则用于控制整个流水线的暂停、清除等动作，因此不将其归入流水线中的某一个阶段。

数据通路图如下。

（数据通路图）

流水线虽然能提高指令执行效率，但由此带来的冲突是不可避免的。我们对于流水线三种类型的冲突（结构冲突、数据冲突和控制冲突）分别进行了处理。

1. 结构冲突

指令在重叠执行过程中发生硬件资源冲突，在MIPS架构中主要是指取指阶段和访存阶段同时对存储器进行访问引起的冲突。解决方法是在设计数据通路时，采用资源重复设置的方法。如果指令和数据放在同一个存储器，可使用双端口存储器，一个端口存取数据，另一个端口取指令，这两个操作可以并行操作而不引起结构冲突。

2. 数据冲突

在同时重叠执行的几条指令中，一条指令依赖于前面指令执行结果，但是得不到执行结果造成的冲突（RAW，即Read After Write）。解决方法是在数据通路中加入流水线暂停和恢复机制（load相关），并引入数据前推技术，将执行结果提前送到其他模块，以供其他模块参考和使用。由于编译器调度容易出错，所以本项目中不在编译器上做优化。

3. 控制冲突

流水线中的分支指令或者其他需要改写PC的指令造成的冲突。解决方法是引入延时槽机制，这要求编译器在分支指令后插入空指令，对流水线的性能有一定的影响。

3.2 元件例化

3.3 状态机

3.4 异常处理

4 操作系统

4.1 操作系统的组成

4.2 操作系统的编译

5 调试工具