

32位Mips综合实验需求文档

徐炜杰 王楠 黄欢

October 18, 2015

1	引言	2
1.1	编写目的	2
1.2	背景	2
1.3	定义	2
1.4	Mips架构下CPU运行概述	2
1.5	参考资料	2
2	功能需求	2
2.1	CPU	2
2.1.1	ALU	2
2.1.2	乘法器	2
2.1.3	寄存器堆	2
2.1.4	CP0	2
2.1.5	异常中断处理	2
2.1.6	MMU	2
2.1.6.1	虚拟地址映射	2
2.1.6.2	TLB	2
2.2	Ucore	2
2.3	外设	2
2.4	Decaf编译器	2
2.5	指令集与数据通路	2
3	性能需求	2
4	运行环境需求	2
4.1	设备	2
4.2	控制	2
5	附录	2
5.1	指令系统	2

1 引言

1.1 编写目的

1.2 背景

1.3 定义

1.4 Mips架构下CPU运行概述

1.5 参考资料

2 功能需求

2.1 CPU

2.1.1 ALU

2.1.2 乘法器

2.1.3 寄存器堆

2.1.4 CP0

2.1.5 异常中断处理

2.1.6 MMU

2.1.6.1 虚拟地址映射

2.1.6.2 TLB

2.2 Ucore

2.3 外设

2.4 Decaf编译器

2.5 指令集与数据通路

3 性能需求

4 运行环境需求

4.1 设备

4.2 控制

5 附录

5.1 指令系统