

LUCRAREA NR. 10

NUMĂRĂTOARE (II)

1. Scopul lucrării

Se verifică modul de comportare al unor numărătoare MSI, conform descrierii funcționale din catalog. Se studiază posibilitățile de realizare a diferite secvențe de numărare, sub și peste limita domeniului de numărare al numărătoarelor MSI disponibile. Se realizează mai multe variante de implementare a unor numărătoare modulo p , folosind și ACTIVE-HDL.

2. Considerații teoretice

2.1 Generalități

Numărătoarele prezentate în lucrarea anterioară erau numărătoare modulo 2^n obținute prin interconectarea a n celule binare.

Un numărător modulo p este un numărător la care se folosesc numai p stări ($p < 2^n$), restul de $2^n - p$ fiind omise. Alegerea stărilor omise poate fi făcută în principiu arbitrar. Însă, în funcție de stările omise, pentru același număr p vor exista mai multe variante de numărătoare modulo p .

Un numărător modulo p se mai numește și *divizor prin p* .

Un numărător modulo 10 obținut dintr-un numărător binar pe 4 biți prin omiterea a 6 stări, și anume: 1010, 1011, 1100, 1101, 1110, 1111, este de fapt un numărător zecimal. Acesta se mai numește și numărător *decadic*.

2.2 Numărătoare MSI sincrone

2.2.1 Numărătoarele MSI 4162, 4163, 4192 și 4193

Există mai multe tipuri de numărătoare sincrone integrate, dintre care cele mai folosite sunt: 4162 și 4163, 4192 și 4193.

Circuitul 4163 (figura 10.1) este un numărător sincron binar direct. Singura deosebire dintre acest numărător și 4162 este că acesta din urmă este zecimal (numără numai de la 0 la 9), pe când 4163 numără de la 0 la 15.

În rest, pini sunt identici și semnificația semnalelor la pini de asemenea. Pentru ca circuitele să funcționeze intrările de Enable T (ET) și Enable P (EP) trebuie să ia valoarea 1 logic. Intrările notate **PL** (Parallel Load) și **MR** (Master Reset sau **CLR – Clear**) sunt *sincrone* și realizează, în cazul în care sunt active (pe 0 logic) și în prezența unui impuls de ceas, încărcarea paralelă și respectiv resetarea numărătorului. De exemplu, pentru a încărcă paralel un anumit număr în numărător, se va proceda, în ordine, astfel:

1. pe liniile de date (**D0-D3**) se stabilește numărul pe care dorim să-l încărcăm;
2. se activează intrarea **PL** cu 0 logic;
3. la sosirea următorului impuls de ceas, numărul va fi încărcat în numărător. Dacă apoi se dezactivează intrarea **PL** (cu 1 logic), procesul de numărare va continua plecând de la starea încărcată anterior.

În mod analog se procedează și pentru intrarea **MR (CLR)**, rezultatul fiind aducerea numărătorului în starea 0 (resetare):

1. se va activa linia Master Reset (**MR**) cu 0 logic;
2. la sosirea următorului impuls de ceas, numărătorul va fi resetat (adus la zero). Dacă apoi se dezactivează intrarea **MR** (cu 1 logic), procesul de numărare va continua plecând din starea zero.

În starea 15 (pentru 4163), respectiv 9 (pentru 4162), se va activa (va lua valoarea 1 logic) ieșirea **TC** (Terminal Count sau **CO – Carry Output**), cu semnificația de transport (se folosește la cascada numărătoarelor).

În tabelul 10.1 sunt descrise operațiile care pot fi executate de numărătorul sincron binar direct 4163.

Tabel 10.1 Operațiile efectuate de numărătorul sincron binar direct 4163

Operație	Descriere	CLR	LD	EP
CLEAR (șterge)	$(Q_D, Q_C, Q_B, Q_A) \leftarrow (0,0,0,0)$ $CO = Q_D \cdot Q_C \cdot Q_B \cdot Q_A \cdot ET$	0	\emptyset	\emptyset
LOAD (încarcă paralel)	$(Q_D, Q_C, Q_B, Q_A) \leftarrow (D, C, B, A)$ $CO = Q_D \cdot Q_C \cdot Q_B \cdot Q_A \cdot ET$	1	0	\emptyset
HOLD (memorează)	$(Q_D, Q_C, Q_B, Q_A) \leftarrow (Q_D, Q_C, Q_B, Q_A)$ $CO = Q_D \cdot Q_C \cdot Q_B \cdot Q_A \cdot ET$	1	1	0
COUNT (numără)	$(Q_D, Q_C, Q_B, Q_A) \leftarrow [(Q_D, Q_C, Q_B, Q_A) + (0,0,0,T)]_{\text{mod}16}$ $CO = Q_D \cdot Q_C \cdot Q_B \cdot Q_A \cdot ET$	1	1	1

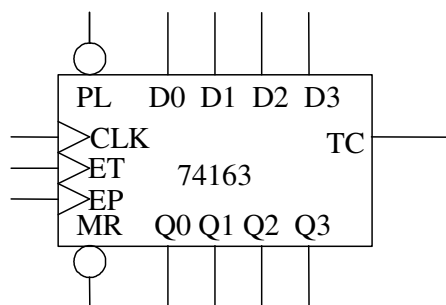


Figura 10.1 Numărătorul integrat MSI 4163

Circuitul 4193 (figura 10.2) este un numărător sincron binar și bidirecțional (poate număra atât crescător cât și descrescător). Singura deosebire dintre acest numărător și 4192 este că acesta din urmă este zecimal, numără numai în bucla 0-9 sau 9-0, pe când 4193 numără în bucla 0-15 sau 15-0. În rest, pinii sunt identici și semnificația semnalelor la pini de asemenea. Intrările notate **LD** (Load) și **MR** (Master Reset sau **CLR** – Clear) sunt *asincrone* și realizează, în cazul în care sunt active, încărcarea paralelă și respectiv resetarea numărătorului. De exemplu, pentru a încărca un anumit număr în numărător, se va proceda, în ordine, astfel:

1. pe liniile de date (**D0-D3**) se va stabili numărul pe care dorim să-l încărcăm;
2. se va activa intrarea **LD** (cu 0 logic). Imediat, numărul de pe intrările de date se încarcă în numărător. Dacă apoi se dezactivează intrarea **LD** (cu 1 logic), procesul de numărare va continua plecând din starea încărcată anterior.

De remarcat că la acest numărător, spre deosebire de 4163, nu mai este necesară prezența unui impuls de ceas pentru încărcare paralelă: la simpla activare a intrării **LD**, datele de pe D0-D3 se înscriu în numărător.

În mod analog se procedează și pentru intrarea **MR** (**CLR**), rezultatul fiind aducerea numărătorului în starea 0 (resetare):

1. se va activa linia Master Reset (**MR**) cu 1 logic;
2. imediat, numărătorul va fi resetat (adus la zero). Dacă apoi se dezactivează intrarea **MR** (cu 0 logic), procesul de numărare va continua plecând din starea zero.

Aceste numărătoare au două regimuri de lucru, corespunzătoare numărării crescătoare sau descrescătoare, deci sunt reversibile. În cazul în care se primește un impuls de ceas pe intrarea **C_u**, numărătorul va număra crescător, iar dacă se primește un impuls de ceas pe intrarea **C_d**, va număra

descrescător. Numărătorul nu permite activarea simultană a celor 2 impulsuri de ceas.

În starea 15 (pentru 4193), respectiv 9 (pentru 4192), se va activa ieșirea **TC_u** (**CO Carry Output**) – dacă regimul de lucru este de numărare crescătoare, iar în starea 0 (atât pentru 4193 cât și pentru 4192), se va activa ieșirea **TC_d** (**BO Borrow Output**) – dacă regimul de lucru este de numărare descrescătoare. Aceste ieșiri, cu semnificația de transport (CO) sau împrumut (BO), se folosesc la cascada numărătoarelor și sunt active pe 0 logic.

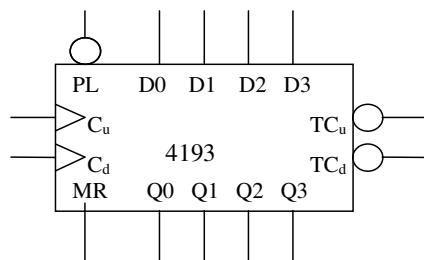


Figura 10.2 Numărătorul integrat MSI 4193

Pentru extinderea domeniului de numărare se conectează circuitele în cascadă. Prin conectarea circuitelor 4163 ca în figura 10.3 se obține un numărător pe 8 biți care va număra de la 0 la 255. Pentru ca schema să funcționeze intrările de Enable T (ET) și Enable P (EP) trebuie să ia valoarea 1 logic.

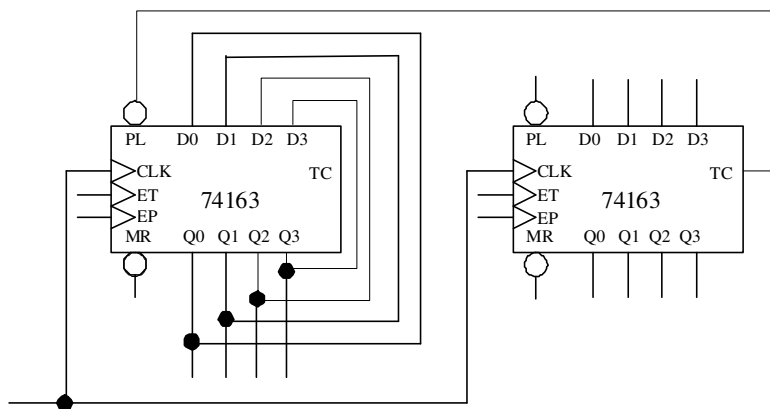


Figura 10.3 Cascadarea numărătoarelor sincrone 4163

2.3 Numărătoare modulo p

2.3.1 Numărătoare modulo p realizate cu circuite 4192 și 4193

Cu ajutorul acestor numărătoare MSI se pot realiza numărătoare modulo p directe sau inverse prin intermediul unei logici combinaționale adecvate.

Dar, cu aceste circuite se pot realiza și numărătoare programabile, care nu necesită o logică combinațională suplimentară. Vom prezenta în continuare un exemplu utilizând circuitului 4193 (numărător sincron binar reversibil).

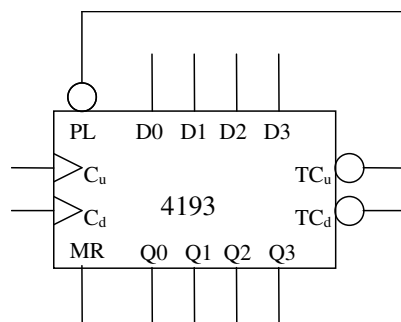


Figura 10.4 Numărător modulo p realizat cu numărator 4193 (se pierde ultima stare)

Dacă aplicăm intrărilor D_0 - D_3 ale număratorului 4193, legat ca în figura 10.4, o secvență oarecare, în momentul în care numărătorul numărând direct va ajunge în starea 1111, ieșirea de transport TC_u va deveni 0 și va determina, prin activarea intrării PL, încărcarea asincronă a număratorului cu acea secvență (dar se pierde o stare).

Pentru ca încărcarea secvenței respective (de exemplu 1010) să se facă cu o întârziere față de momentul trecerii număratorului în ultima stare (1111) vom introduce un bistabil D care să întârzie cu o perioadă de tact semnalul TC_u și apoi să comande intrarea de încărcare paralelă PL. Schema este prezentată în figura 10.5. Secvența de numărare va fi 1010, 1011, 1100, 1101, 1110, 1111 și din nou 1010.

Modul acesta de conectare poate fi utilizat și pentru numărătorul sincron zecimal 4192, dar secvența detectată este 1001.

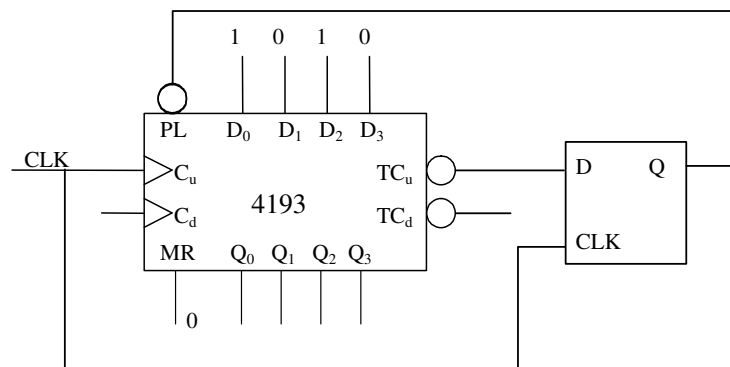


Figura 10.5 Numărător modulo p realizat cu circuitul 4193

2.3.2 Numărătoare modulo p realizate prin aducere la 0

În cazul în care dorim realizarea unui numărător modulo p vom proceda astfel:

- determinăm numărul minim de celule de memorie necesare pentru realizarea numărătorului cu relația:

$$2^n \geq p$$

- interconectăm celulele numărătorului astfel încât din cele 2^n stări posibile să se omită $2^n - p$ stări.

Metoda aducerii la 0 este frecvent utilizată pentru realizarea numărătoarelor modulo p , în special cu numărătoarele MSI 490, 493, 4192, 4193 care dispun de intrări asincrone de ștergere.

Această metodă constă din următoarele etape:

- se lasă numărătorul să evolueze normal până în starea $p-1$;
- în momentul în care se atinge starea p se aplică printr-o logică combinațională un impuls de ștergere a tuturor celulelor numărătorului.

Ne propunem să realizăm cu circuitul 493 (numărător asincron binar) un numărător modulo 5. Secvența de numărare a acestui numărător este: 000, 001, 010, 011, 100, 000. Pentru a realiza această secvență este necesar să se aducă numărătorul în starea 000 prin activarea intrărilor asincrone de ștergere R01 și R02, atunci când numărătorul ajunge în bucla de numărare în starea 100 (figura 10.6).

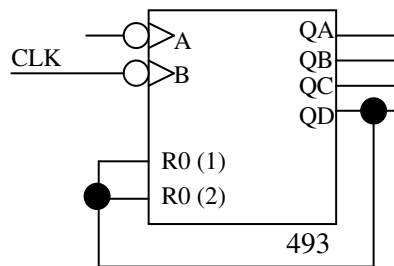


Figura 10.6 Numărător modulo 5 realizat cu circuitul 493

Pentru realizarea unui numărător modulo 15 va fi necesară o logică combinațională care să aducă intrările R01 și R02 în 1 atunci când numărătorul ajunge în starea 1110 (figura 10.7).

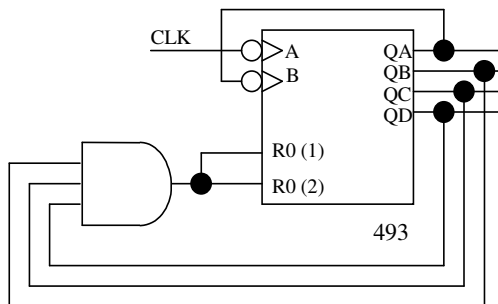


Figura 10.7 Numărător modulo 15 realizat cu circuitul 493

În mod asemănător se poate realiza orice numărător modulo p cu p mai mic decât 16 sau prin conectarea în cascadă pentru $16 < p < 255$.

3. Desfășurarea lucrării

1. Se testează funcționarea corectă a numărătoarelor MSI 4162, 4163, 4192, 4193, 490, 493. Se verifică intrările de încărcare paralelă PL și de resetare MR (Clear), constatându-se diferențele dintre aceste funcții la 4162, 4163 și 4192, 4193 (încărcare paralelă și resetare sincrone și asincrone; nivel logic activ pe 0 sau 1).
2. Se realizează diferite numărătoare modulo p cu aducere la 0, cu circuitele MSI anterioare, după modelele prezentate în lucrare.

3. Se va implementa un numărător care să numere în bucla 3-12, cu ajutorul unui circuit 4163.
4. Verificați funcționarea montajelor din figurile 10.4 și 10.5.
5. Explicați de ce, în figura 10.3, nu s-au cascadat numărătoarele prin conectarea ieșirii TC a primului numărător la CLK-ul celui de-al doilea numărător. Ce problemă de temporizare ar fi apărut?
6. Se implementează toate numărătoarele prezentate în lucrare folosind ACTIVE-HDL și se realizează și simularea funcționării acestora. Cum se remarcă la simulare deosebirile dintre intrările sincrone și cele asincrone?