

LUCRAREA NR. 8

CIRCUITE BASCULANTE BISTABILE

1. Scopul lucrării

Se studiază caracteristicile unor bistabile uzuale, realizate cu porți din familia circuitelor integrate TTL. Se verifică funcționarea unor bistabile integrate și se studiază metode de modificare a tipului unui bistabil folosind circuite combinaționale adiționale. Se construiesc și se simulează bistabile uzuale cu ajutorul ACTIVE-HDL comparându-se metodele de implementare specifice, din punctul de vedere al eficienței, vitezei și costului.

2. Considerații teoretice

2.1 Noțiuni introductive

Bistabilul (celula fundamentală de memorie binară) este un circuit cu două stări distincte, care păstrează o informație formată dintr-un singur bit.

Realizarea electronică a elementului de memorie binară o reprezintă circuitul bistabil. Deci circuitele basculante bistabile (CBB) au două *stări stabile*, trecerea dintr-o stare în alta (comutarea) făcându-se numai la aplicarea unei comenzi din exterior. Ele sunt de fapt automate de ordinul 1 (se obțin din automate de ordin 0 prin introducerea legăturii inverse).

Un bistabil poate memora un timp nedefinit informația binară și în același timp starea sa poate fi citită în orice moment. El are două ieșiri: Q și complementul său \overline{Q} . Precizarea stării în care se află bistabilul la un moment dat (0 sau 1) se face relativ la valoarea ieșirii Q în logica pozitivă.

Bistabilele pot fi *sincrone* sau *asincrone*.

Un bistabil este de tipul *sincron* dacă are comanda condiționată de un semnal de sincronizare numit *tact* sau *ceas* și este de tipul *asincron* dacă semnalele de comandă sunt aplicate pe intrări la momente de timp aleatoare, aceasta făcând ca starea circuitului să depindă de ordinea în care se schimbă semnalele.

La bistabilul sincron, în afară de intrările de condiționare a stării următoare, putem întâlni *intrări de forțare* care sunt asincrone, pentru

poziționarea pe 0 sau 1 a ieșirilor. Aceste intrări asincrone sunt prioritare față de intrările sincrone.

Vom prezenta în continuare pe larg modul de construcție a bistabilelor.

2.2 Bistabile realizate cu porți

a) Bistabilul RS asincron

Circuitul are două intrări notate cu R (*reset*) și S (*set*) și două ieșiri notate cu Q și \bar{Q} .

Schema bistabilului corespunzător, implementată cu porți SAU-NU este prezentată în figura 8.1:

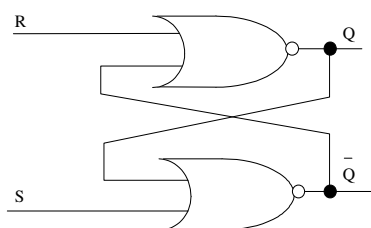


Figura 8.1 Bistabilul RS asincron

Semnalul 1 logic aplicat pe intrarea S (setare) aduce bistabilul în starea $Q = 1$ și $\bar{Q} = 0$, iar semnalul 1 logic aplicat pe intrarea R (resetare) aduce bistabilul în starea $Q = 0$ și $\bar{Q} = 1$.

Circuitul este de tip asincron, deoarece comutarea bistabilului se face imediat după aplicarea semnalului pe una din intrări. Pentru bistabilul RS asincron condiția de funcționare normală este $S \bullet R = 0$.

Notăm cu Q_n și Q_{n+1} starea bistabilului la momentul "n", respectiv la momentul următor.

Tabelul pentru definirea ecuației bistabilului RS asincron este:

Tabelul 8.1 Tabelul de adevăr al bistabilului RS asincron

S	R	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	*

Se observă că ultima combinație nu este posibilă (nu putem seta și reseta simultan bistabilul).

Rezultă egalitățile:

$$\begin{aligned} Q_{n+1} &= \overline{R + \overline{Q_n}} = \overline{R} \cdot Q_n \\ \overline{Q_{n+1}} &= \overline{S + Q_n} = \overline{S} \cdot \overline{Q_n} \end{aligned} \quad (8.1)$$

b) Bistabilul RS sincron

Bistabilul RS sincron se obține din cel asincron prin adăugarea unor porți suplimentare, cu scopul de a obține un răspuns pe ieșirile bistabilului numai în prezența unui impuls de ceas CLK (tact).

Atât timp cât semnalul de ceas este 0 logic, bistabilul își păstrează starea și ia în considerare intrările R și S doar când ceasul trece pe 1 logic.

Bistabilul RS sincron realizat cu porți ȘI-NU este prezentat în figura 8.2:

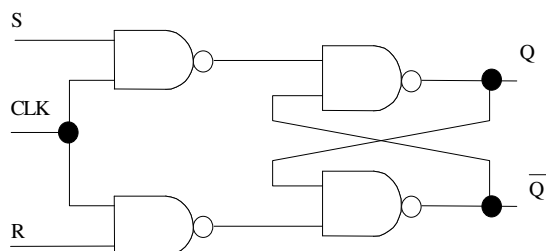


Figura 8.2 Bistabilul RS sincron

Utilizarea bistabilelor în aplicații impune cunoașterea valorilor ieșirilor acestora. Din acest motiv se definește tabelul de excitație, care arată cum trebuie să fie intrările pentru a realiza o anumită tranziție pe ieșiri.

Tabelul 8.2 Tabelul de excitație al bistabilului RS sincron

Q_n	Q_{n+1}	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

Rămân valabile tabelele de adevăr de la RS asincron.

Putem avea la bistabilele sincrone și intrări RS asincrone, care intervin la ultimul nivel de porți forțând bistabilul în 0 sau 1 în mod asincron (indiferent de valoarea ceasului).

c) Bistabilul D (Delay) sincron

Bistabilul D (Delay) se poate realiza dintr-un bistabil RS sincron după cum se prezintă în figura 8.3:

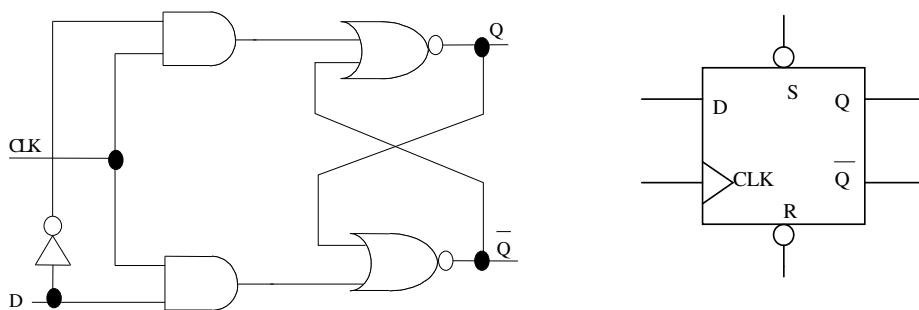


Figura 8.3 Bistabilul D realizat cu porți și simbolul său

Tabelul 8.3 Tabelul de excitație al bistabilului D sincron

D	Q_{n+1}
0	0
1	1

Ecuațiile caracteristice ale bistabilului D sunt:

$$\begin{aligned} Q_{n+1} &= D \\ \overline{Q_{n+1}} &= \overline{D} \end{aligned} \quad (8.2)$$

Bistabilele D întârzie data de la intrare cu un impuls de ceas. Sunt cele mai răspândite bistabile folosite în realizarea registrelor de date.

Când semnalul de ceas este în 1 logic, ieșirea ia aceeași valoare ca și intrarea. La trecerea semnalului de ceas din 1 în 0 ieșirea rămâne în aceeași stare, până la revenirea ceasului în 1.

Schema internă a unui bistabil D acționat de frontul pozitiv al ceasului este reprezentată în figura 8.4 (circuitul integrat 474). Efectul de comutare (basculare) are loc în momentul tranziției semnalului de ceas, după care ieșirea este blocată.

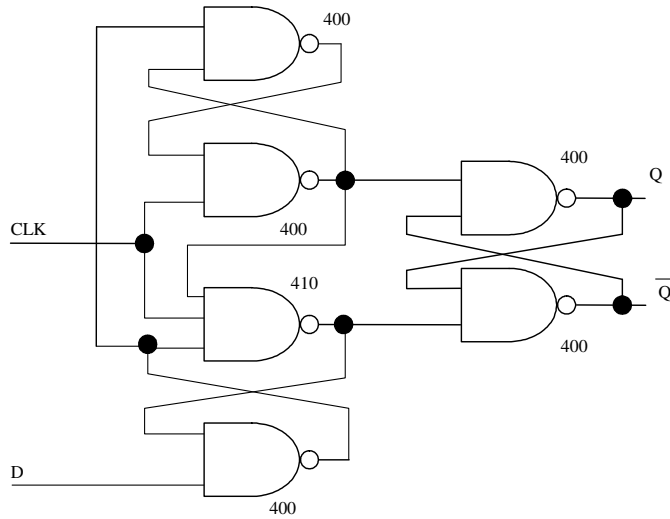


Figura 8.4 Bistabil D care comută pe frontul pozitiv al semnalului de ceas

d) Bistabilul JK sincron

Pentru a elimina neajunsul menționat la bistabilul RS asincron, care conduce la stări nedeterminate pentru condiția $R = 1$ și $S = 1$, se introduc reacții suplimentare, obținându-se bistabilul JK sincron.

Tabelul 8.4 Tabelul de adevăr al bistabilului JK sincron

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q_n}$

Și la acest bistabil intrările S și R sunt prioritare fiindcă sunt asincrone.

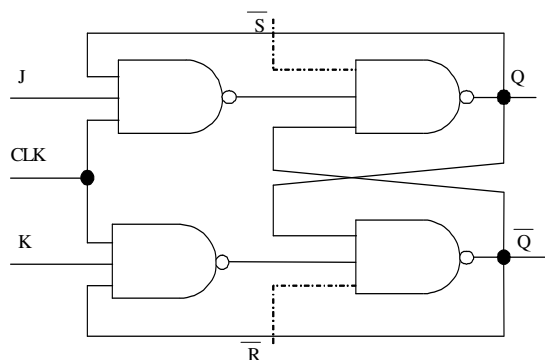


Figura 8.5 Bistabilul JK sincron

Bistabilul JK sincron se obține din bistabilul RS sincron cu condițiile $R = K \cdot \overline{Q}$ și $S = J \cdot Q$.

În momentul sosirii impulsului de comandă, bistabilul își schimbă starea conform tabelului său de adevăr.

Dacă semnalul de ceas persistă la valoarea logică 1, după stabilirea noii stări urmează o altă schimbare a stării, sau altfel spus, bistabilul va intra în oscilație atâta timp cât semnalul de ceas este 1. Pentru a exista o singură basculare, durata impulsului de comandă trebuie să fie mai mare ca timpul de propagare printr-un nivel de porți și mai mică decât timpul de propagare a semnalului prin 2 niveluri de porți. Problema oscilațiilor este eliminată la bistabilele de tip JK *master-slave*, care au în structură 2 celule de memorie.

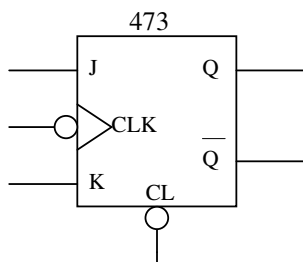


Figura 8.6 Simbolul bistabilului JK sincron (integratul 473)

Bistabilele JK master-slave comută pe frontul descrescător al semnalului de ceas (când ceasul trece din 1 în 0 logic).

e) Bistabilul T sincron

Bistabilul T sincron reprezintă o variantă cu o singură intrare a bistabilului sincron JK prezentat anterior. Bistabilul comută în starea complementară dacă, în momentul sosirii impulsului de ceas, la intrarea T se află aplicat semnalul 1 logic. El prezintă aceeași deficiență referitoare la oscilații ca și bistabilul JK.

Bistabilul T se obține din JK sincron cu J legat la K (figura 8.7). Bistabilul T realizează divizarea de frecvență cu factorul 2.

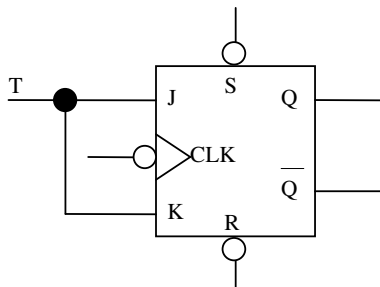


Figura 8.7 Obținerea bistabilului T

Tabelul 8.5 Tabelul de adevăr al bistabilului T

T	Q_{n+1}
0	Q_n
1	$\overline{Q_n}$

Ecuțiile caracteristice ale bistabilului T sunt:

$$\begin{aligned} Q_{n+1} &= T \oplus Q_n \\ \overline{Q_{n+1}} &= \overline{T \oplus Q_n} \end{aligned} \quad (8.3)$$

Bistabilul T este foarte utilizat în proiectarea (sinteza) numărătoarelor.

f) Bistabilul JK master-slave (stăpân-sclav)

Inconvenientul arătat la bistabilele JK și T este eliminat de către bistabilul JK master-slave.

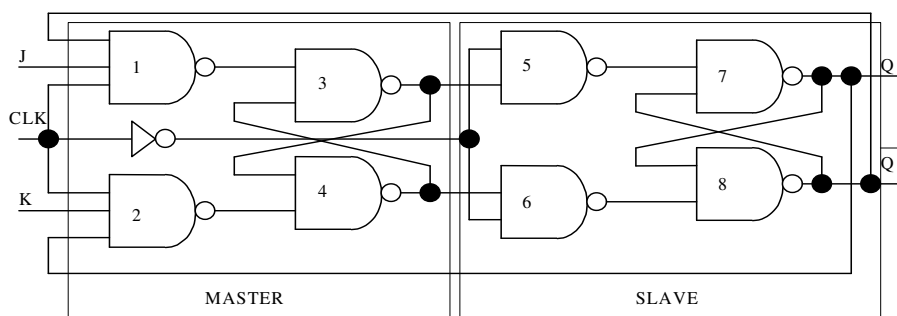


Figura 8.8 Bistabilul JK Master-Slave

Această soluție conduce la comutarea bistabilului pe frontul posterior (descendent) al impulsului de ceas. În esență un bistabil *master-slave* este alcătuit din două bistabile sincrone și eventuale reacții suplimentare. Primul bistabil denumit *master* (stăpân) citește informația după frontul anterior al impulsului de comandă, iar cel de-al doilea denumit *slave* (sclav) - ale cărui ieșiri corespund cu ieșirile bistabilului luat în ansamblu - comută pe frontul posterior al impulsului de comandă. Revenind la schema dată, identificăm bistabilul *master* prin porțile 3 și 4 și bistabilul *slave* prin 7 și 8. Atât timp cât impulsul de comandă se află la valoarea logică 0, ieșirile porților 1 și 2 sunt la valoarea logică 1, ceea ce împiedică semnalul de pe J, respectiv K, să acționeze asupra bistabilului *master*.

După tranziția 0→1 a impulsului de comandă, informația este citită de bistabilul *master*. În același timp porțile 5 și 6 sunt blocate și prin aceasta bistabilul *master* este izolat de *slave*, datorită semnalului logic 0 aplicat pe intrările acestor porți prin intermediul inversorului. După tranziția 1→0 porțile 1 și 2 devin din nou blocate, adică bistabilul *master* este izolat de exterior, iar porțile 5 și 6 sunt deblocate, ceea ce permite bistabilului *slave* să citească informația înscrisă în *master*. Reacțiile de la *slave* la *master* asigură funcționarea de tip JK conform celor menționate anterior.

De reținut că principiul *master-slave* poate fi aplicat oricărui tip de bistabil.

2.3 Bistabile integrate

Caracteristicile de funcționare ale bistabilelor studiate mai sus se regăsesc în diferite bistabile integrate. Dintre acestea enumerăm: 473 (realizează JK), 474 (D), 476 (JK), 4112 (JK).

În proiectarea cu dispozitive logice programabile (PLD) sau FPGA, bistabilele au o importanță deosebită. De altfel, unul dintre criteriile cele mai importante de evaluare a performanțelor acestor circuite este numărul de bistabile disponibile în capsulă. Bistabilele pot fi implementate în două moduri:

- folosind bistabilele integrate deja disponibile în capsulă;
- „construind” fiecare bistabil pe baza schemei interne (cu porți), în funcție de tipul de bistabil dorit (JK, D, T, RS etc.).

Cele două metode pot fi folosite și în proiectarea susținută de instrumente software. Aceste instrumente pot alege una dintre cele două variante în faza de optimizare a proiectului, mapând un bistabil din proiect într-un bistabil existent în capsula care conține circuitul programabil sau “construindu-l” pe baza matricei de porți ȘI și a matricei de porți SAU.

2.4 Modificarea tipului unui bistabil

Transformarea (conversia) unui bistabil JK într-un bistabil D sau T se face ținând cont de ecuațiile caracteristice (figura 8.9):

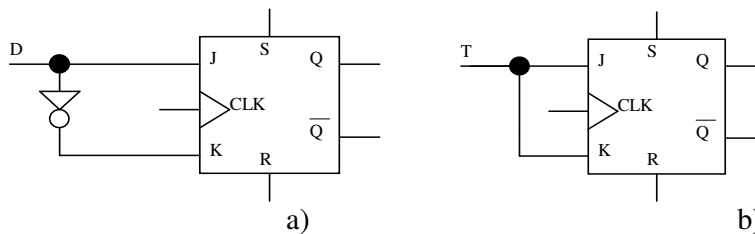


Figura 8.9 Conversii de bistabile: a) bistabil D realizat cu un JK; b) bistabil T realizat cu un JK

Se poate realiza un bistabil de tip T cu ajutorul bistabilului de tip D, cu ieșirea Q disponibilă (figura 8.10):

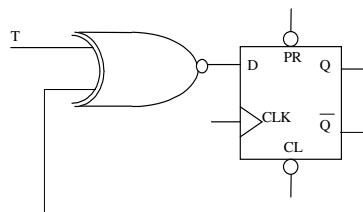


Figura 8.10 Conversie de bistabile: bistabil T realizat cu un bistabil D, cu ieșirea Q disponibilă

3. Desfășurarea lucrării

1. Să se realizeze cu porți bistabilul RS asincron și bistabilul RS sincron și să se verifice ecuațiile acestora.
2. Să se realizeze și să se verifice bistabilele de la punctele c), d), e), f) din paragraful 2.2. Se va urmări comportarea fiecăruia observând trecerea dintr-o stare în alta relativ la impulsul de comandă.
3. Să se verifice comportarea bistabilelor integrate 473, 474, 476 și să se scrie tabelul de excitație pentru fiecare bistabil.
4. Să se realizeze un bistabil D utilizând un bistabil T, unul JK cu D și unul JK cu T.
5. Bistabilul din figura 8.11 reprezintă bistabilul de tip A-B. Acest bistabil are o intrare de informație A și o intrare de program B. Când $B = 0$ acest bistabil lucrează ca un bistabil de tip D, iar când $B = 1$, lucrează ca un bistabil de tip T. În unele aplicații folosirea bistabilului de tip A-B duce la simplificarea schemei logice.

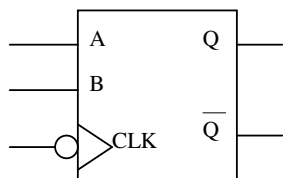


Figura 8.11 Bistabilul A-B

Ecuția caracteristică a bistabilului A-B este:

$$Q_{n+1} = A \oplus B \bullet Q_n$$

Realizați bistabilul A-B folosind un bistabil T și apoi un bistabil D.

6. Implementați și simulați toate tipurile de bistabile prezentate în lucrare cu ajutorul ACTIVE-HDL. Care metodă de implementare este preferabilă și în ce context?