

LUCRAREA NR. 6

CIRCUITE LOGICE COMBINAȚIONALE COMPLEXE

1. Scopul lucrării

Se studiază și se verifică funcționarea unor componente integrate pe scară medie (MSI – **M**edium **S**cale **I**ntegration) cu funcții mai complexe: multiplexor cu calea de date pe mai mulți biți, sumator, unitate aritmetico-logică, decodificator BCD – 7 segmente. Se proiectează un sumator – scăzător având la bază un sumator și apoi se studiază și se verifică funcționarea lui.

2. Considerații teoretice

Prin gradul de integrare și funcționalitatea lor unele circuitele integrate MSI sunt mai complexe. Dintre acestea unele se utilizează des în aplicații și de aceea este bine ca funcționarea lor să fie aprofundată: multiplexoare cu calea de date pe mai mulți biți, sumatoare, unități aritmetico-logice, decodificatoare BCD - 7 segmente.

2.1 Multiplexoare cu calea de date pe mai mulți biți

Multiplexoarele sunt circuite logice combinaționale care permit trecerea datelor de la una dintre intrări (I) spre o ieșire unică (Y). Trecerea datelor se face în funcție de valorile semnalelor de pe intrările de selecție (S). La multiplexoarele studiate în lucrarea 5, pe datele de intrare exista câte un singur bit, deci și pe ieșirea multiplexorului se obținea un singur bit. Dacă multiplexoarele se construiesc astfel încât căile de date și ieșirea să permită existența mai multor biți, funcționarea lor de bază (ca acțiune de multiplexare) nu se schimbă, dar vom avea informația vehiculată pe mai mulți biți. În figura 6.1 este prezentat un multiplexor de tipul 4:1, cu calea de date pe 3 biți.

Multiplexorul are 4 intrări, fiecare pe câte 3 biți, o ieșire tot pe 3 biți și 2 intrări de selecție. Intrările de selecție sunt doar pe câte 1 bit.

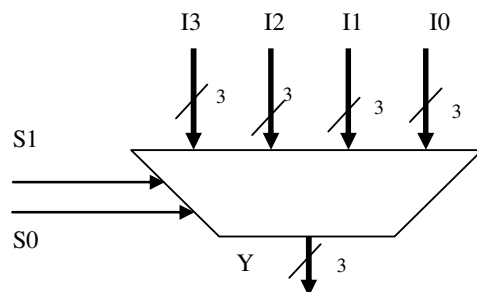


Fig. 6.1 Multiplexor 4: 1 cu calea de date pe 3 biți

2.2 Multiplexor MSI 4157

Un circuit integrat MSI care are funcția de multiplexare de tipul 2:1 și are calea de date pe 4 biți este circuitul 4157. Simbolul acestui circuit este prezentat în figura 6.2.

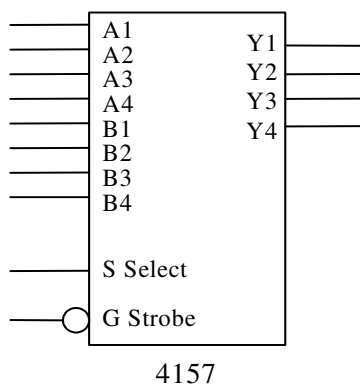


Figura 6.2 Multiplexor 2: 1 pe 4 biți (4157)

Intrările de date ale multiplexorului sunt $A1 \div A4$ și $B1 \div B4$, iar ieșirea este $Y1 \div Y4$. Intrarea de selecție este S . Multiplexorul este prevăzut și cu o intrare de validare (*enable*) numită *Strobe G*, activă pe 0 logic. Dacă această intrare are valoarea logică 1 multiplexorul este nefuncțional, deci vom avea pe ieșirea Y tot timpul valori logice 0, indiferent de valorile de pe intrările A și B și de pe selecția S .

Funcționarea multiplexorului 4157 este prezentată în tabelul de adevăr prescurtat 6.1.

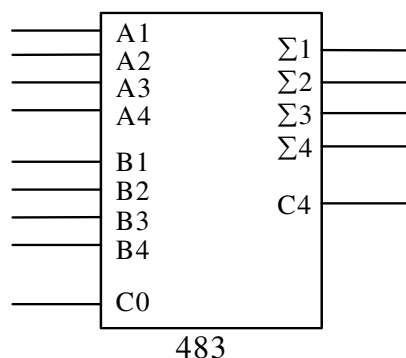
Se observă din tabel că funcționarea nu diferă de cea a unui multiplexor de tipul 2:1 care are calea de date doar pe 1 bit.

Tabelul 6.1 Tabelul de adevăr al multiplexorului MSI 4157

Intrări				Ieșire
<i>Strobe</i> <i>G</i>	<i>Select</i> <i>S</i>	<i>A</i>	<i>B</i>	<i>Y</i>
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

2.3 Sumator MSI 483

Sumatorul integrat 483 este un circuit combinațional de tip MSI care permite adunarea cu transport a 2 numere binare exprimate fiecare pe 4 biți. Simbolul sumatorului este prezentat în figura 6.3.

**Figura 6.3** Sumator pe 4 biți (483)

Sumatorul pe 4 biți are ca intrări 2 seturi de câte 4 biți, $A1 \div A4$ și $B1 \div B4$ pentru operanzi (numerele care se adună), iar rezultatul însumării apare pe ieșirile $\Sigma1 \div \Sigma4$. El are și o intrare de bit de transport $C0$ (*Carry In*) de la rangul anterior și o ieșire de transport $C4$ (*Carry Out*) către rangul superior.

Operația de adunare se realizează conform tabelului 6.2.

Tabel 6.2 Operația de adunare la circuitul 483

Operație	Descriere
Adunare	$(C4, \Sigma4, \Sigma3, \Sigma2, \Sigma1) = (A4, A3, A2, A1) +$ $+ (B4, B3, B2, B1) + (0,0,0,C0)$

Prezența biților de transport permite ca acest sumator să se poată utiliza în cascaderă, pentru obținerea unor scheme de adunare de numere binare cu număr mai mare decât de 4 biți.

2.4 Sumator-scăzător pe 4 biți

În sistemele numerice sunt frecvente operațiile de adunare și scădere. De aceea este util să existe circuite care să asigure atât adunarea cât și scăderea numerelor binare.

Conform teoriei referitoare la reprezentarea numerelor întregi cu semn în sistemul de reprezentare *Complementul față de 2*, scăderea a două numere binare poate fi privită ca și o adunare. Pentru aceasta se efectuează adunarea cu al doilea operand reprezentat în complement față de 2 (cel de-al doilea număr inversat - ceea ce reprezintă complementul față de 1 - plus 1). Atunci, pentru a realiza un sumator-scăzător pe 4 biți avem nevoie de un sumator pe 4 biți de tipul 483 și de circuite logice adiționale care să permită ca la momente diferite de timp să se efectueze operația de adunare sau operația de scădere. Este nevoie de asemenea de un semnal exterior, pe care îl vom nota *Sel*, pentru a face selecția între momentul în care sistemul face adunarea celor 2 numere binare pe 4 biți și momentul în care se face scăderea celor două numere. Operațiile se efectuează conform tabelului 6.3.

Tabel 6.3 Operațiile pentru sumator-scăzător

Operație	Descriere	Sel
Adunare	$(C4, \Sigma4, \Sigma3, \Sigma2, \Sigma1) = (A4, A3, A2, A1) +$ $+ (B4, B3, B2, B1) + (0,0,0,0)$	0
Scădere	$(C4, \Sigma4, \Sigma3, \Sigma2, \Sigma1) = (A4, A3, A2, A1) +$ $+ (B4, B3, B2, B1) + (0,0,0,1)$	1

Din tabelul 6.3 se observă că valoarea care se aplică pe semnalul de intrare de transport de la rangul anterior *C0* (vezi tabelul 6.2, la 483) coincide ca valoare cu semnalul de selecție *Sel*. Mai rămâne să rezolvăm negarea biților celui de-al doilea operand (*B*), deci obținerea

complementului față de 1. Pentru această operație ne vom folosi de modul de funcționare al unei porți logice SAU-EXCLUSIV 486. Dacă valorile 1 logic, respectiv 0 logic sunt introduse într-o poartă SAU-EXCLUSIV cu oricare dintre biții B , obținem:

$$B \oplus 1 = \overline{B} \text{ și } B \oplus 0 = B$$

Cum semnalul Sel folosit pentru selectarea operației are valoare logică 0 pentru adunare și 1 pentru scădere, legarea lui la porțile SAU-EXCLUSIV asigură valori adevărate, respectiv negate pentru biții de date B .

Figura 6.4 prezintă schema circuitului sumator-scăzător pe 4 biți.

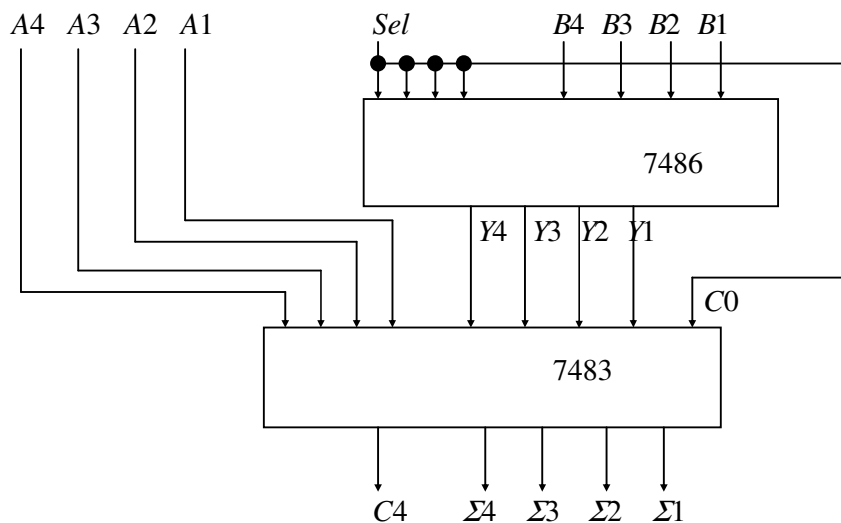


Figura 6.4 Sumator-scăzător pe 4 biți

2.5 Unitate aritmetico-logică MSI 4181

O unitate aritmetico-logică (ALU) este un circuit logic combinațional care efectuează atât funcții aritmetice cât și funcții logice asupra numerelor binare. Un astfel de circuit integrat MSI este 4181.

Simbolul pentru circuitul 4181 este prezentat în figura 6.5 și corespunde variantei cu operanzi activi pe 0 logic.

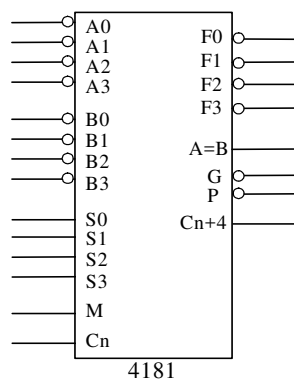


Figura 6.5 Unitate aritmetico-logică (4181)

Funcționarea unității aritmetico-logice este descrisă în tabelul de adevăr 6.4. Operațiile aritmetice sunt exprimate în notațiile de reprezentare a numerelor binare în complement față de 2.

Tabel 6.4 Funcționarea unității aritmetico-logice 4181

Selectii				Iesiri	
S3	S2	S1	S0	Logice $M = H$	Aritmetice $M = L$
L	L	L	L	\overline{A}	A minus 1
L	L	L	H	\overline{AB}	AB minus 1
L	L	H	L	$\overline{A+B}$	\overline{AB} minus 1
L	L	H	H	logic 1	minus 1
L	H	L	L	$\overline{A+B}$	A plus ($A + \overline{B}$)
L	H	L	H	\overline{B}	AB plus ($A + \overline{B}$)
L	H	H	L	$\overline{A} \odot \overline{B}$	A minus B minus 1
L	H	H	H	$A + \overline{B}$	$A + \overline{B}$
H	L	L	L	\overline{AB}	A plus ($A + B$)
H	L	L	H	$A \oplus B$	A plus B
H	L	H	L	B	\overline{AB} plus ($A + B$)
H	L	H	H	$A + B$	$A + B$
H	H	L	L	logic 0	$A + A$ (shift)
H	H	L	H	\overline{AB}	AB plus A
H	H	H	L	AB	\overline{AB} minus A
H	H	H	H	A	A

Operanzii unității aritmetico-logice se aplică pe intrările A și B. Pentru a selecta care tip de operații se efectuează (aritmetice sau logice) se folosește ca intrare un semnal de control M (*mode control*). Dacă valoarea lui M este 1 logic, atunci se efectuează operații logice asupra biților individuali. Dacă valoarea lui M este 0 logic, atunci se execută operații aritmetice pe 4 biți.

Semnalele de selecție (S) stabilesc care dintre operații se execută. La operațiile aritmetice există ca intrare și semnalul de transport C_n , iar ca ieșiri de transport: P (propagare), G (generare), C_{n+4} . Utilizând semnalele de transport circuitele pot fi legate în cascadă, pentru a permite mărirea numărului de biți asupra cărora se efectuează operațiile aritmetice. Ieșirea $A = B$ indică un rezultat de egalitate și fiind realizată *open collector* poate fi și ea utilizată pentru cascadare, dacă se verifică egalitatea pentru cuvinte mai lungi de 4 biți.

2.6 Decodificator BCD - 7 segmente

Pentru afișarea informației binare în zecimal se utilizează afișoare care au 7 leduri grupate ca în figura 6.6 și un punct zecimal. Cu ajutorul acestor segmente se pot scrie cifrele zecimale ca în figura 6.7.

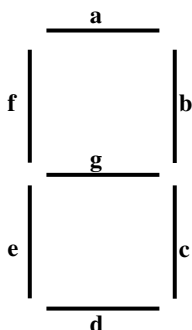


Figura 6.6 Afișor 7 segmente

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	1	2	3	4	5	6	7	8	9	a	b	c	d	e	f

Figura 6.7 Combinațiile binare pe 4 biți afișate pe 7 segmente

Afișoarele pot fi construite cu anod sau cu catod comun. Fiecare segment este comandat separat de către o intrare a afișorului. Valoarea logică (0 sau 1 logic) pe care o aplicăm pe cele 7 segmente și pe punctul zecimal, le va aprinde sau stinge, în funcție de tipul afișorului.

Informația binară pe 4 biți, codificată în BCD, se poate transforma în informație care să comande cele 7 segmente, dacă se utilizează un decodificator adecvat. Circuitele integrate care asigură funcția logică de decodificare pentru a comanda afișoarele 7 segmente cu anod comun sunt circuitele MSI 446 și 447, care au ieșirile active pe 0 logic. Pentru afișoarele 7 segmente cu catod comun se utilizează circuitele integrate MSI 448.

Simbolul pentru decodicatorul 447 este prezentat în figura 6.8.

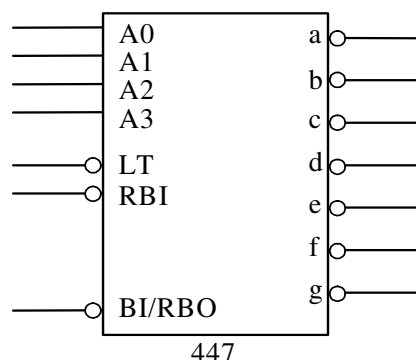


Figura 6.8 Decodificator BCD - 7 segmente (447)

Dacă intrarea LT ia valoarea 0 logic, atunci toate segmentele afișorului sunt comandate cu valoarea 0 logic. BI/RBO are rol dublu, de intrare sau ieșire. Dacă BI/RBO primește valoarea 0 logic, atunci, indiferent de valorile celorlalte intrări, ieșirile afișorului vor fi comandate cu 1 logic. Dacă intrările RBI și A1 ÷ A4 au valoarea 0, atunci ieșirile vor avea valoarea 1 logic și BI/RBO devine 0 logic.

3. Desfășurarea lucrării

1. Verificați pe panourile didactice comportarea circuitului multiplexor 4157.
2. Verificați funcționarea decodificatorului BCD-7 segmente pe afișorul 7 segmente de pe panourile didactice.
3. Verificați pe panourile didactice comportarea circuitului sumator 483. Realizați cascada a două circuite de acest tip.
4. Realizați pe panourile didactice un sumator-scăzător pe 4 biți conform schemei din figura 6.4.
5. Verificați în ACTIVE-HDL toate funcțiile unității aritmetico-logice 4181.
6. Realizați și verificați funcționarea în ACTIVE-HDL a unui sumator-scăzător pe 8 biți folosind rezultatele de la punctul 4.