**高速电路设计**

**作者：向仔州**

传输线................................................................................................................................................................................2

传输线分部电容影响.......................................................................................................................................................4

传输线电感量...................................................................................................................................................................6

电容电感...........................................................................................................................................................................9

电路板去耦电容滤波电容计算.....................................................................................................................................12

反射问题..........................................................................................................................................................................14

正选波反射(反射波形形成)..........................................................................................................................................19

PCB微带线特征阻抗计算，也就是PCB顶层,底层表面单端走线.......................................................................22

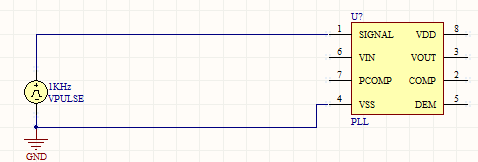
带状线特征阻抗计算，也就是多层板内层的走线...................................................................................................25

表层微带差分线阻抗计算............................................................................................................................................27

对于多层板，走线阻抗的直观理解...........................................................................................................................29

**传输线**

高速信号在导线上传播和普通低速信号不一样，



i

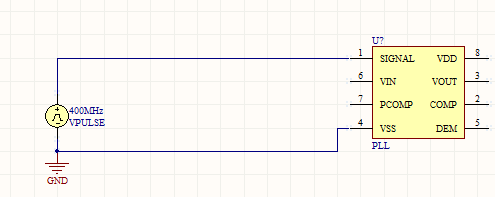
低速电流i是流到负载在回到地

负载接受端马上产生高电平

低速波形传递负载反应很快

驱动端产生高电平

高速电路就不一样了



电流会在导线每个点上面回流

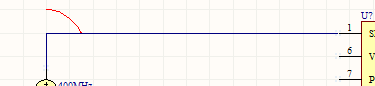
i

i

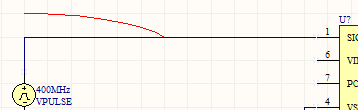
i

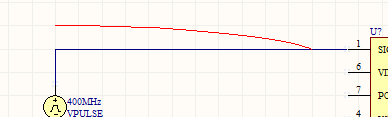
i

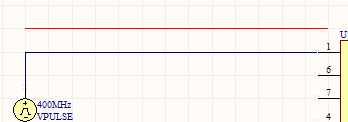
高速电流会在导线每个点上建立回流电压



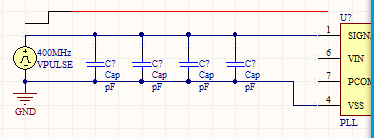
驱动端输入高电平

电压在导线每个点建立



最后达到接受端

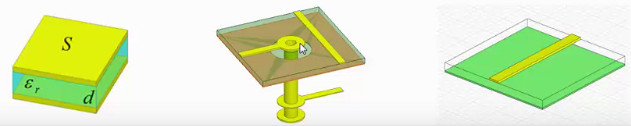
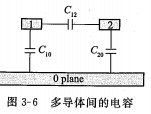
当然高速电路我是用微观方式让你理解，宏观来说高速电流到达负载绝对比低速快

为什么高速电路导线每个点都有电流回流到地？

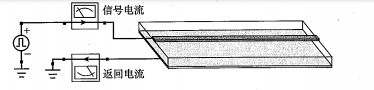
就是因为在高速电路中每个点都有pf级别的电容在作怪，这个电容只有高速才会体现出来，低速体现不出来，因为小容量电容通高频

导线和导线之间存在电容

导线和VCC/GND平面之间存在电容

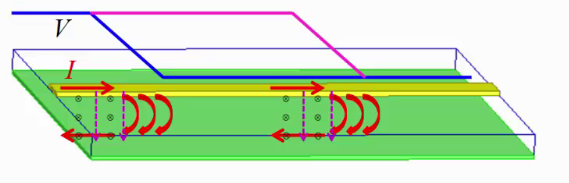


导线和地平面之间有电容

这就是电流路径

电容的制作就是两个铜皮之间加入介质

导线和过孔距离太近也有电容



加深影响

单位换算公式：

1 inch(英寸)=25.4mm(毫米)=1000mil

Ur：相对磁导率

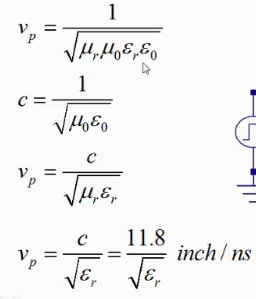
U0：真空磁导率

Er：相对介电常数

E0：真空介电常数

信号在导体中的传播速度公式为：

实际PCB板材制作都是用相对磁导率，相对介电常数来设计，因为地球不是真空的



如果PCB的介质不是导体，那么Ur就是1，PCB介质都是来绝缘的

真空磁导率和真空介电常数，表示出真空里的光速

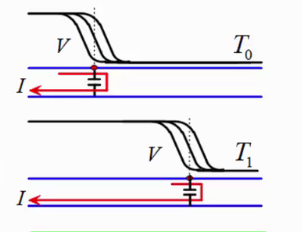
因为光速是每秒30W公里，换算成inch就是11.8inch/ns



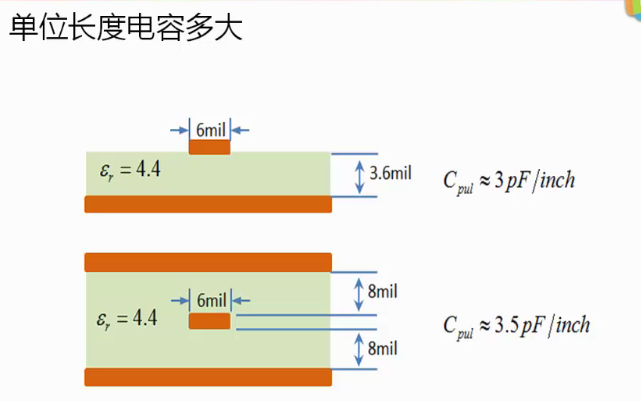
因为常用的FR4在地球上介电常数是4.2，所以我们Er取4近似估计

我们就知道信号在PCB导线上传输速度为光速的一半。6 inch/ns = 6mil/ps

**传输线分部电容的影响**

导线每一小段都有电容，我们叫做单位长度电容

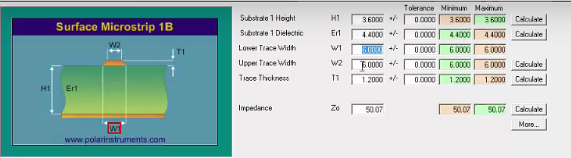
如何计算传输印制线上面的电容大小，



确定了板材介质，导线宽度和厚度，就可以计算出来每inch长度的印制线多少电容

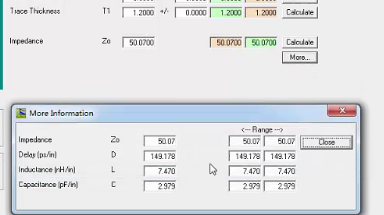
这个电路板走线电容计算不是很精确，但是可以反映出在50欧姆阻抗的情况下，内层走线比表层走线在每 inch长度下多0.5pf。

精确走线计算还是要下面软件计算。



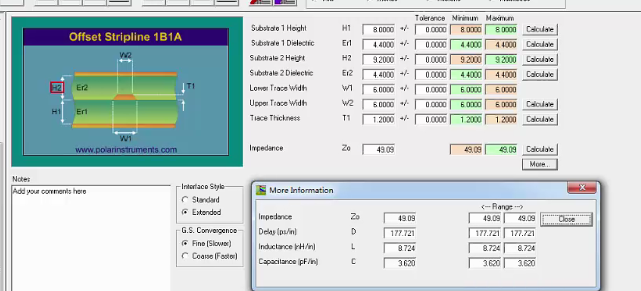
点击more得到导线电感和电容

比如我的电路板顶层导线到下面一层铜箔距离是3.6mil，介电常数4.4，我要画一根数据信号线，信号线宽5mil ，信号线铜皮厚度为1.2mil，计算呢出阻抗50欧，然后点击more



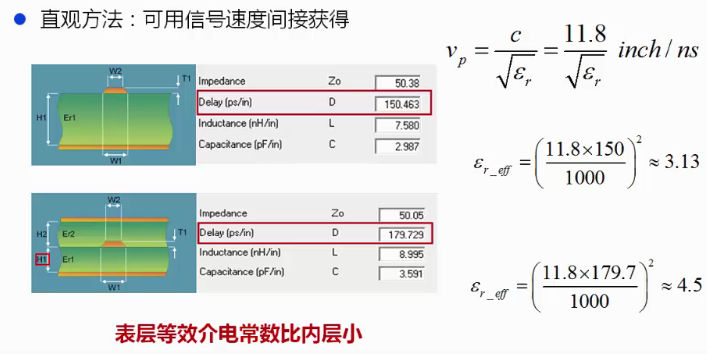
这里计算出导线每inch多少pf，记住是每inch多少pf，也就是导线长度画1000mil才会有2.9pf导线电容

上面这是表层走线计算



电路板内层走线计算和上面表层走线计算差不多

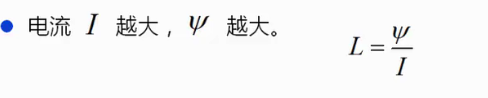
根据走线电容大小就可以计算出传输线走了多长，也可以根据走线长度来计算传输线上的总电容大小。



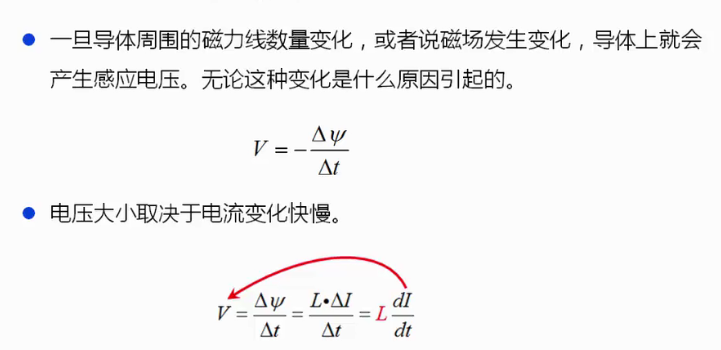
**传输线电感量**

信号在导线上传输，导线不仅会产生电容，还会产生电感

磁通量单位韦伯



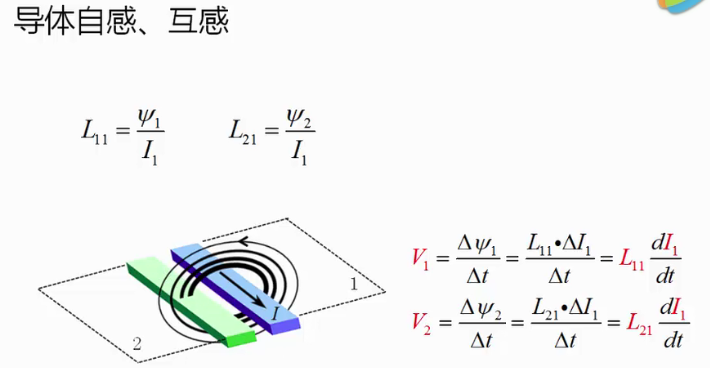
电感根电流大小没有关系，你电流大了磁通量会增大，但是电感值是不变的。



感应电压的大小取决于磁通量变化的快与慢

只要导体周围磁场发生变化，导体上面就会产生感应电压

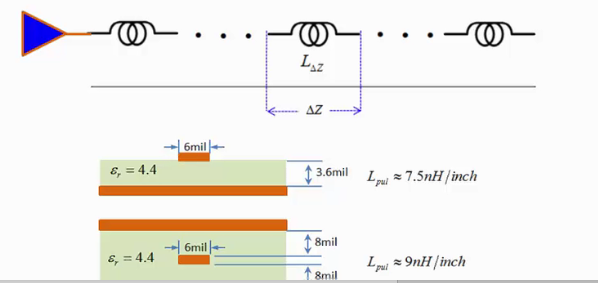
磁通量的变化根源就在与电流的变化。所以电压的大小与电流变化的快慢有关



绿色导体受蓝色导体电流变化的影响

那么这个导体就会受到蓝色导体电流变化的影响，从而在原来的信号上产生噪声

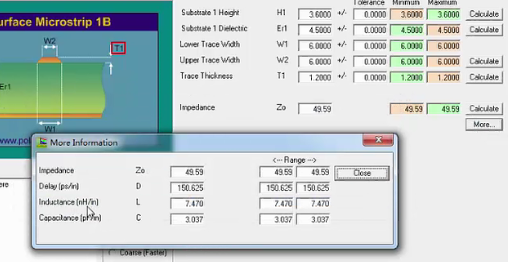
如果该导体电流突然发生变化I1



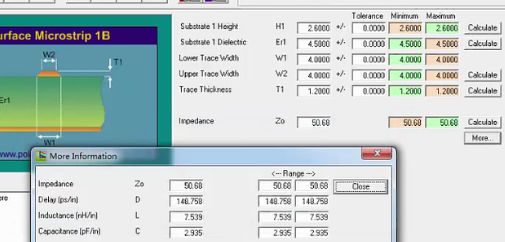
**如果板材控制阻抗在50欧姆，那么表层印制线长度7.5nh/inch**

信号向前传输

这个导线电感是信号在导线上向前传输，也就是变化的时候，导线电感对信号质量的影响，当信号再也不变化了，那么导线电感也就没有了。



**每inch导线长度电感为7.4nh**



**导线每inch电感为7.5nh**

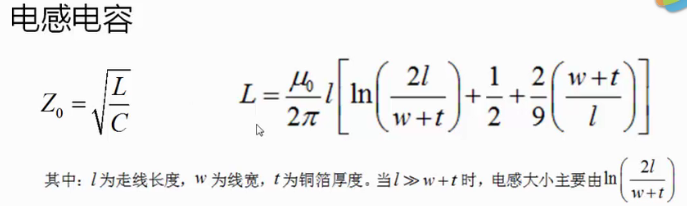
我们只要阻抗控制是一样的，介电常数不变，那么导线的电感量和w1，w2的线宽没有任何关系。

内层导线电感量控制也和上面的方法一样的。

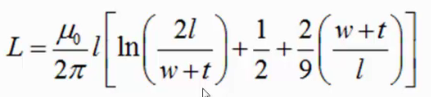
**电容电感**

我们将上面的知识总结一下，先看看电感

如果走线长度远大于铜箔厚度，和线宽。那么导线电感量就有这项公式决定



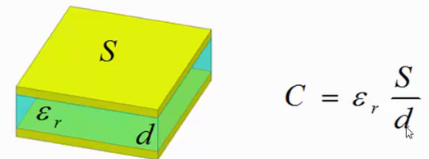
其实导线长度一般都是远远大于铜箔厚度和线宽的。你画PCB的时候，把线画的比铜箔厚度还短，你焊接都没法焊接。

所以走线越长，电感越大，因为你走线越长，导线周围磁力线越多。所以阻抗就越大。电感越小阻抗越小。  


根据这个公式我们还可以看出来，为什么线宽边宽了，铜箔变厚了，电感越小呢？

我们可以直观的理解一下，电流越分散电感越小，电流越集中电感越大，你线宽很小，或者铜箔很薄，那么电流是不是就很集中呢。线宽越宽，铜箔越厚，横截面积就很大，所以电流是不是就很分散呢。

我们再来看看电容



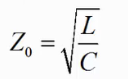
PCB介电常数

平板之间间距

平板面积

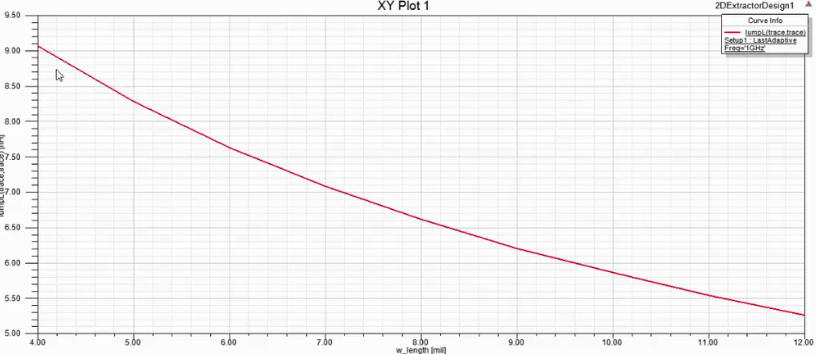


平板面积越大，电容就会越大，也就是走线越宽，电容越大。但是走线越宽 电感是下降的，所以根据公式 阻抗也是越小的。PCB介质厚度越大，电容也越小。那么阻抗会变高，介电常数越

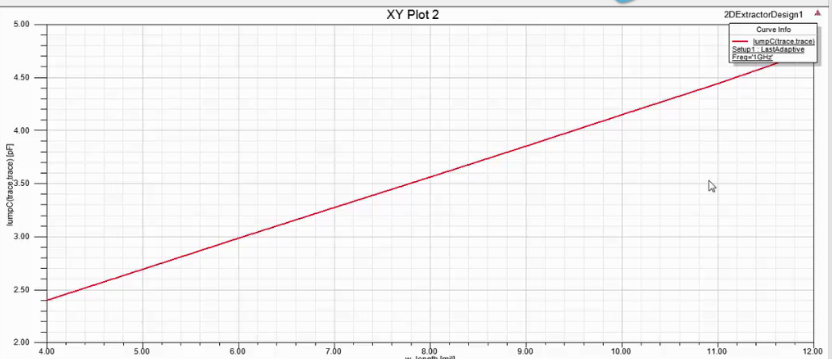


大，电容越大，阻抗会下来

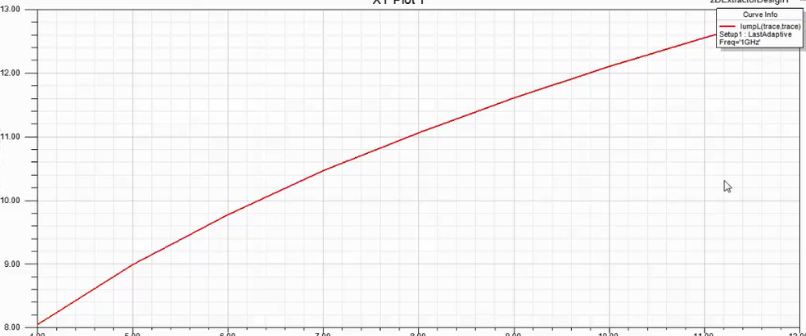
我们用图形来直观理解下



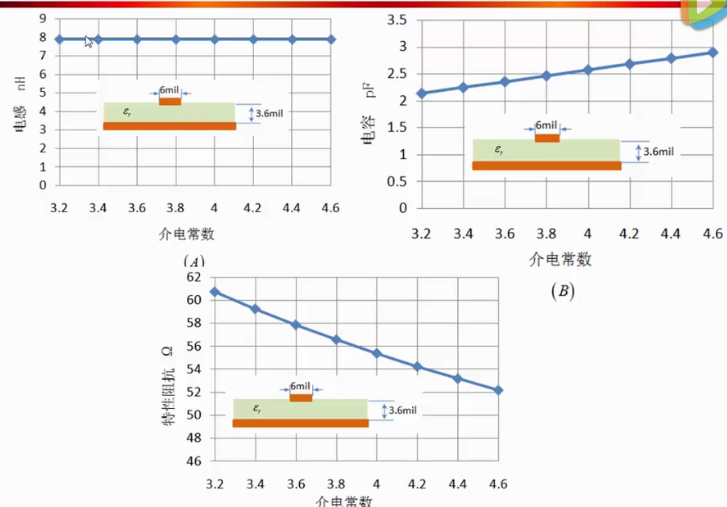
线宽越宽电感越小



线宽越宽电容越大



介质越厚电容越小，电感增加，阻抗增大。



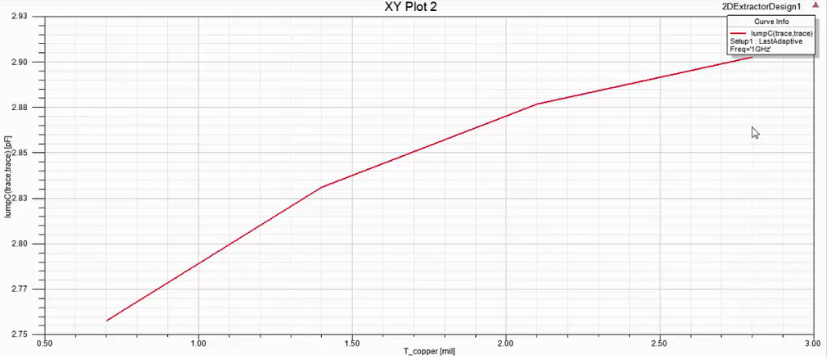
介电常数对阻抗有影响

介电常数对电容有影响

介电常数对电感无影响

介电常数的影响，定一个介电常数，去计算导线电感和电容。

如果我PCB板厚度，层叠尺寸，线宽，线间距都没有变，只是换了另一种板材，因为板材类型不同，介电常数就不同，那么阻抗也就不同。



铜皮厚了电感会减小，前面说过的，但是铜皮厚了电容会增加是怎么回事？



铜皮薄电力线少，铜皮厚电力线多

电力线多了，就会影响导线电容。

结论：线宽越宽阻抗下降，介质越厚阻抗变大，介电常数变高阻抗越小，铜箔越厚，阻抗越小。

**电路板去耦电容设计**

首先计算噪声余量：

根据datasheet来设计.

如芯片供电电压为3.13～3.47

稳压芯片输出电压为3.3V，安装在电路板后电压为3.36V

那么容许的电压变化范围就是3.47-3.36=110m

稳压芯片输出精度±1%，也就是3.36±1%产生33.6mV偏差，电压输出范围就是3.327V～3.393V

电源噪声余量就是110-33.6=76.4mV

稳压芯片的输出能力：

在负载芯片高速切换电流通断时，那么稳压芯片是无法马上给负载提供现在的电流的。

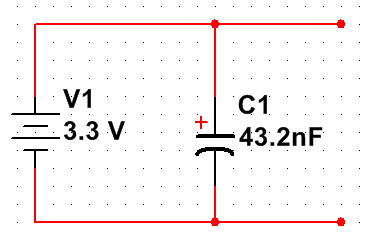
所以稳压芯片就有一个电源响应的指标，一般稳压电源响应频率为200Khz以内。

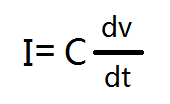
如果芯片工作频率超过200Khz，那么给芯片供电的电压会出现跌落。

这个时候就要确定负载瞬态电流的电源阻抗和地回路阻抗。

1，我们来计算给负载供电的电容大小：

一种解释是，当负载电流变化时电源不能及时给负载供电所以要在负载旁边加个电容让电容及时给负载先供电

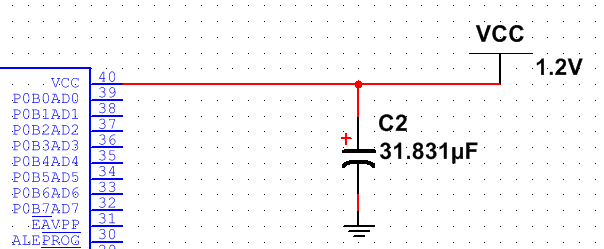




2，设：芯片要求信号要在2ns内，电压从0V上升到3.3V，电压允许波动范围为3.3\*2.5%=82.5mV，芯片3.3V时要消耗1.782A的电流，那么C=I\*dt/dv=1.782A\*2ns/0.0825v=43.2nF，电容C1要取43.2nf

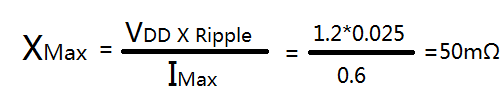
但是这种计算出来的结果是没有考虑电容的寄生电感和ESR的，所以这个值很不科学。

3，另一种是用目标阻抗设计方法：



芯片供电电压为1.2V，容许电压波动±2.5%，芯片最大消耗电流600mA

1. 计算目标阻抗



5，.确定稳压电源频率响应范围，一般和电源芯片有关，一般是DC~100Khz。

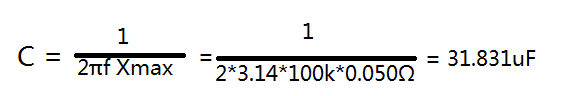
在100khz下时电源芯片能输出很好的瞬态电流。

高于100KHz，表现为高阻抗，在高于100khz时负载芯片没有外加电容，那么电压波动会超过±2.5%

我们计算该大电容在最低100khz时产生50mΩ阻抗

6，计算电容量，

Xmax目标阻抗

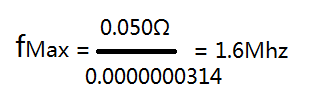
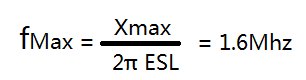


F 电容起作用的最低频率，低于该频率电容就不起50moh阻抗了

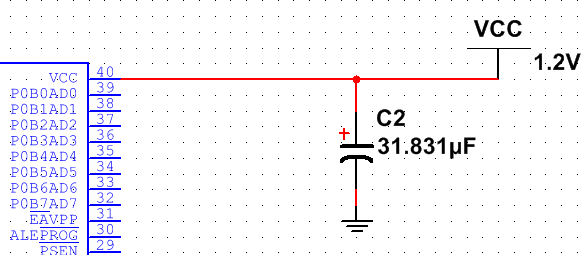
7，计算该大电容的50mΩ阻抗能适用到多高的频率

这个时候要加入电容的ESL参数，(但是现在因为电容制作工艺的提高ESL已经可以忽略了)，我们只是为了更好理解计算下:

加入电容ESL=5nH

那么

所以该31.831uf的电容,阻抗50mΩ只能在100Khz~1.6Mhz下控制住，高于1.6Mhz，还得加小电容解决。

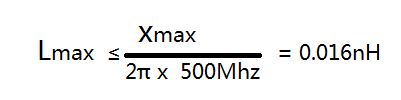


滤波范围100Khz~1.6Mhz

设计频率高于1.6M时所需的电容量

若我的负载芯片是DDR这种高速电压切换芯片，比如切换速度在500Mhz。那我们电源就必须满足500Mhz的瞬时供电。那么这里就只有交给小电容来处理了。

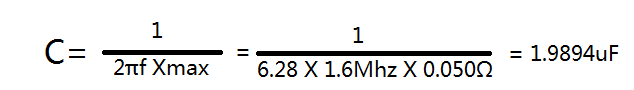
1，控制电容寄生电感



2，若0402封装陶瓷电容为ESL=0.4nH，安装在电路板后过孔寄生电感为0.6nH，那么整个电容的ESL=1nH

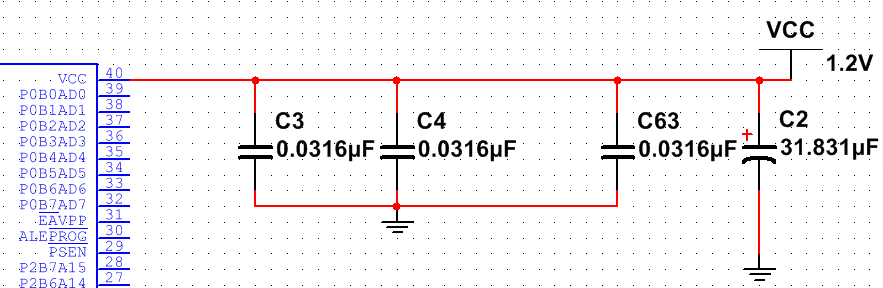
为了让电感不大于Lmax 0.016nH，则需要多个小电容并联，等效为多个电感并联来减小电容量。计算结果就是1nH/0.016nH=62.5个电容，大概63个电容。

3.和第一个大电容计算方法一样，设定1.6Mhz为最低满足50mΩ的频段，



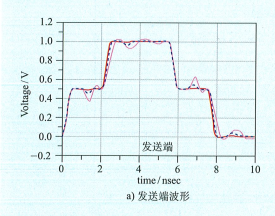
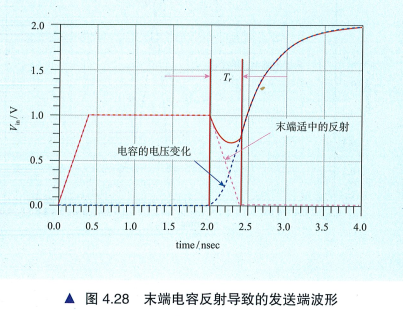
因此每个陶瓷电容容量为1.9894/63=0.0316uF

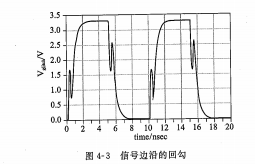
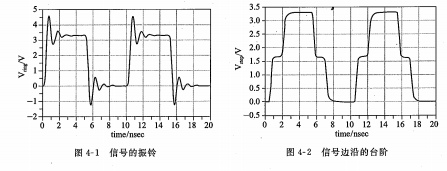
综合上述这个芯片需要1个31.831uF大电容和63个0.0316uF小电容。



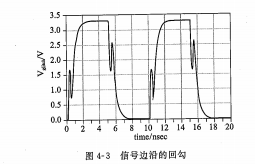
滤波范围100Khz~500Mhz

**反射问题**

****

****

你在示波器测试传输线，看到以上波形都是属于信号反射引起的。

****像这种波形在信号速率比较低，10M~100M不会出现什么问题，但是在100M以上，比如说DDR3那种就要出问题。

反射的原理分析：



比如说在DDR和EMMC芯片之间有这么一条高速信号下面，Z1线宽10mil，Z2线宽20mil

在PCB层叠不变的情况下，线宽越窄阻抗越高，线宽越宽，阻抗越低。



像这样一条线我们由窄变宽，按照上面的说法就是Z1>Z2阻抗



**电信号到达这个位置会发生反射**

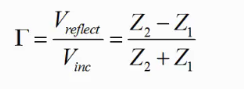
Vtrans

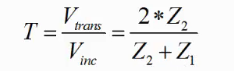
**信号V正常传输。突然在这里遇到阻抗突变，从而产生了反射电压Vf，Vf+V=后面一根导线的电压Vtrans**

V

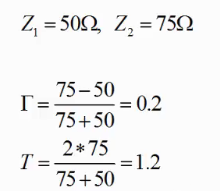
Vf

反射电压也是一样的逻辑

反射系数 就是突然变化的阻抗和前面没有变化阻抗之间的关系

传输系数 就是二倍变化的阻抗比上两个阻抗之和

比如说下面这个例子



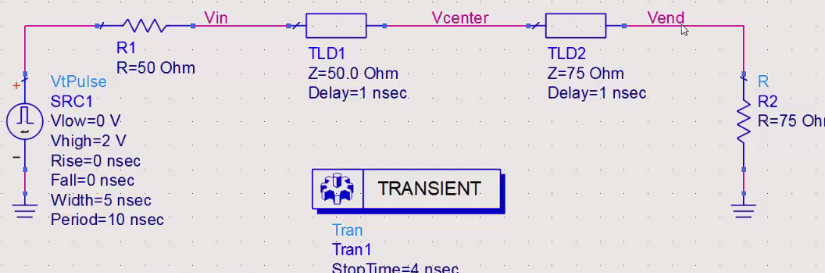
根据上面的公式我们知道Vinc+Vreflect=Vtrsns 那么Z1和Z2上的电压相等

**传输电压**

**反射电压**

**入射电压**

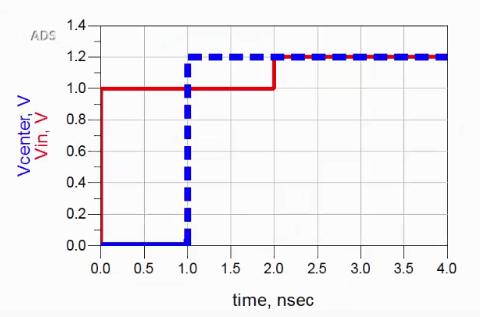
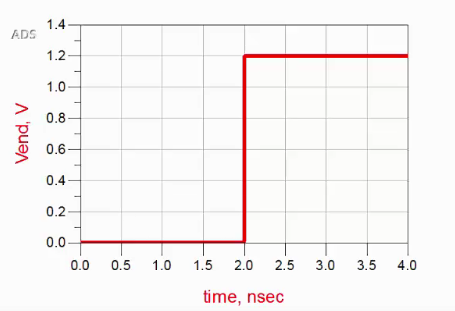




**这里阻抗和前面75欧一样，不存在反射，电压保持1.2V**

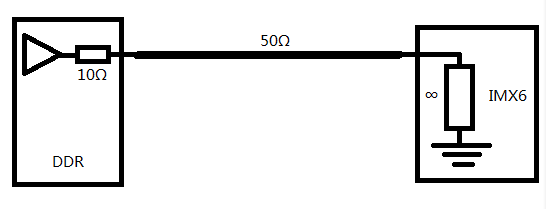
**这里遇到与50欧阻抗不匹配的阻抗，产生反射0.2V**

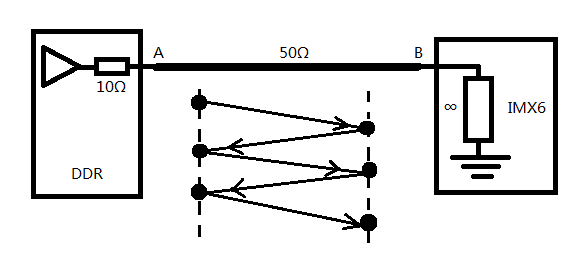
**这里入射电压是1V**

这里为什么最后到末端是1.2V？，前面公式已经说得很清楚了。

举个电路中的例子





**这是A点的反射电压**

**这是B点的反射电压**

4.28v

1.84v

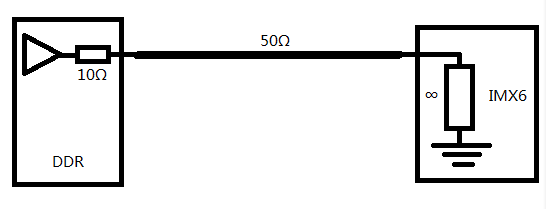
5.5v

+2.75vV

1.22v

-1.83v

要理解上面的反射电压产生我们还是用个比较形象的比喻好了



**2：2.75信号在50Ω导线上面走得好好的，突然发现前面是个无穷大阻抗，在这个B点上发生反射**

****

**根据公式反射系数为1，那么这点的反射电压就是入射过来的电压2.75，那么入射 2.75+反射2.75=5.5v**

**1：输出3.3V电平，经过10Ω和50Ω分压得到+2.75v,为什么这里是分压，是因为芯片输出端的线距离50Ω导线太近，我们看成集中一点，就用分压来解决**

**3：增加的那个2.75V电压在50Ω线上反过来回走发现A是10Ω，又发生反射**

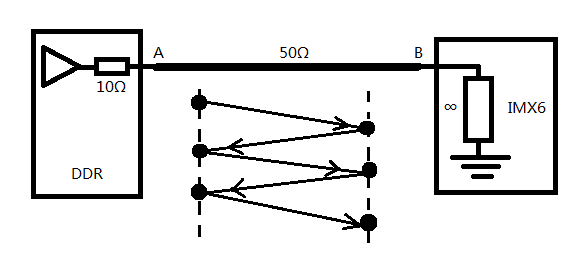
****

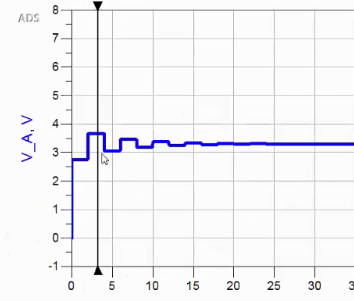
**这点电压就变成了2.75的-2/3,就是-1.83**

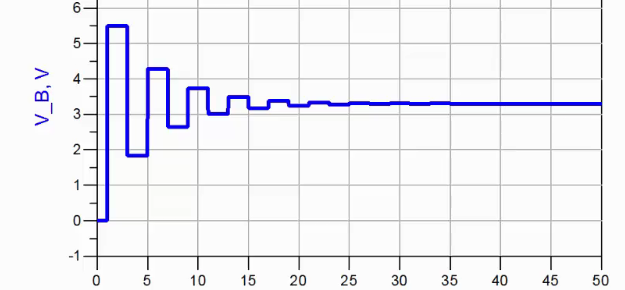
4：-1.83v电压又返回来按照50Ω的导线走又遇到了阻抗无穷大，这个点反射系数和上面一样是1，那就有加进来的-1.83再加上反射的-1.83，然后还要算上前面反射的5.5v，那么这点电压就是5.5-1.83-1.83=1.84v

5：然后反射电压-1.83v又返回来按照50Ω阻抗导线往前走又遇到了10Ω，这时反射系数为-2/3，所以这点反射电压为1.22v

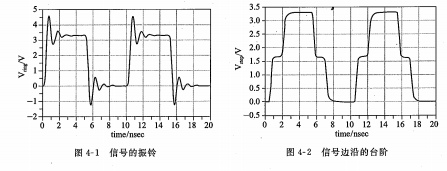
以上过程周而复始



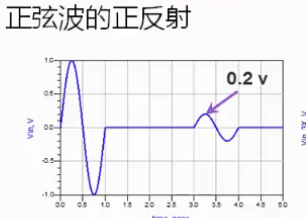


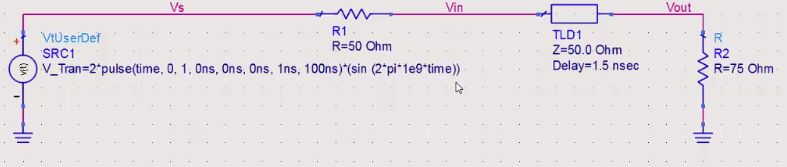


所以你在电路中看到的振铃就是信号反射引起的

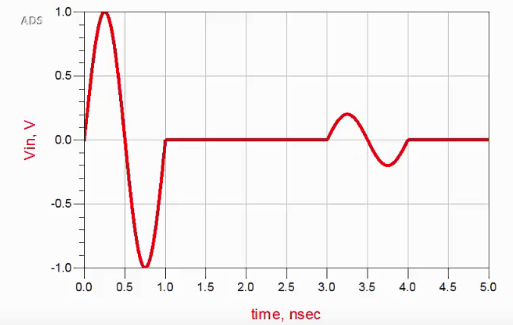
****

**正弦波反射**

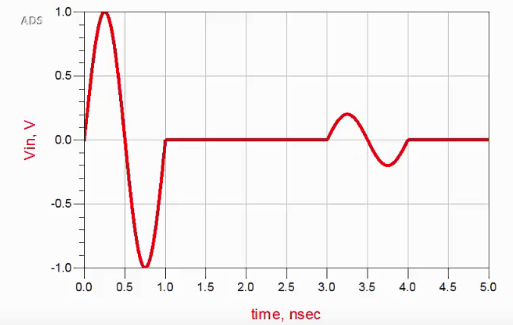
这是正弦波正反射



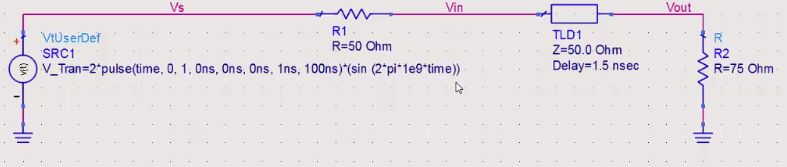
这里举个实例，信号源发送一个1Ghz的正弦波，周期1ns



**这就是上面电路我信号源输出的波形，1V，周期1ns，我就输出一个周期**



**我们发现波形出现正反射**

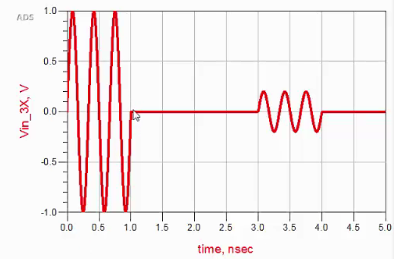


**信号在这里产生反射，因为信号源输出波形一直都是走得好好的，突然在这里遇到的了和50**Ω**阻抗不匹配的75**Ω

根据反射公式，(75-50)/(75+50)=0.2，反射系数0.52

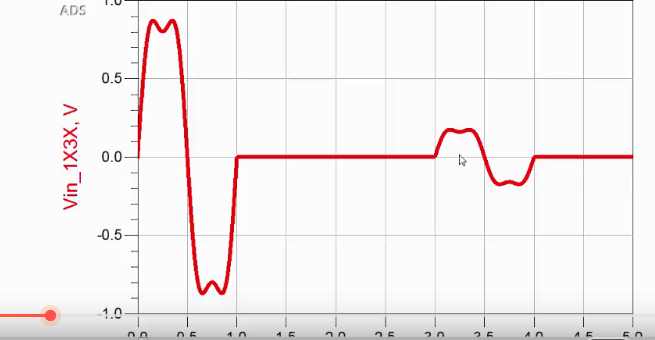
**然后vin入射电压就是信号源电压±1V，入射电压\*反射电压=0.2，所以这里的反射波形是0.2v**

如果信号是从1Ghz开始发生反射的，那么把信号增大到3Ghz是什么结果呢？

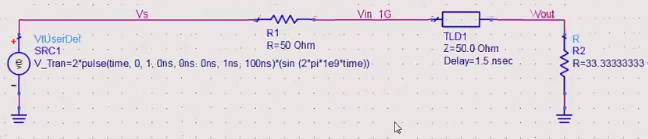


这就是3Ghz的反射，这么证明了从第一次谐波发生开始的频率点为基准，然后向上增加频率就会产生更多谐波，所以基波就是第一个频点1Ghz，然后后面的就是几次谐波，这里我们看到的是3次谐波的波形。

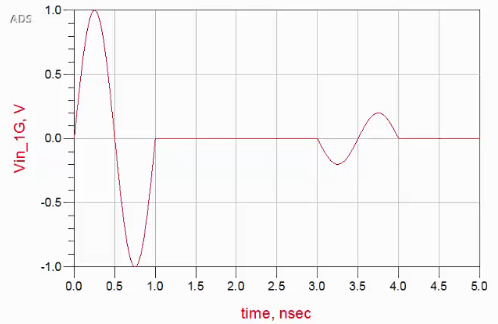
一个方波信号就是一个直流信号加上N多次谐波分量



你看这个方波就是我刚才的正弦波基波加上多次谐波的结果，发现了一个共同点就是，正弦波谐波有多少次反射，这个反射也会叠加到方波上面来，方波的反射点也和上面正弦波一样。

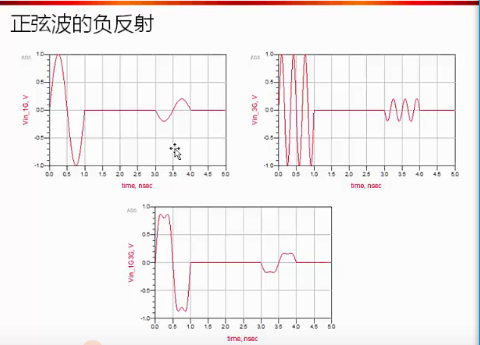


这个电路输出的信号和上面一样**±**1V，1Ghz，周期1ns，但是这里的末端电阻是小电阻，但是你一样的用反射公式计算就是了，我这里算出结果是-0.2



**相位和输入波形相反**

这就是正弦波负反射

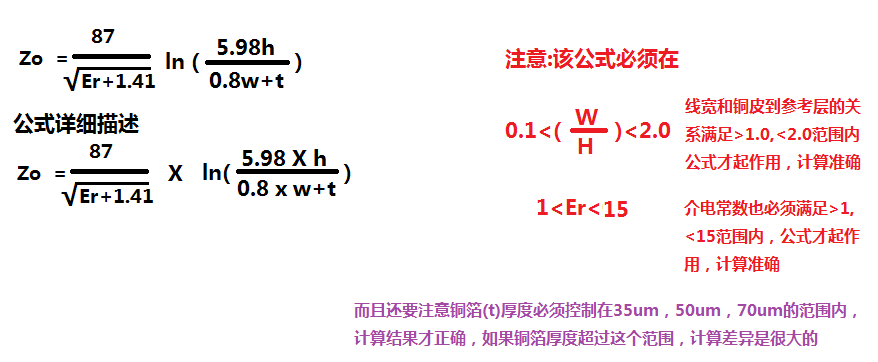


N次谐波之后方波也是得到负反射的结果。

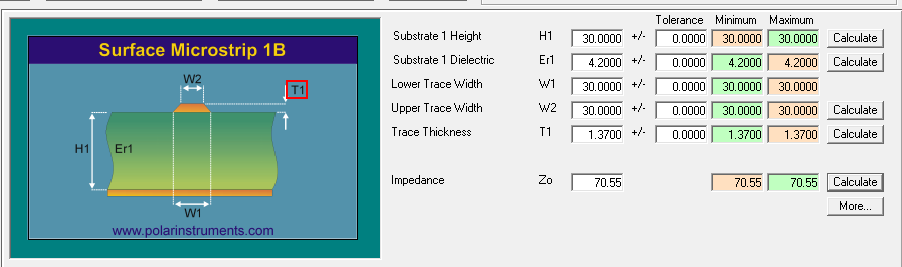
**PCB微带线特征阻抗计算，也就是PCB顶层,底层表面单端走线**

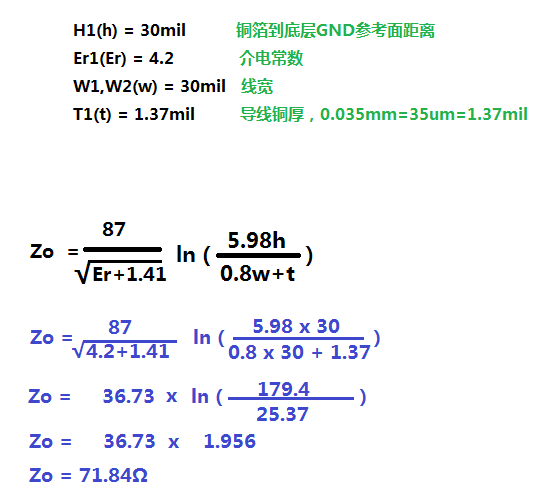
以下阻抗计算公式来自于IPC-D-317





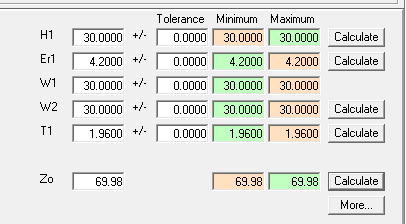
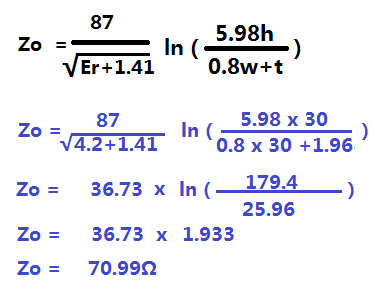
下面用实例来验证一下

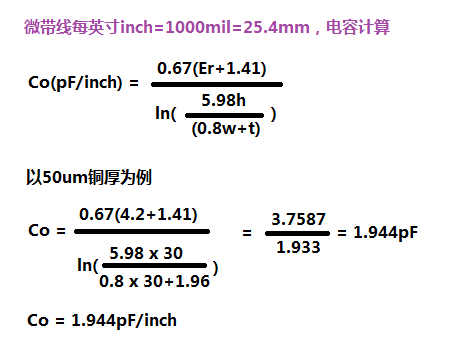




计算出来的阻抗71.84Ω和SI9000软件70.55Ω是差不多的，SI9000考虑的工程误差。

下面将导线铜厚改成50um试试



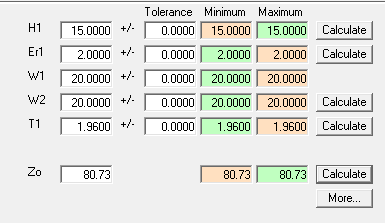
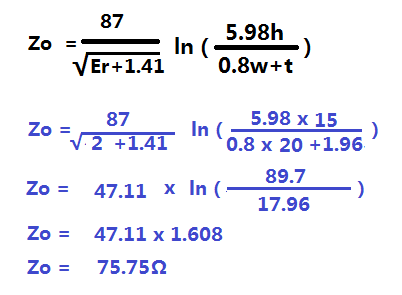
计算结果和软件的2.087pf/in差不多

你可以用1.944pf/1000mil=0.0019pf/mil

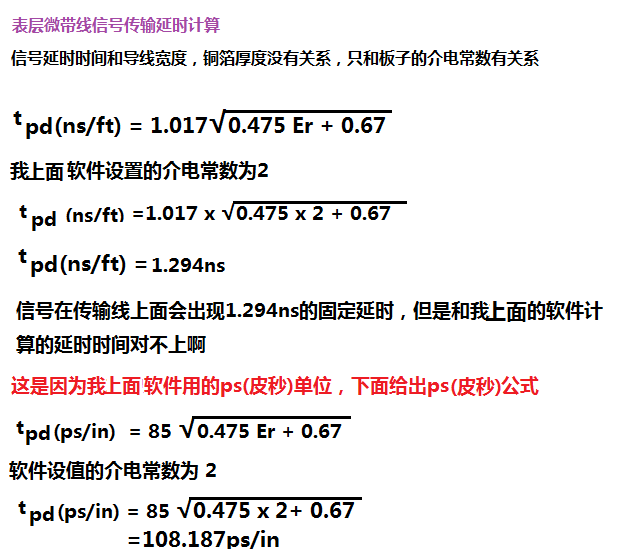
**50um微米**

计算结果70.99Ω和软件的69.98Ω差不多，计算正确

如果实在不满意我们把线宽和介电常数修改一下

在介电常数变成2之后，计算的结果和软件相差5Ω，这种就得自己去调整了。

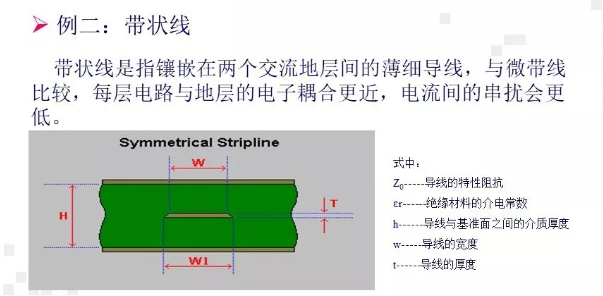


计算的108.187ps/in和软件的108.460ps/in差不多

这样1inch=1000mil=25.4mm，我用108ps/1000mil=0.108ps/mil

所以你的导线每1mil就有0.1皮秒的延时，你的信号周期一定要大于这个0.1ps，比如1ns信号上升沿，这样就不会出问题，如果信号是0.01ps上升沿，那么小于传输线延时0.1ps，就会出问题。

**带状线特征阻抗计算，也就是多层板内层的走线**

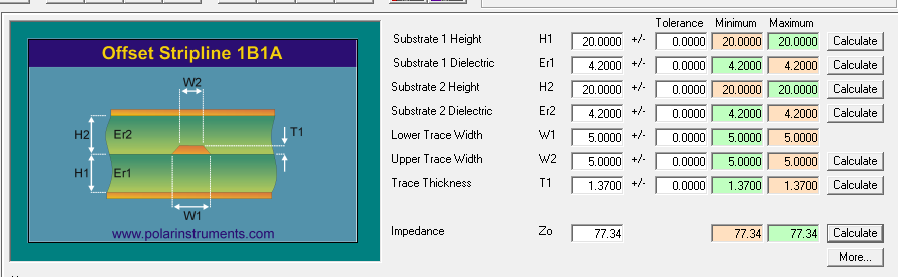


**不管是电源敷铜还是地敷铜都叫做参考平面**

**不管是电源敷铜还是地敷铜都叫做参考平面**



下面实例测试

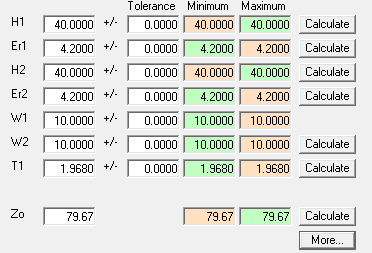


带状线离两边参考铜箔的距离是20mil



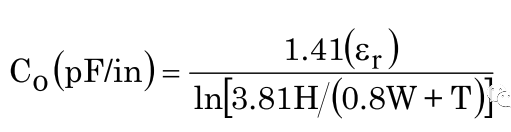
**计算结果78.55**Ω**和软件77.34**Ω**差不了多少，计算正确**

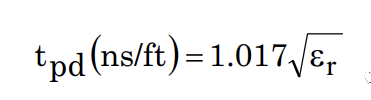
下面将铜箔厚度改成50um，线宽改成10mil，带状线距离两边参考平面40mil，来计算下

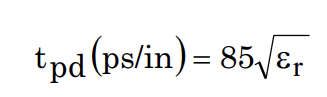


计算结果80.48Ω和软件计算结果79.67Ω差不多，计算正确

带状线的走线电容和走线延时由如下公式计算

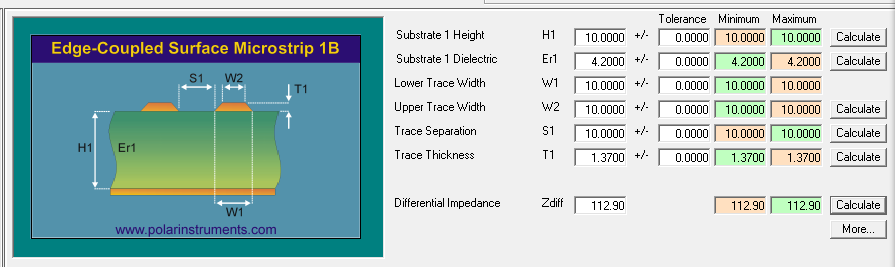


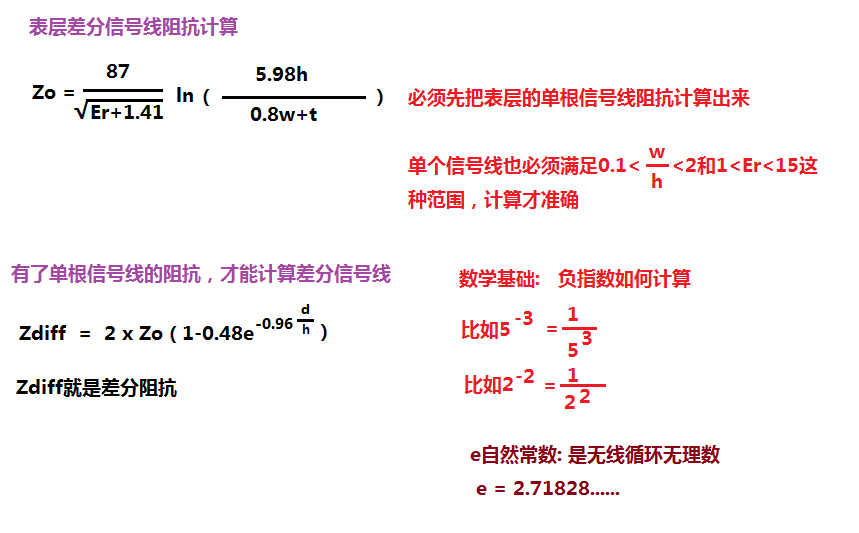




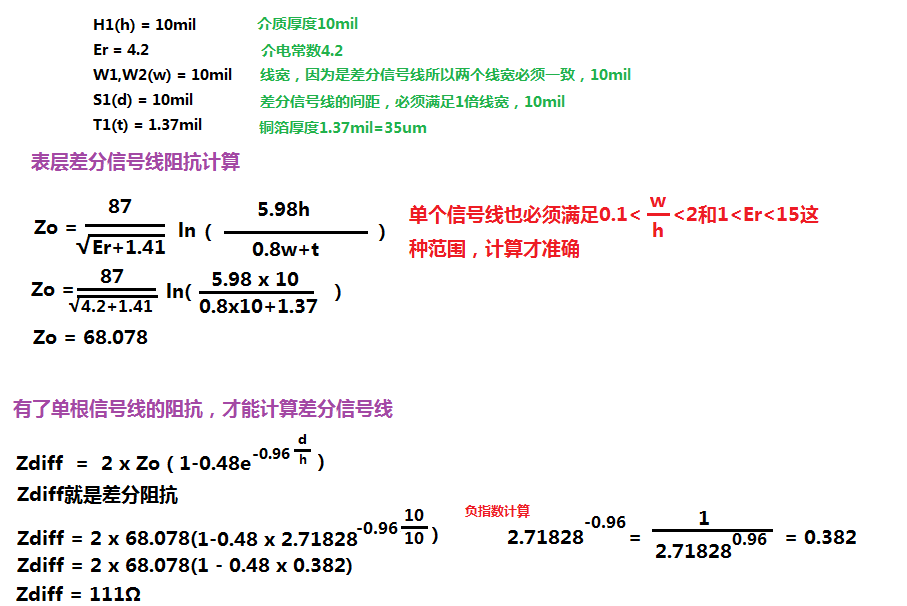
如果不懂参数含义，请看上几页微带线的走线电容，延时计算方法。

**表层微带差分线阻抗计算**



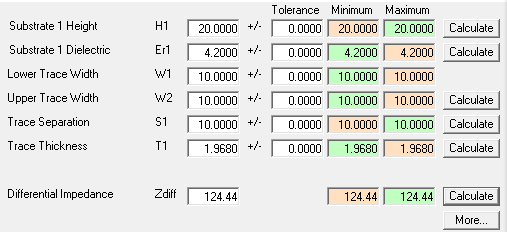


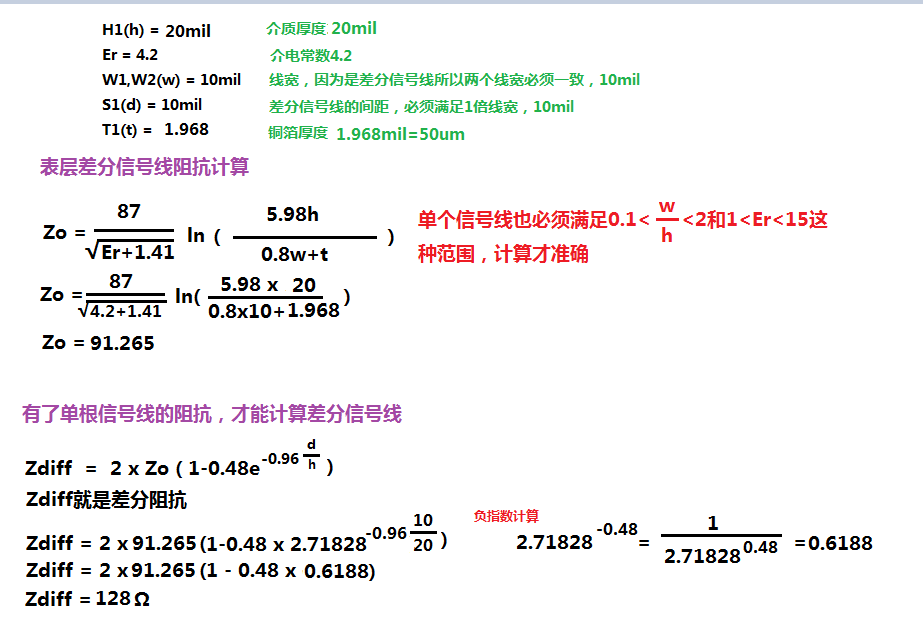
根据上面公式，计算下上面软件的参数



计算结果111Ω和软件的112.90Ω差不多，计算正确

为了进一步验证表层差分线阻抗计算，修改铜箔厚度，和介质厚度





计算结果128Ω和软件结果124Ω相差4Ω，自行调整参数

**对于多层板，走线阻抗的直观理解**



