

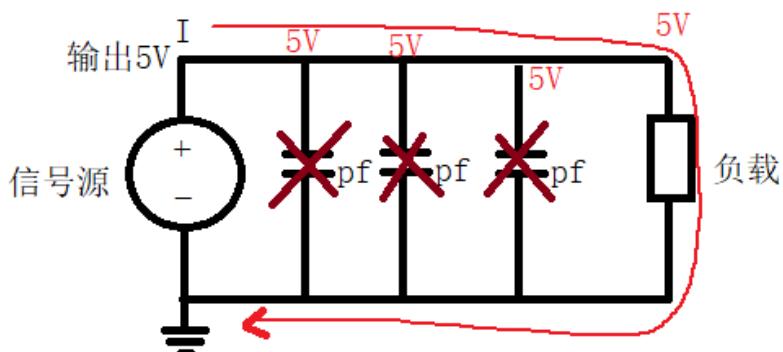
高速电路设计

作者：向仔州

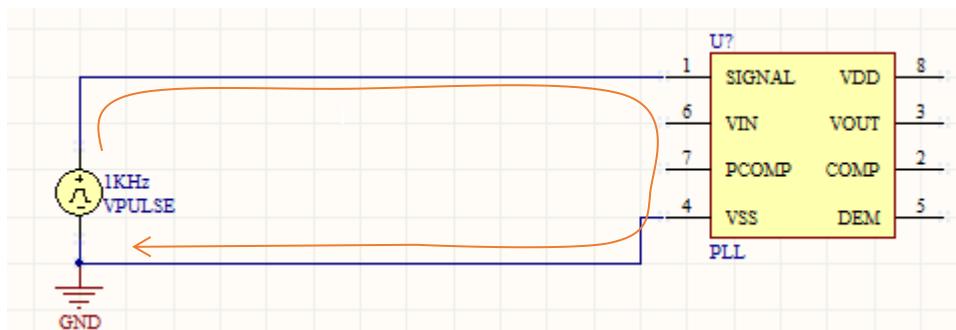
传输线.....	2
传输线分部电容的影响.....	5
SI9000 软件使用参数详解.....	7
共面阻抗在实际应用中案例.....	11
SI9000 Frequency Dependent Calculation 选项计算(就是计算受频率影响的参数).....	13
传输线电感量.....	16
电容电感.....	18
S 参数的含义.....	22
电路板去耦电容设计.....	23
反射问题.....	26
PCB 微带线特征阻抗计算，也就是 PCB 顶层,底层表面单端走线.....	35

传输线

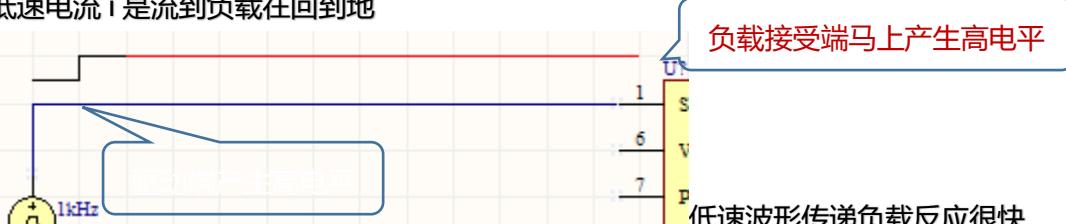
高速信号在导线上传播和普通低速信号不一样,



低速信号, 因为信号线和 GND 之间没有寄生电容,
所以电流完整流过负载,
电压完整输出到负载



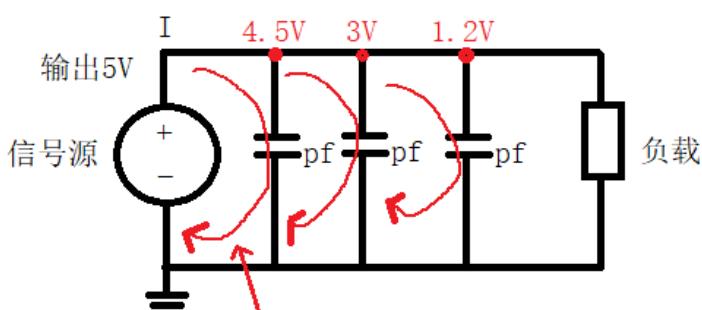
低速电流 i 是流到负载再回到地



负载接受端马上产生高电平

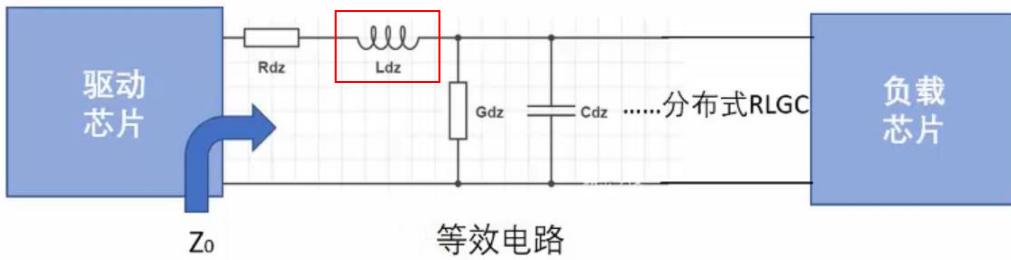
低速波形传递负载反应很快

高速电路就不一样了

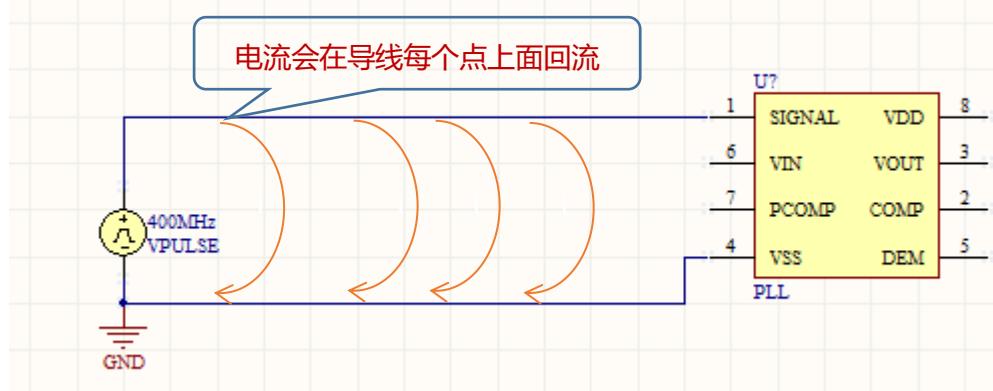


高速电路, 导线上的每个节点都和 GND 有寄生电容, 我们知道 pf 级的寄生电容有滤出高频信号的效果, 高频电流会找到就近的 pf 电容流到 GND, 那么高频电流就无法全部流到负载

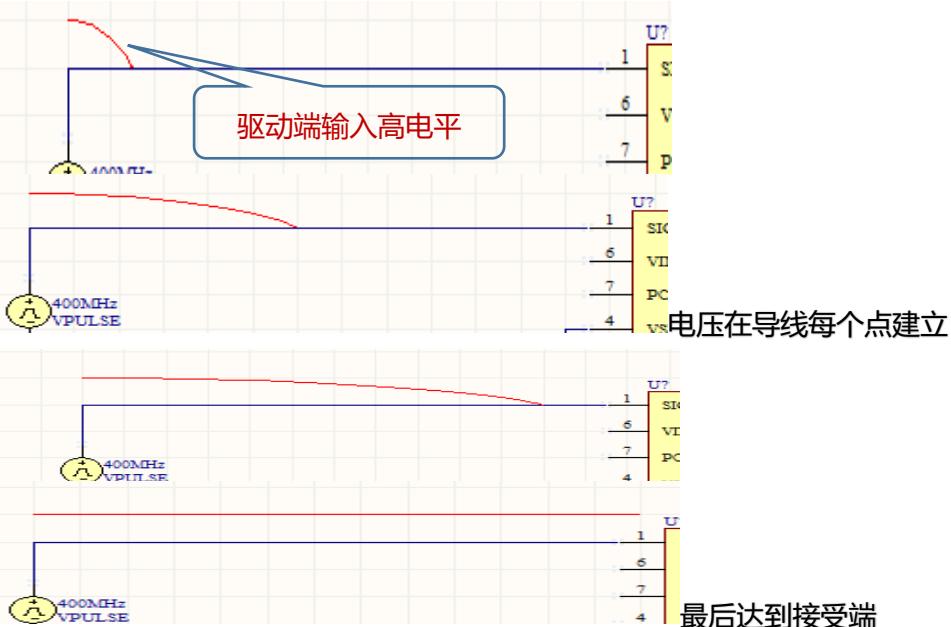




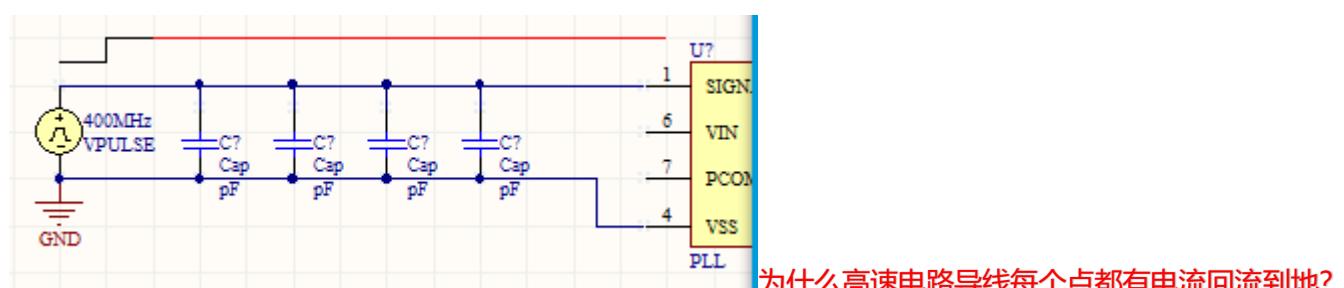
而且高速信号，除了信号线与 GND 之间的电容外，导线本身还包含寄生电感，导线越长，寄生电感越大，所以为什么高速电路(或者射频)要求走线很短，就是这个原因



高速电流会在导线每个点上建立回流电压



当然高速电路我是用微观方式让你理解，宏观来说高速电流到达负载绝对比低速快



为什么高速电路导线每个点都有电流回流到地？

就是在高速电路中每个点都有 pF 级别的电容在作怪，这个电容只有高速才会体现出来，低速体现不出来，因为小容量电容通高频

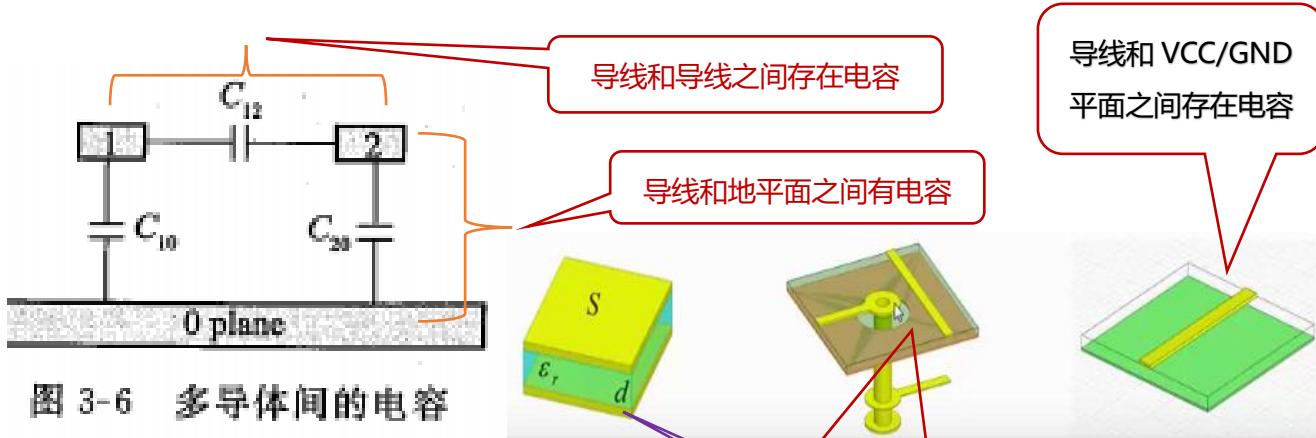
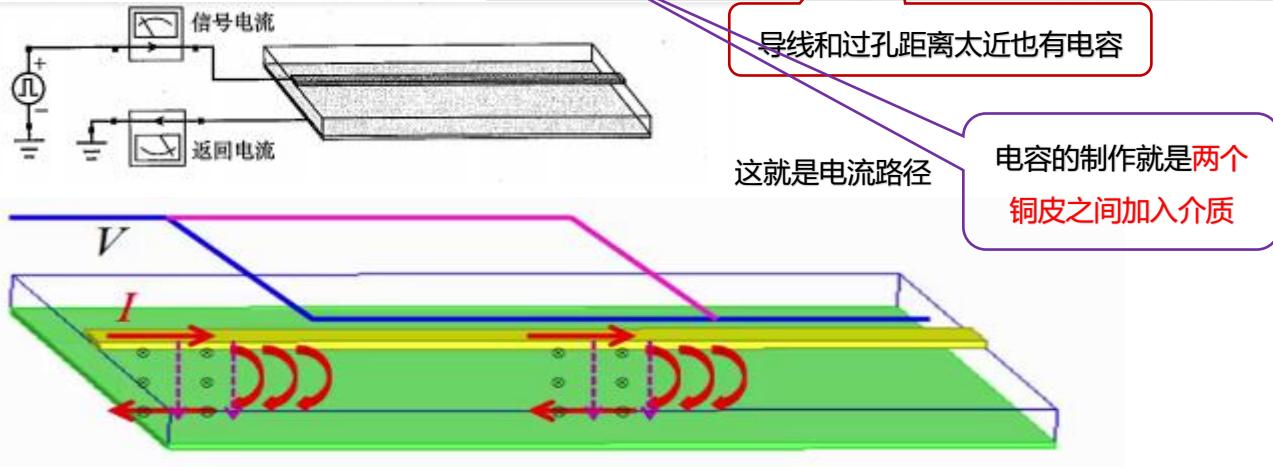


图 3-6 多导体间的电容



加深影响

单位换算公式：

$$1 \text{ inch(英寸)} = 25.4\text{mm(毫米)} = 1000\text{mil}$$

信号在导体中的传播速度公式为：

$$v_p = \frac{1}{\sqrt{\mu_r \mu_0 \epsilon_r \epsilon_0}}$$

$$c = \frac{1}{\sqrt{\mu_0 \epsilon_0}}$$

$$v_p = \frac{c}{\sqrt{\mu_r \epsilon_r}}$$

$$v_p = \frac{c}{\sqrt{\epsilon_r}} = \frac{11.8}{\sqrt{\epsilon_r}} \text{ inch/ns}$$

Ur: 相对磁导率
U0: 真空磁导率
Er: 相对介电常数
E0: 真空介电常数

实际 PCB 板材制作都是用相对磁导率, 相对介电常数来设计, 因为地球不是真空的

真空磁导率和真空介电常数, 表示出真空里的光速

如果 PCB 的介质不是导体, 那么 Ur 就是 1, PCB 介质都是绝缘的

因为光速是每秒 30W 公里, 换算成 inch 就是 11.8inch/ns

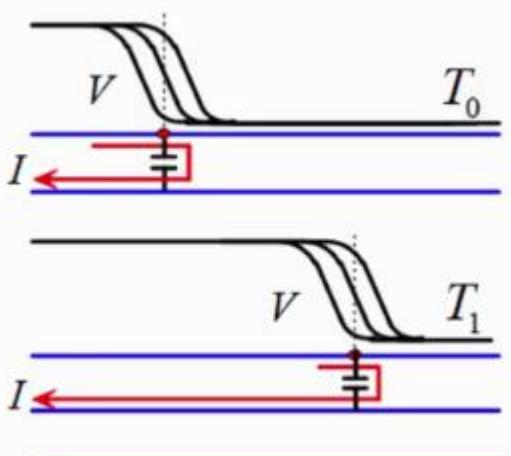
$$v_p = \frac{c}{\sqrt{\epsilon_r}} = \frac{11.8}{\sqrt{\epsilon_r}} \text{ inch/ns}$$

$$v_p \approx \frac{c}{\sqrt{4}} = \frac{c}{2} \approx 6 \text{ inch/ns}$$

因为常用的 FR4 在地球上介电常数是 4.2, 所以我们 Er 取 4 近似估计

我们就知道信号在 PCB 导线上传输速度为光速的一半。6 inch/ns = 6 mil/ps

传输线分部电容的影响

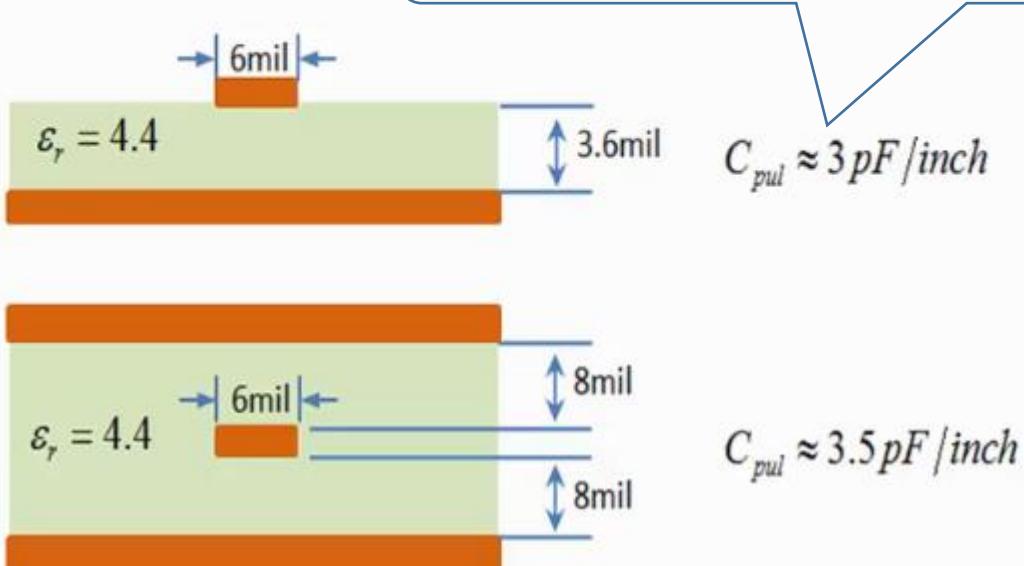


导线每一小段都有电容，我们叫做单位长度电容

如何计算传输印制线上面的电容大小，

单位长度电容多大

确定了板材介质，导线宽度和厚度，就可以计算出
来每 inch 长度的印制线多少电容



这个电路板走线电容计算不是很精确，但是可以反映出在 50 欧姆阻抗的情况下，内层走线比表层走线在每 inch 长度下多 0.5pf。

精确走线计算还是要下面软件计算。

	Tolerance	Minimum	Maximum	
H1	+/-	0.0000	3.6000	3.6000
Er1	+/-	0.0000	4.4000	4.4000
Lower Trace Width	+/-	0.0000	6.0000	6.0000
Upper Trace Width	+/-	0.0000	6.0000	6.0000
Trace Thickness	+/-	0.0000	1.2000	1.2000
Impedance	Z0	50.07	50.07	50.07

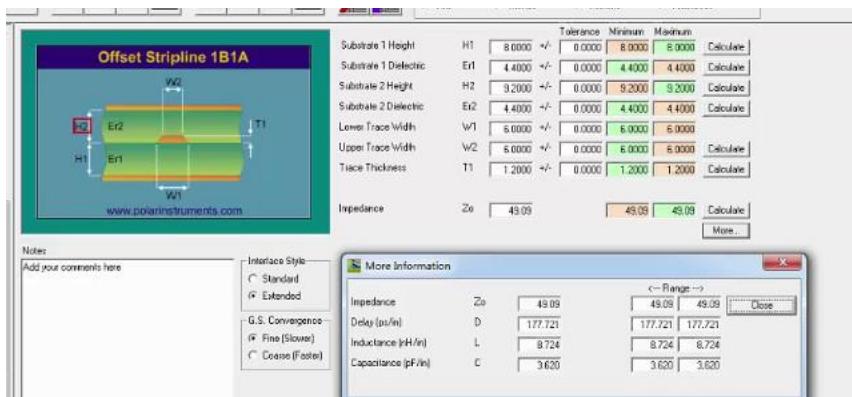
点击 more 得到导线电感和电容

比如我的电路板顶层导线到下面一层铜箔距离是 3.6mil，介电常数 4.4，我要画一根数据信号线，信号线宽 5mil，信号线铜皮厚度为 1.2mil，计算呢出阻抗 50 欧，然后点击 more



这里计算出导线每 inch 多少 pf，记住是每 inch 多少 pf，也就是导线长度画 1000mil 才会有 2.9pf 导线电容

上面这是表层走线计算

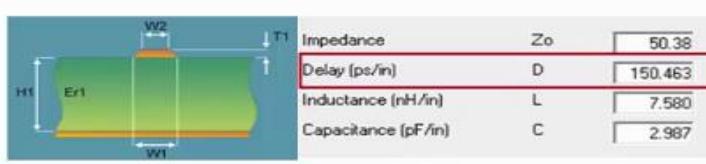


电路板内层走线计算和上面表层走线计算差不多

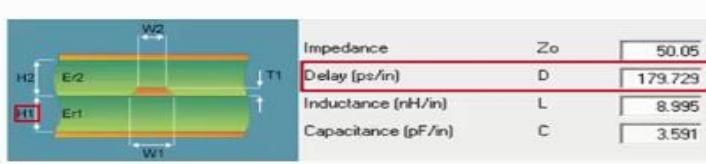
根据走线电容大小就可以计算出传输线走了多长，也可以根据走线长度来计算传输线上的总电容大小。

- 直观方法：可用信号速度间接获得

$$v_p = \frac{c}{\sqrt{\epsilon_r}} = \frac{11.8}{\sqrt{\epsilon_r}} \text{ inch/ns}$$



$$\epsilon_{r_eff} = \left(\frac{11.8 \times 150}{1000} \right)^2 \approx 3.13$$



$$\epsilon_{r_eff} = \left(\frac{11.8 \times 179.7}{1000} \right)^2 \approx 4.5$$

表层等效介电常数比内层小

SI9000 软件使用参数详解

SI9000 软件为什么计算高速导线宽度没有加入“频率参数”进行计算?

所有传输线都可用二端口网络的等效电路来描述,

主要有四个:

L =单位长度电感, H/Km

R =单位长度电阻, Ω /Km

G =单位长度电导, S/KM

C =单位长度电容, F/Km

另外, 还有四个二次参数:

Z =特性阻抗, Ω

α =单位长度衰减常数, dB/Km

β =单位长度相位常数, rad/Km

γ =传输常数

微长度传输线的等效电路

电路输入端的电压 $V(z)$, 输出端 $V(z+\Delta z)$, 对应的电流 $I(z)$ 和 $I(z+\Delta z)$ 。可以看出, 输出电压不等于输入电压, 这是由于有电感和电阻的串联; 同样, 输出电流不等于输入电流, 这是由于有电导和电容的并联。但是, 均匀传输线任意一点的电压和电流比值为常数

$$Z = \frac{V}{I}$$

Z 取决于 L, R, G 和 C 这几个基本参数

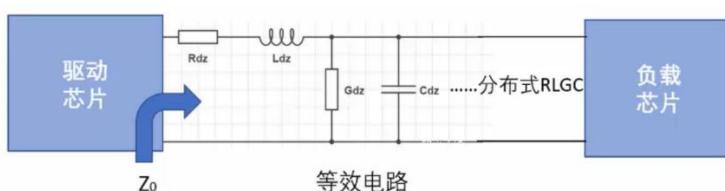
$$Z = \sqrt{\frac{R + j\omega L}{G + j\omega C}}$$

j =复数的虚部

$$\omega = 2\pi f, f$$
 是频率

所以特征阻抗其实和频率是有关系的, 但是为什么 SI9000 计算线宽不需要加入频率

参数呢?



$$Z = \sqrt{\frac{R + j\omega L}{G + j\omega C}}$$

因为传输线的R和G是很小很小的, 所以可以忽略不计

$$Z = \sqrt{\frac{j\omega L}{j\omega C}}$$

传输线就剩下频率和导线的寄生电感和寄生电容

但是两个频率相除 = 1

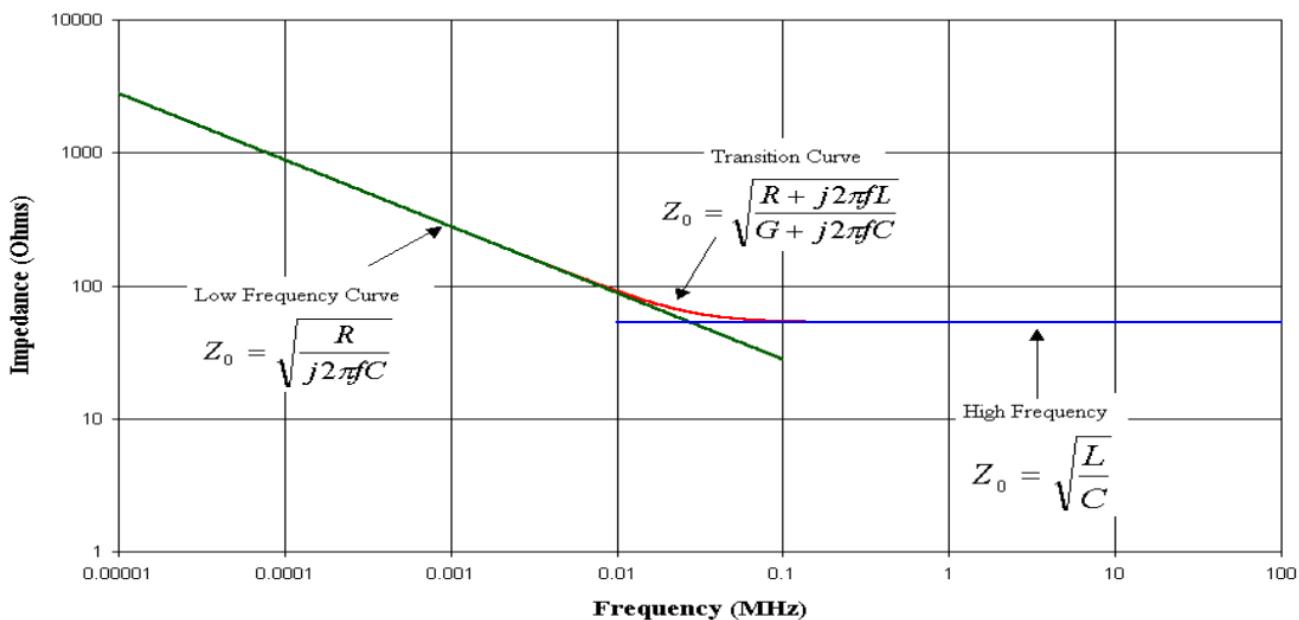
$$Z = \sqrt{\frac{L}{C}} = \sqrt{L} / \sqrt{C}$$

所以特征阻抗 Z 和传输线的寄生电感(L), 寄生电容(C)有关系, 与频率无关
线宽和线厚度会影响寄生电感, 导线与GND层的厚度影响寄生电容

这样看来传输线周围包GND铜箔也会影响阻抗, 也可能是改善阻抗,
实测为准

如图所示: 基本参数都是沿着电路连续分布

Cable Impedance Low & High



当频率增加，特性阻抗的值会趋近于一个常数（为实数），因此当频率大于 5MHz 时，该值可用下式表示：

$$Z = \frac{60}{\sqrt{\epsilon_r}} \ln \frac{D}{d}$$

Z =特征阻抗

ϵ_r =绝缘相对介电常数

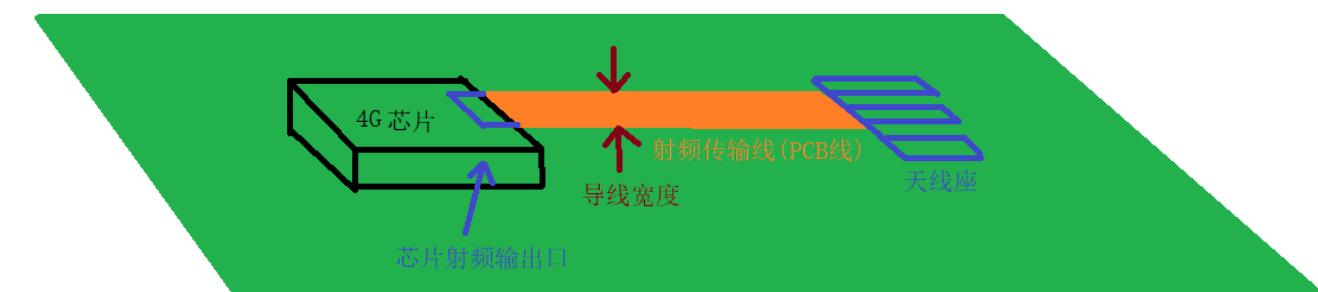
D =外导体内直径, mm

d =内导体外直径, mm

这是同轴电缆特征阻抗的计算方式，但是导线的特征阻抗也是类似的方式，想说明的是信号在>100Khz 的频率上，特征阻抗的计算就不需要加入频率 f 参数了，因为特征阻抗会趋近于一个常数。

这个特征阻抗是计算的导线横截面，也可以理解成计算 PCB 导线的宽度。

PCB 线宽度的特征阻抗，就是导线横截面的特征阻抗，在>100Khz 信号下，特征阻抗是个恒定值，所以 SI9000 已经内置好了>100Khz 的特征阻抗计算公式了，这个公式是没有频率参数的，只有线宽，介质，和板厚的参数，因为>100khz，频率不是影响特征阻抗的主要因素，<100Khz 也不需要 SI9000 来计算了。这里只需要修改导线宽度和参考面厚度，介质，来改善特征阻抗



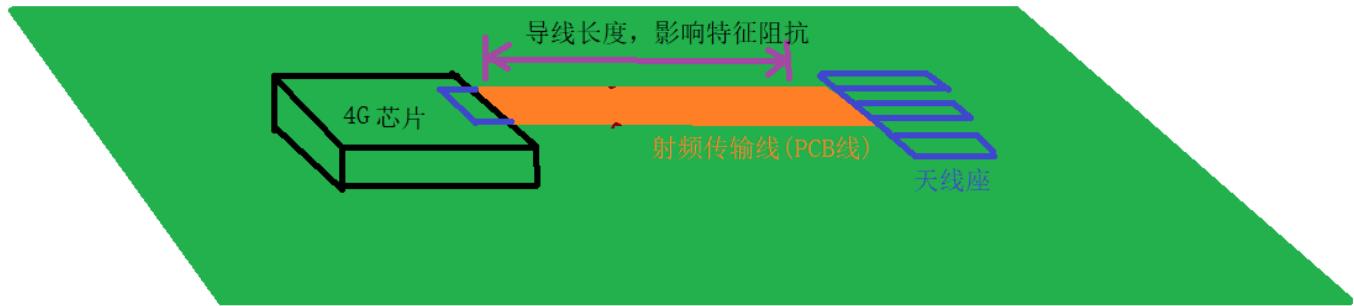
Surface Microstrip 1B

www.polarinstruments.com

Substrate 1 Height	H1	3.6000	+/-	0.0000	Minimum	3.6000	Maximum	3.6000	Calculate
Substrate 1 Dielectric	Eri	4.4000	+/-	0.0000	Minimum	4.4000	Maximum	4.4000	Calculate
Lower Trace Width	W1	8.0000	+/-	0.0000	Minimum	6.0000	Maximum	6.0000	Calculate
Upper Trace Width	W2	6.0000	+/-	0.0000	Minimum	6.0000	Maximum	6.0000	Calculate
Trace Thickness	T1	1.2000	+/-	0.0000	Minimum	1.2000	Maximum	1.2000	Calculate
Impedance		Z0	50.07		50.07	50.07	50.07	50.07	Calculate
									More...

SI9000
导线宽度
是没有频
率参数的

但是 SI9000 计算导线长度是有频率参数的，因为导线长度会增加寄生电感，寄生电感会影响点对特征阻抗。



所以导线越短，越好，越短，影响特征阻抗的因素就越小

为什么 SI9000 表层单端走射频线，射频线控制在 50 欧阻抗，导线必须很宽很宽？

例如：双面板

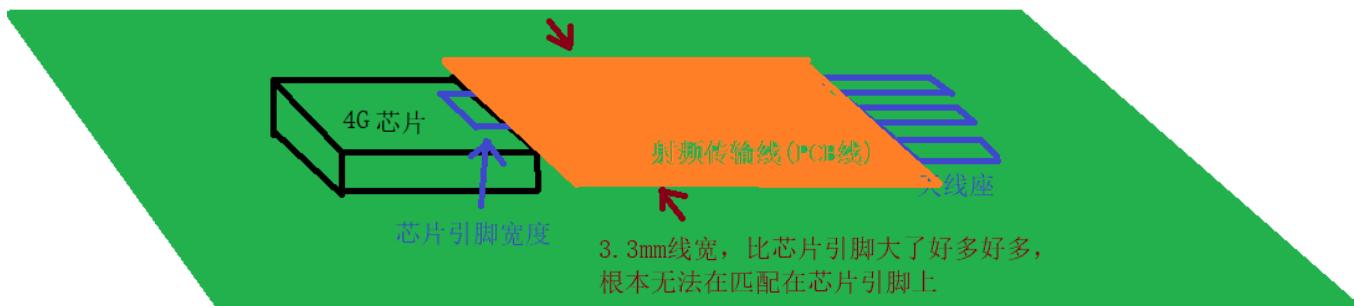
板厚 (H1) : 1.6mm

介电常数(Er): 4.2

铜箔厚度: 35 微米(um)

线宽如果在 40mil

	Tolerance	Minimum	Maximum	
H1	[62.9920]	[+/- 0.0000]	[62.9920]	[62.9920]
Er1	[4.2000]	[+/- 0.0000]	[4.2000]	[4.2000]
Lower Trace Width	[W1]	[39.3700]	[+/- 0.0000]	[39.3700]
Upper Trace Width	[W2]	[39.3700]	[+/- 0.0000]	[39.3700]
Trace Thickness	[T1]	[0.0013]	[+/- 0.0000]	[0.0013]
Impedance	[Zo]	[89.14]		[89.14]



		Tolerance	Minimum	Maximum		
H1	20.0000	+/-	0.0000	20.0000	20.0000	<input type="button" value="Calculate"/>
Er1	4.2000	+/-	0.0000	4.2000	4.2000	<input type="button" value="Calculate"/>
W1	40.0000	+/-	0.0000	40.0000	40.0000	<input type="button" value="Calculate"/>
W2	40.0000	+/-	0.0000	40.0000	40.0000	<input type="button" value="Calculate"/>
T1	0.0013	+/-	0.0000	0.0013	0.0013	<input type="button" value="Calculate"/>
Zo	49.72		49.72	49.72	<input type="button" value="Calculate"/>	<input type="button" value="More..."/>

将板厚改成(20mil)0.5mm，就能解决用大线宽控制阻抗问题

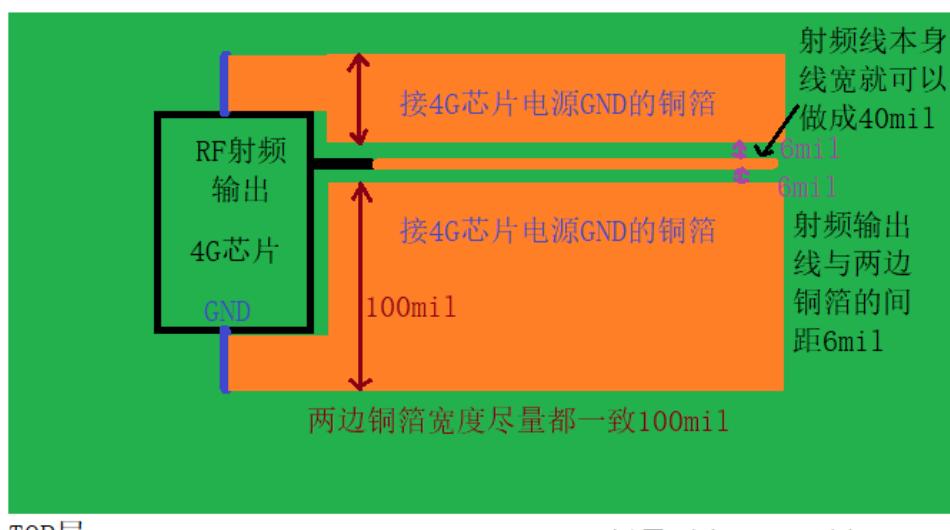
但是你见过 0.5mm 厚的电路板吗？随便一下就折断了。

那如何让双面板也可以做 50 欧射频线阻抗控制，只有用共面阻抗模型来做。

为什么用共面阻抗？

上面章节实验，我们知道，双层板做单端 50 欧的阻抗控制，对传输线特性阻抗影响最大的因素是耦合平面的高度(H)，为了保证 PCB 的机械强度，PCB 不可能做得很薄，这就造成了双面板的耦合平面高度 (H) 偏大，对导线的耦合影响大大降低，所以这时候板厚(H)对阻抗的影响非常小，从而造成了在单端 50 欧阻抗时，线宽明显偏大，导致 PCB 设计不合理。

共面阻抗的特性，通过单端导线周边的包裹铜箔对导线产生耦合电容，从而降低 pcb 导线的阻抗，换句话说，即在满足单端 50 阻抗控制时，降低 pcb 导线的宽度，这个包裹的铜箔要接射频芯片的 GND。



我们 SI9000 计算一下共面阻抗

		Tolerance	Minimum	Maximum			
Substrate 1 Height	H1	62.9920	+/-	0.0000	62.9920	62.9920	<input type="button" value="Calculate"/>
Substrate 1 Dielectric	Er1	4.2000	+/-	0.0000	4.2000	4.2000	<input type="button" value="Calculate"/>
Lower Trace Width	W1	40.0000	+/-	0.0000	40.0000	40.0000	<input type="button" value="Calculate"/>
Upper Trace Width	W2	40.0000	+/-	0.0000	40.0000	40.0000	<input type="button" value="Calculate"/>
Lower Ground Strip Width	G1	100.9998	+/-	0.0000	100.9998	100.9998	<input type="button" value="Calculate"/>
Upper Ground Strip Width	G2	100.0000	+/-	0.0000	100.0000	100.0000	<input type="button" value="Calculate"/>
Ground Strip Separation	D1	6.0000	+/-	0.0000	6.0000	6.0000	<input type="button" value="Calculate"/>
Trace Thickness	T1	0.0012	+/-	0.0000	0.0012	0.0012	<input type="button" value="Calculate"/>
Impedance	Zo	51.62		51.62	51.62	<input type="button" value="Calculate"/>	<input type="button" value="More..."/>

板厚 1mm

介电常数 4.2

线宽 40mil(不在使用前面 单面阻抗的 120mil 线宽)

两边铜箔宽度 100mil

射频线和 GND 铜箔间距 6mil

铜厚 35um

计算得到 51.62 欧姆阻抗，符合 50 阻抗要求

我们看看共面阻抗主要是那些参数有影响

		Tolerance	Minimum	Maximum	
H1	62.9920	+/-	0.0000	62.9920	62.9920
Er1	4.2000	+/-	0.0000	4.2000	4.2000
W1	40.0000	+/-	0.0000	40.0000	40.0000
W2	40.0000	+/-	0.0000	40.0000	40.0000
G1	90.0000	+/-	0.0000	90.0000	90.0000
G2	90.0000	+/-	0.0000	90.0000	90.0000
D1	6.0000	+/-	0.0000	6.0000	6.0000
T1	0.0012	+/-	0.0000	0.0012	0.0012
Zo	51.41		51.41	51.41	Calculate
					More...

两边 GND 铜箔宽度从 100mil 改成 90mil, 只影响了 0.2 的阻抗变化, 那么 GND 铜箔宽度影响不大

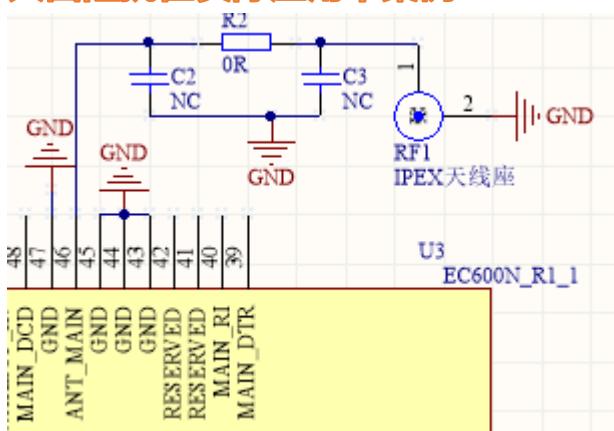
		Tolerance	Minimum	Maximum	
H1	50.0000	+/-	0.0000	50.0000	50.0000
Er1	4.2000	+/-	0.0000	4.2000	4.2000
W1	40.0000	+/-	0.0000	40.0000	40.0000
W2	40.0000	+/-	0.0000	40.0000	40.0000
G1	90.0000	+/-	0.0000	90.0000	90.0000
G2	90.0000	+/-	0.0000	90.0000	90.0000
D1	6.0000	+/-	0.0000	6.0000	6.0000
T1	0.0012	+/-	0.0000	0.0012	0.0012
Zo	50.42		50.42	50.42	Calculate
					More...

板厚从 60mil 改成 50mil, 阻抗变化了 1 欧姆, 看来板厚影响比较大

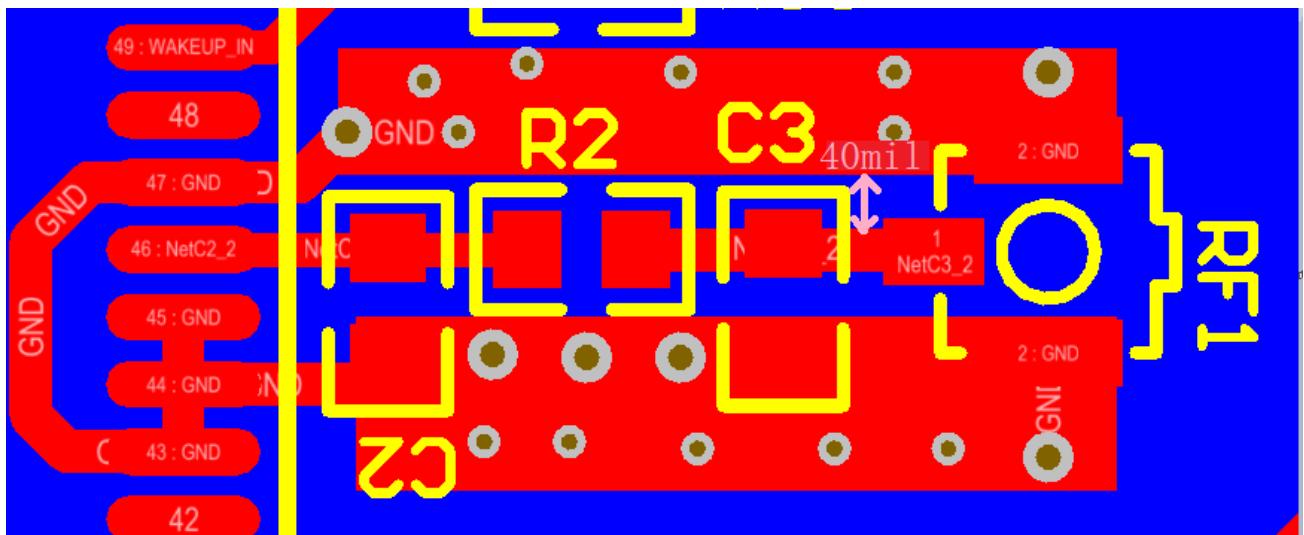
Ground Strip Separation	D1	5.0000	+/-	0.0000	5.0000	5.0000	Calculate
Trace Thickness	T1	0.0012	+/-	0.0000	0.0012	0.0012	Calculate
Impedance	Zo	48.34		48.34	48.34	Calculate	More...

两边 GND 铜箔和射频导线间距要对称, 将射频导线与两边铜箔间距从 6mil 改成 5mil, 阻抗变化了 2 欧姆, 变成了 (48.34) 欧, 看来射频线和铜箔的间距影响最大

共面阻抗在实际应用中案例

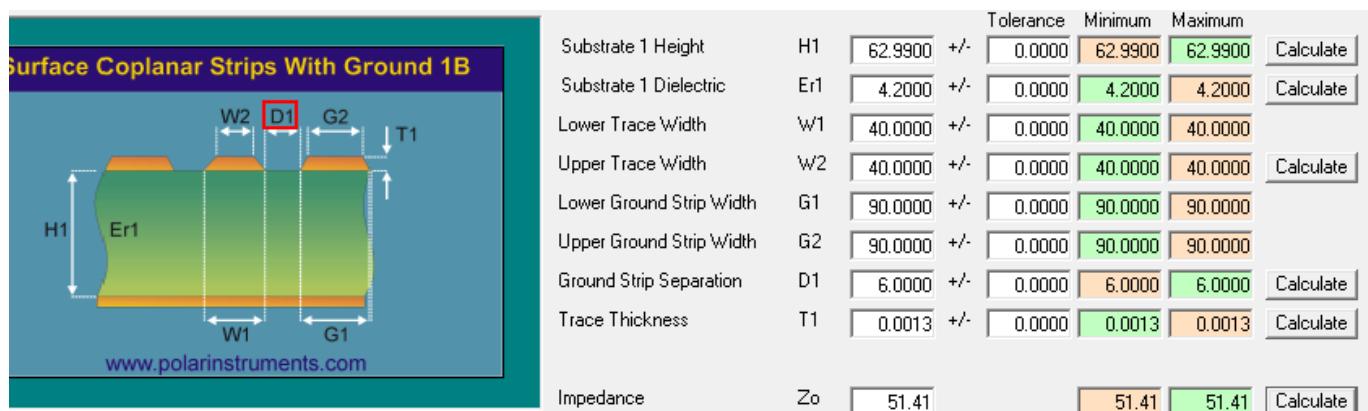


我们以 EC600 4G 模块天线为例



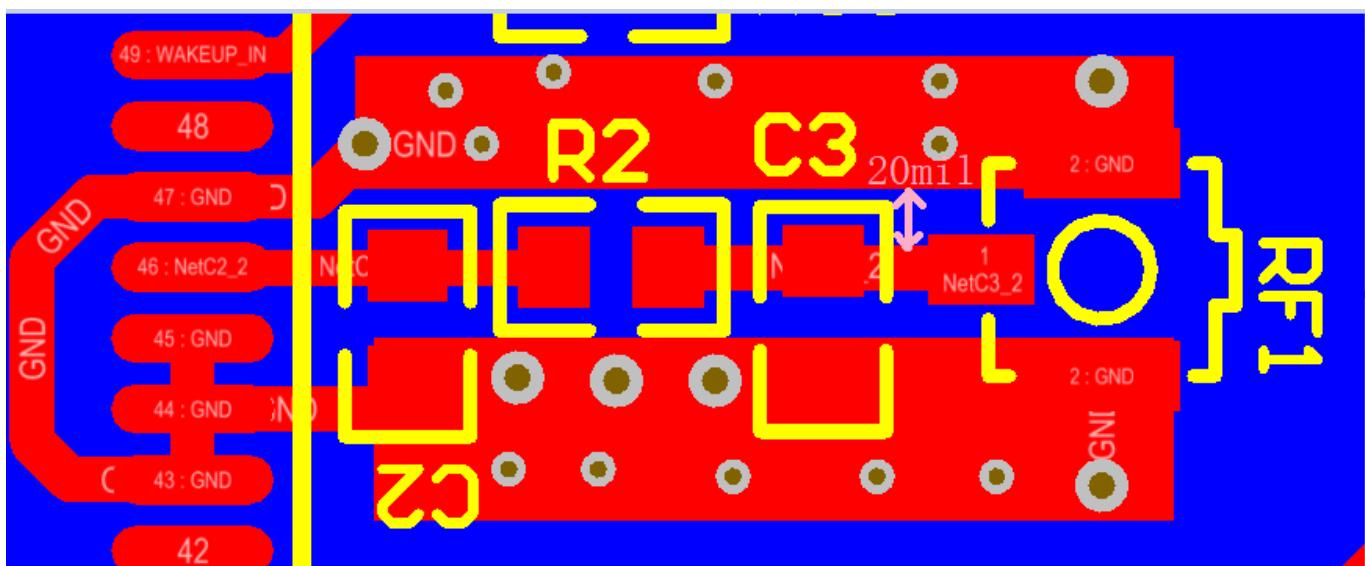
这是改善前的共面阻抗，GND 铜箔和天线间距在 40mil，我以为这样不会造成短路，就想当然的使用了这种匹配方式。实际测试的 4G 信号，本来信号满刻度是 CSQ = 31，实际软件测试出来 CSQ 只有 26 左右。

我的板子是双面板，铜厚 35um，板厚 1.6，FR4 板材 $\text{Er} = 4.2$



按照射频线 40mil 线宽，周边铜箔离射频线保持 6mil 间距才能达到有效阻抗。

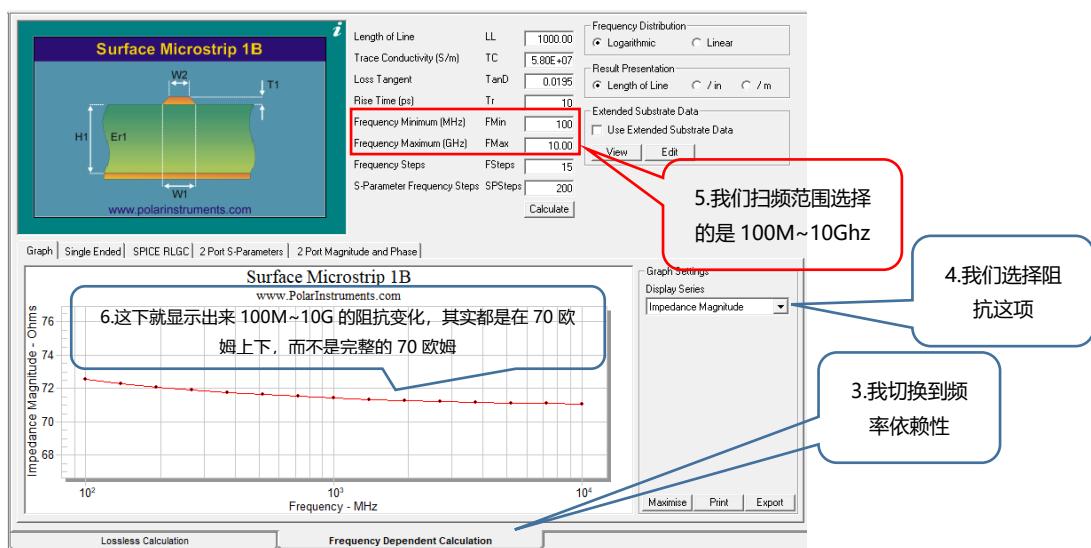
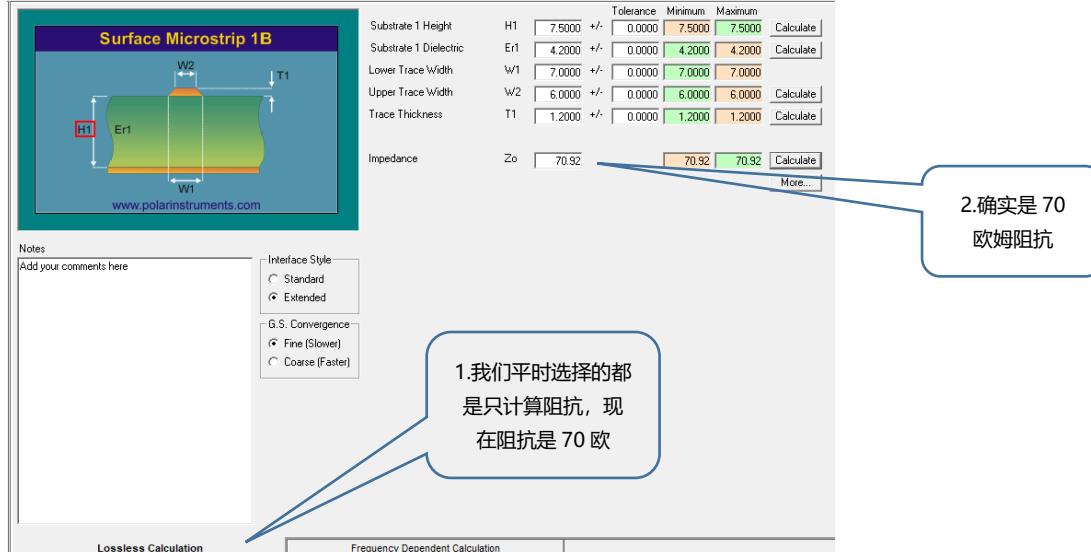
但是我实际板子不可能让线宽做在 40mil，最多 30mil。所以我就直接将周边铜箔与传输线间距降低到 20mil，来做的阻抗匹配，看看效果是否有改善。

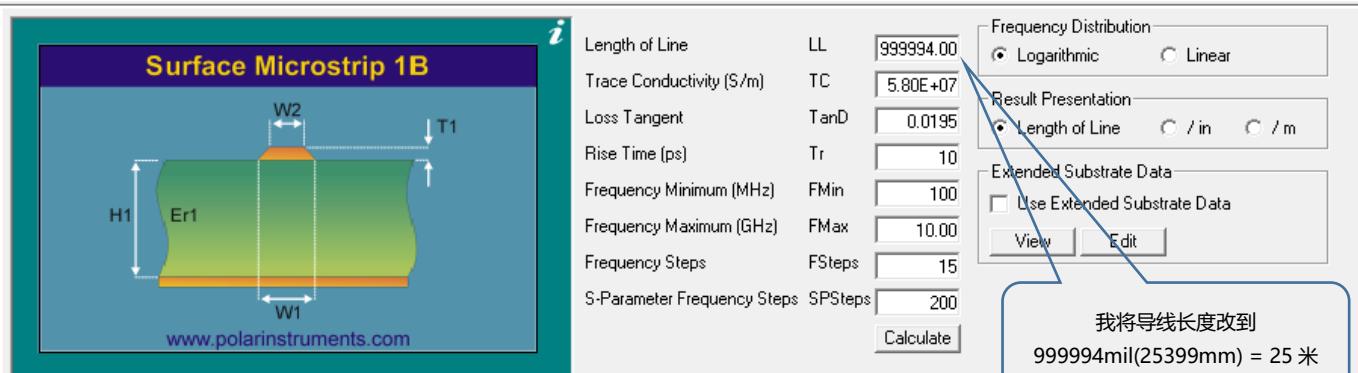


测试之后发现效果得到明显改善，CSQ = 31，达到信号满刻度要求。

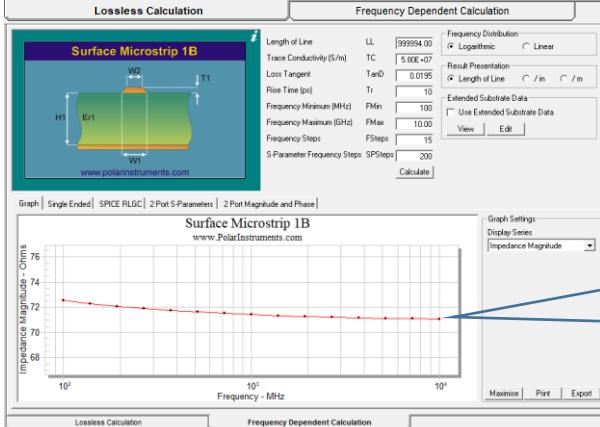
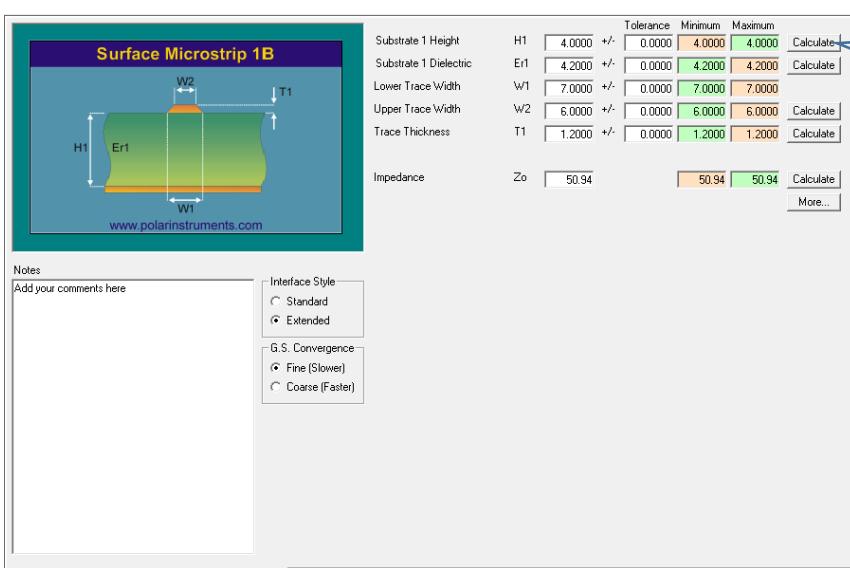
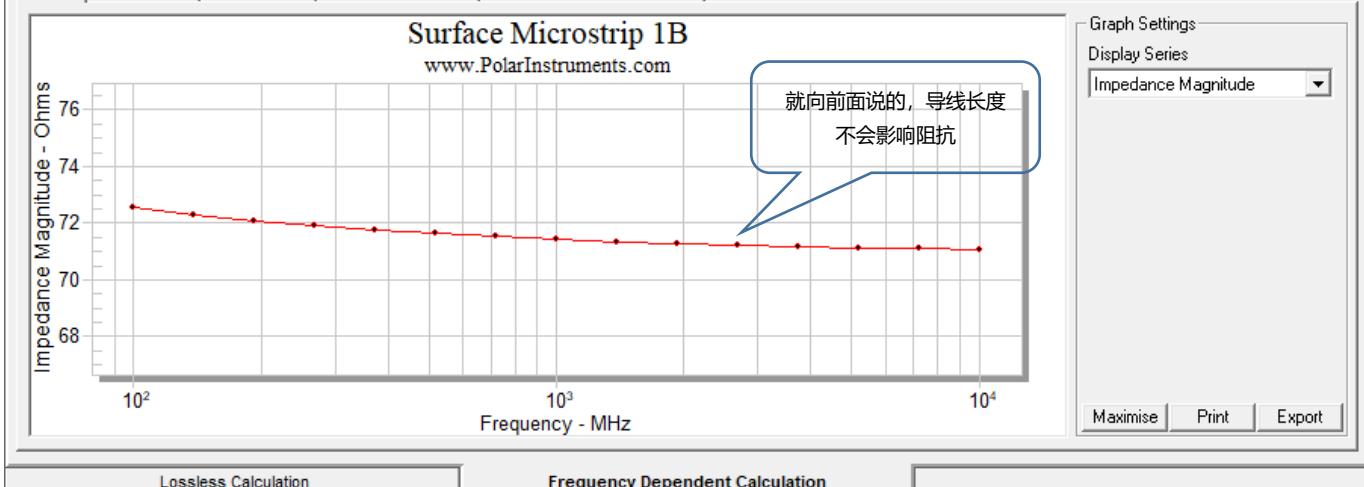
所以降低表层 GND 铜箔与传输线的间距可以改善阻抗匹配。

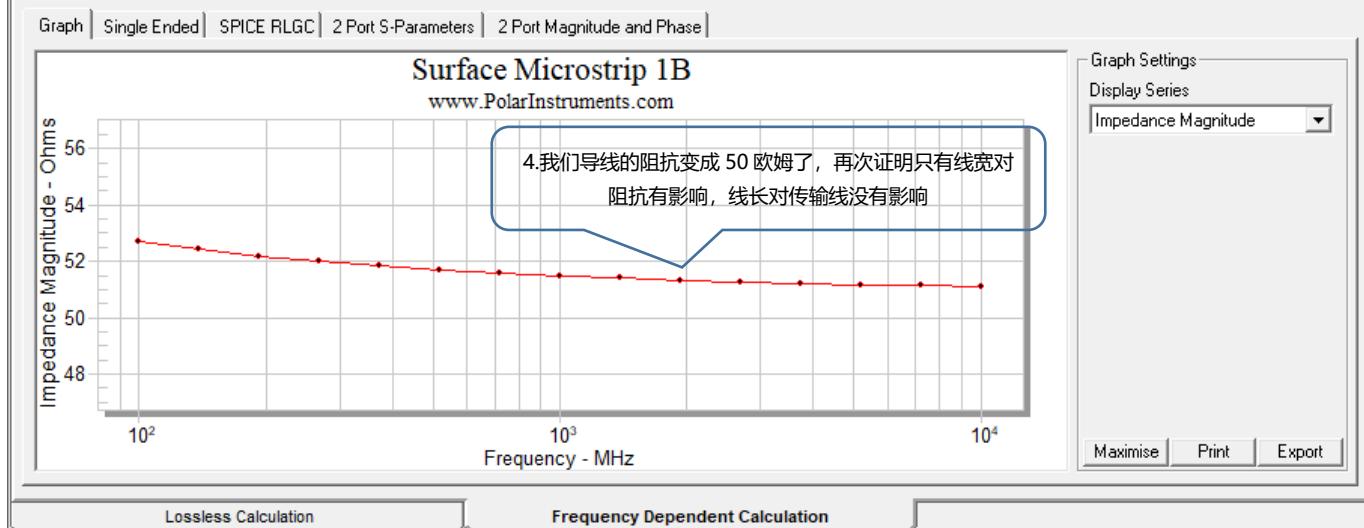
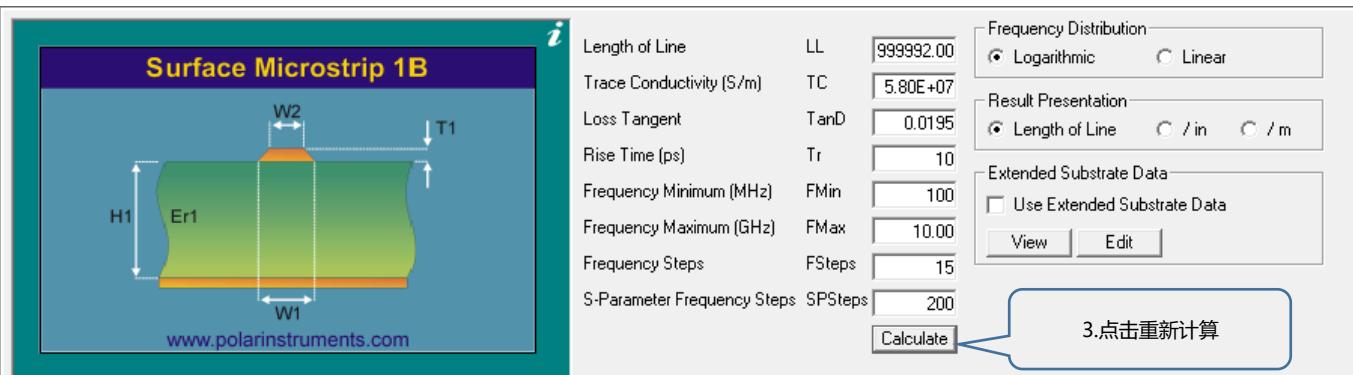
SI9000 Frequency Dependent Calculation 选项计算(就是计算受频率影响的参数)



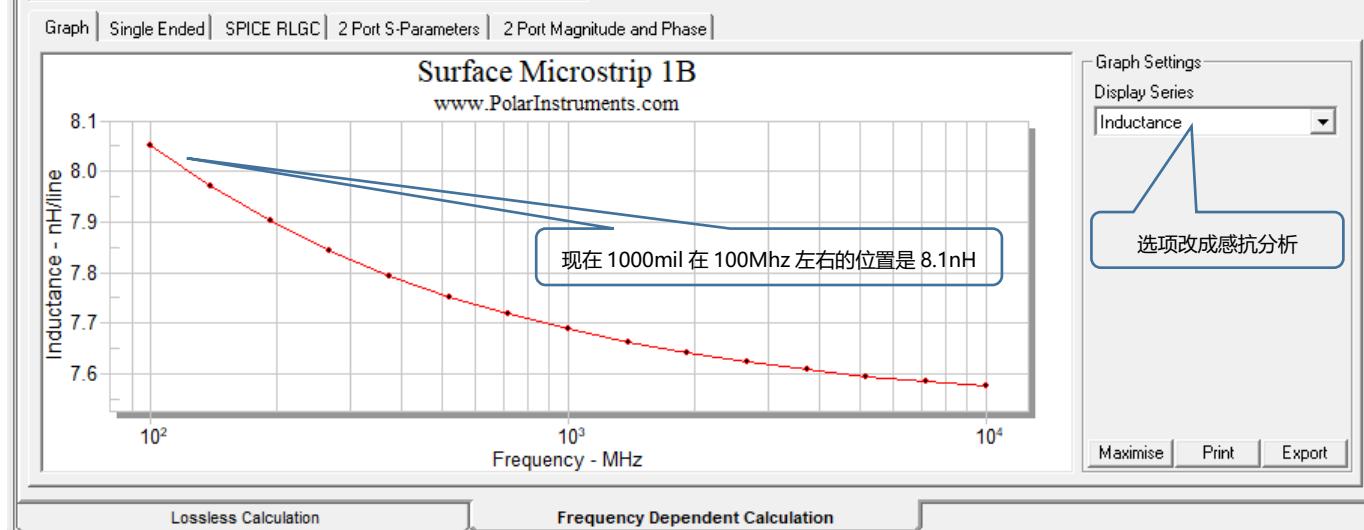


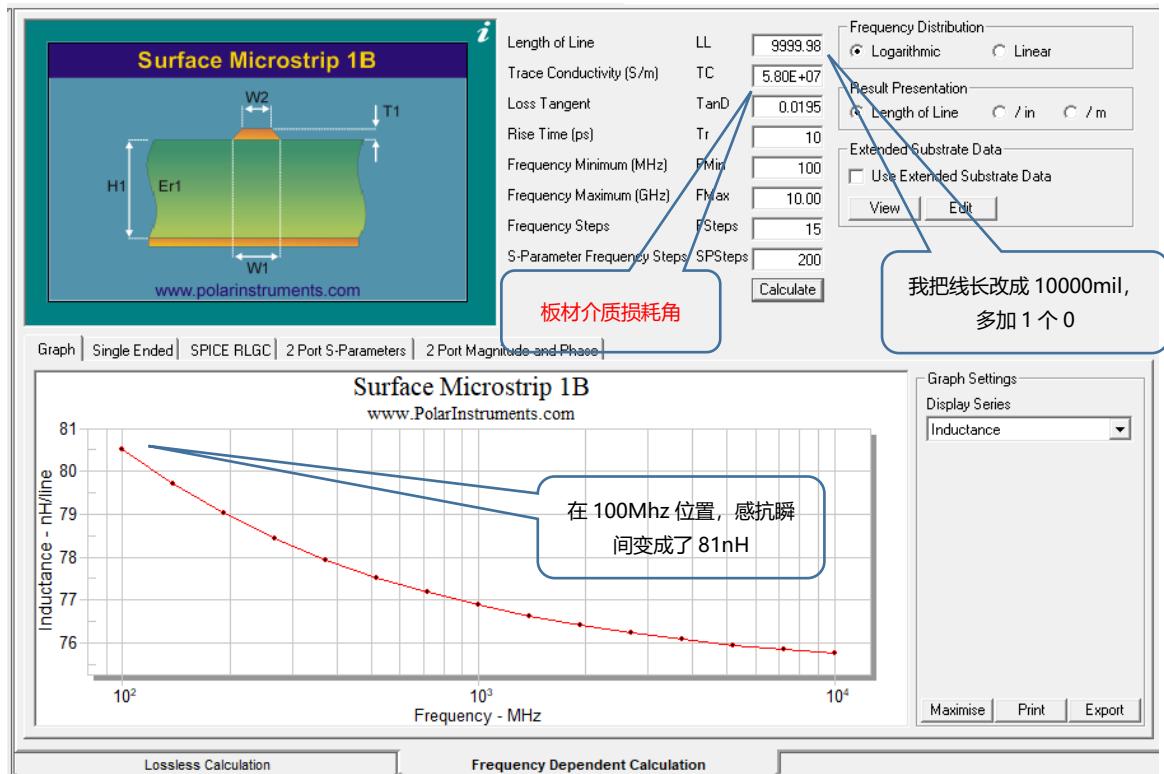
Graph | Single Ended | SPICE RLC | 2 Port S-Parameters | 2 Port Magnitude and Phase |





线长只对传输线电感有影响





所以线长多增加个 0，电感量就多乘以 10。线长增加对电阻也会有影响，电阻增加倍数和电感差不多。

线长变化对 S11 不同频段的相位会产生影响。

线长变化对史密斯原点不会产生偏移。

传输线电感量

信号在导线上传输，导线不仅会产生电容，还会产生电感

- 电流 I 越大， ψ 越大。

$$L = \frac{\psi}{I}$$

磁通量单位韦伯

电感跟电流大小没有关系，你电流大了磁通量会增大，但是电感值是不变的。

- 一旦导体周围的磁力线数量变化，或者说磁场发生变化，导体上就会产生感应电压。无论这种变化是什么原因引起的。

感应电压的大小取决于磁通量变化的快与慢

$$V = -\frac{\Delta \psi}{\Delta t}$$

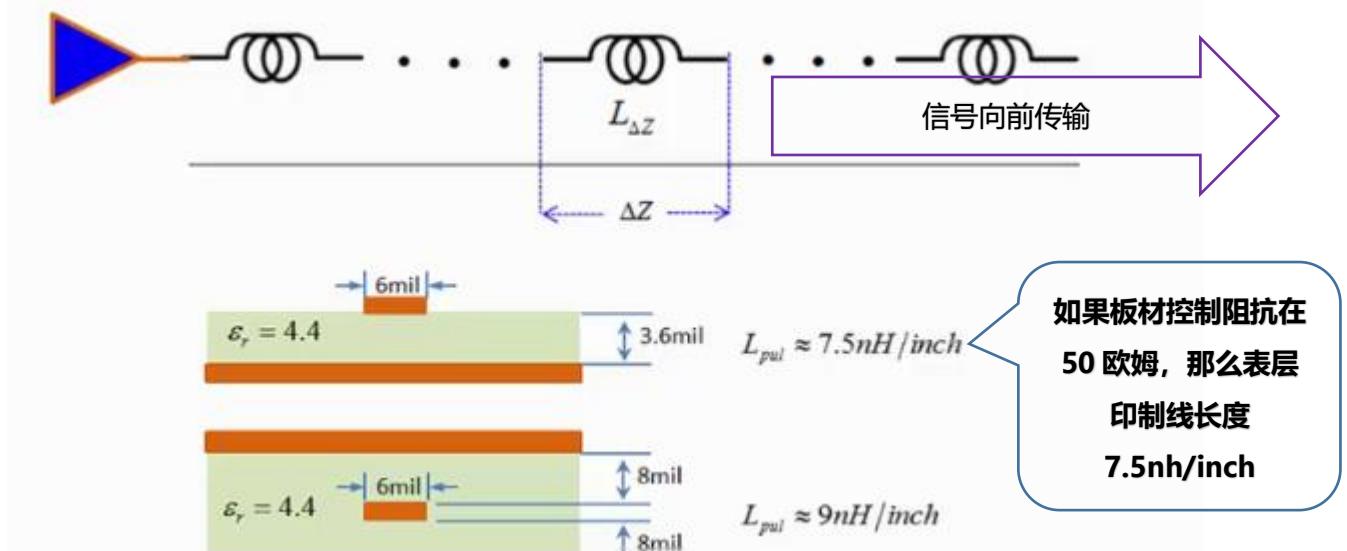
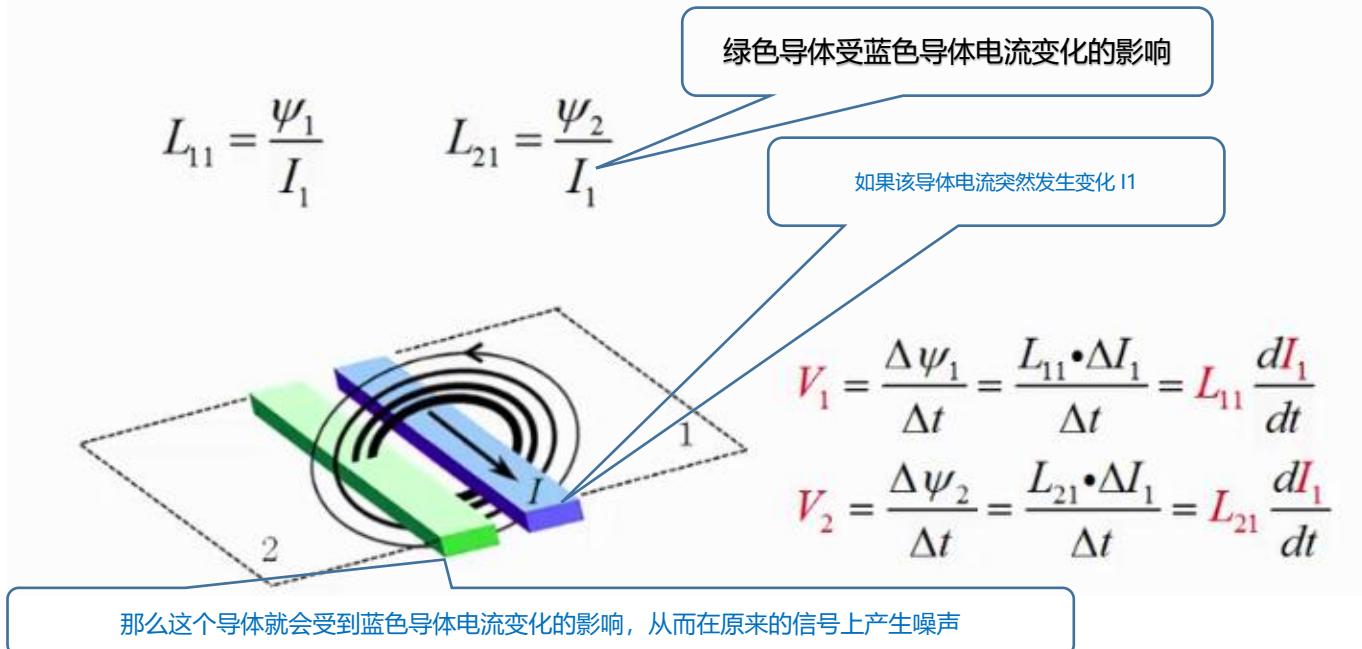
只要导体周围磁场发生变化，导体上面就会产生感应电压

- 电压大小取决于电流变化快慢。

$$V = \frac{\Delta \psi}{\Delta t} = \frac{L \cdot \Delta I}{\Delta t} = L \frac{dI}{dt}$$

磁通量的变化根源就在与电流的变化。所以电压的大小与电流变化的快慢有关

导体自感、互感



这个导线电感是信号在导线上向前传输，也就是变化的时候，导线电感对信号质量的影响，当信号再也不变换了，那么导线电感也就没有了。

每 inch 导线长度电感为 7.4nh

导线每 inch 电感为 7.5nh

我们只要阻抗控制是一样的，介电常数不变，那么导线的电感量和 w1, w2 的线宽没有任何关系。

内层导线电感量控制也和上面的方法一样的。

电容电感

我们将上面的知识总结一下，先看看电感

电感电容

如果走线长度远大于铜箔厚度，和线宽。
那么导线电感量就由这项公式决定

$$Z_0 = \sqrt{\frac{L}{C}}$$

$$L = \frac{\mu_0}{2\pi} l \left[\ln\left(\frac{2l}{w+t}\right) + \frac{1}{2} + \frac{2}{9} \left(\frac{w+t}{l} \right) \right]$$

其中：l 为走线长度，w 为线宽，t 为铜箔厚度。当 $l \gg w+t$ 时，电感大小主要由 $\ln\left(\frac{2l}{w+t}\right)$

其实导线长度一般都是远远大于铜箔厚度和线宽的。你画 PCB 的时候，把线画的比铜箔厚度还短，你焊接都没法焊接。

所以走线越长，电感越大，因为你走线越长，导线周围磁力线越多。所以阻抗就越大。电感越小阻抗越小。

$$L = \frac{\mu_0}{2\pi} l \left[\ln\left(\frac{2l}{w+t}\right) + \frac{1}{2} + \frac{2}{9} \left(\frac{w+t}{l} \right) \right]$$

根据这个公式我们还可以看出来，为什么线宽边宽了，铜箔变厚了，电感越小呢？

我们可以直观的理解一下，电流越分散电感越小，电流越集中电感越大，你线宽很小，或者铜箔很薄，那么电流是不是就很集中呢。线宽越宽，铜箔越厚，横截面积就很大，所以电流是不是就很分散呢。

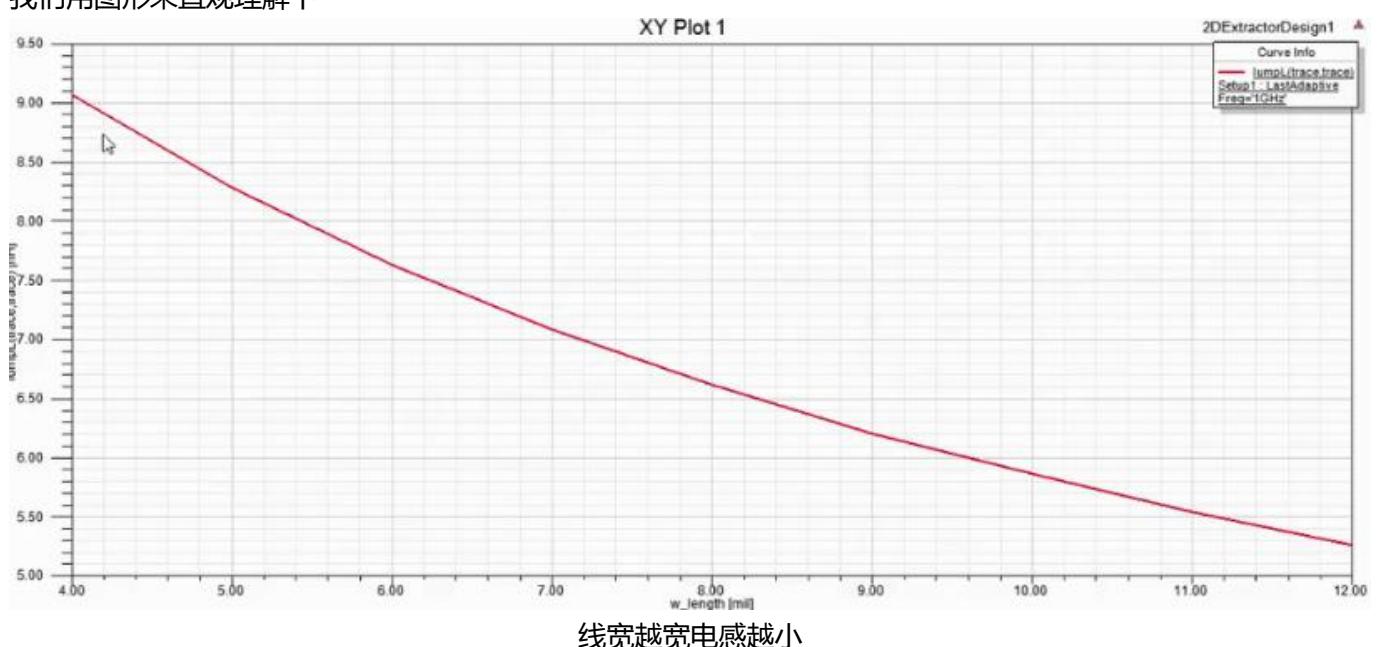
我们再来看看电容

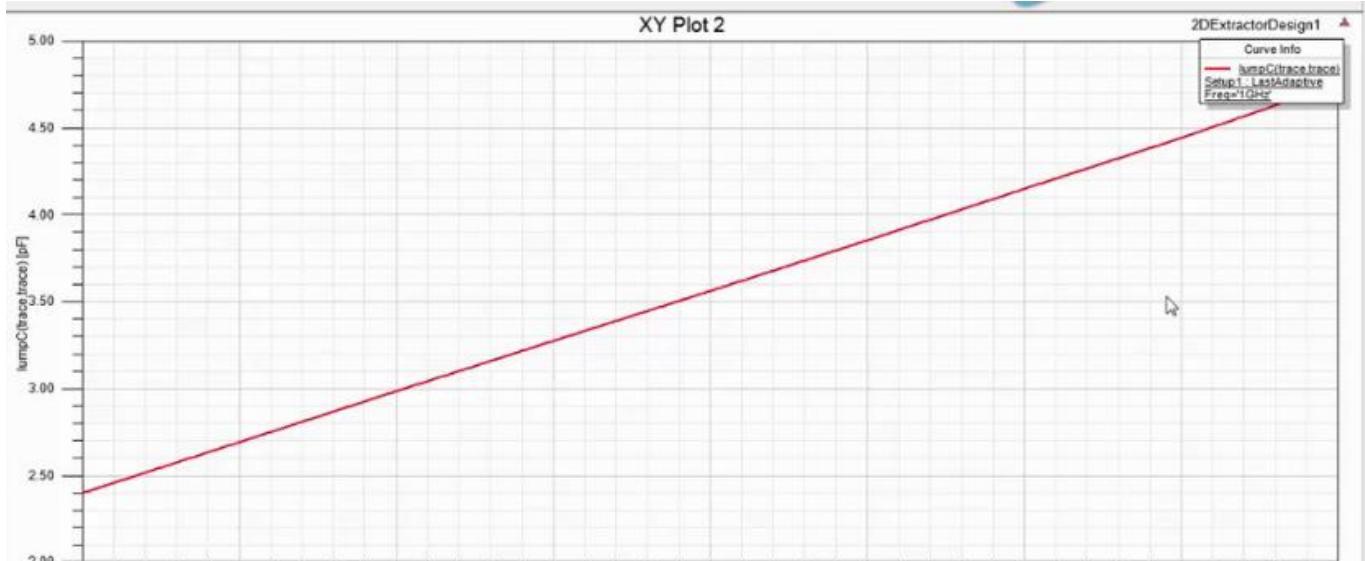


平板面积越大，电容就会越大，也就是走线越宽，电容越大。但是走线越宽 $\ln\left(\frac{2l}{w+t}\right)$ 电感是下降的，所
以根据公式 $Z_0 = \sqrt{\frac{L}{C}}$ 阻抗也是越小的。PCB 介质厚度越大，电容也越小。

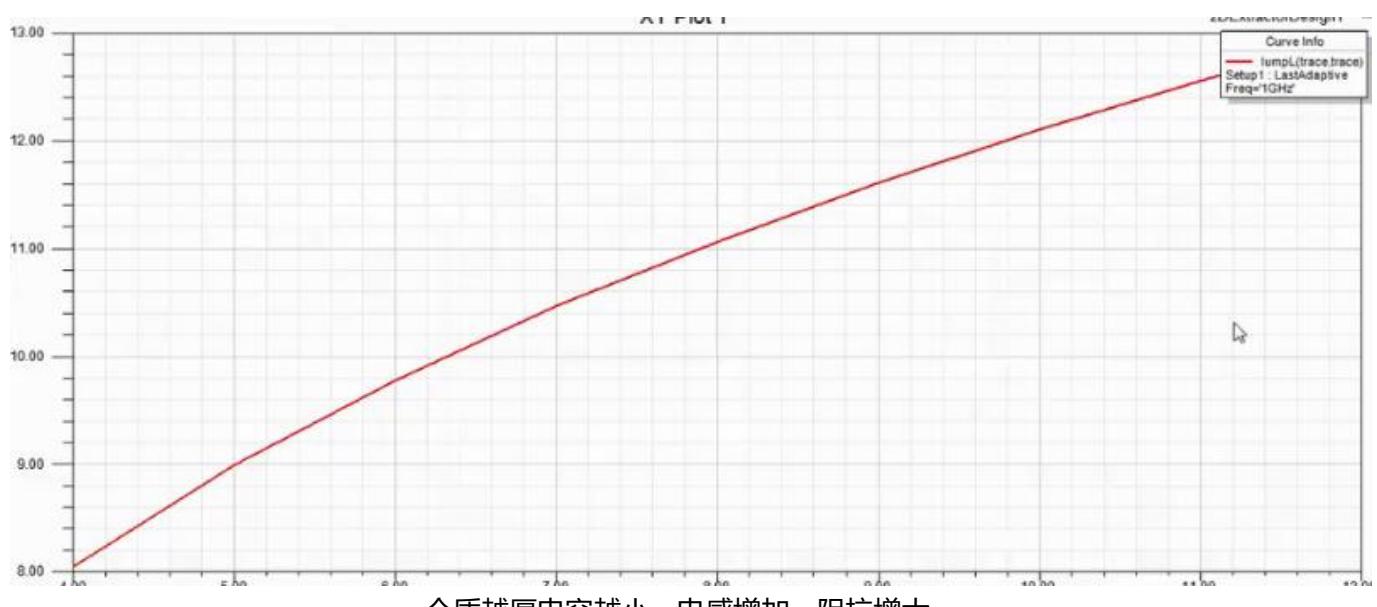
那么阻抗会变高，介电常数越大，电容越大，阻抗会下来

我们用图形来直观理解下

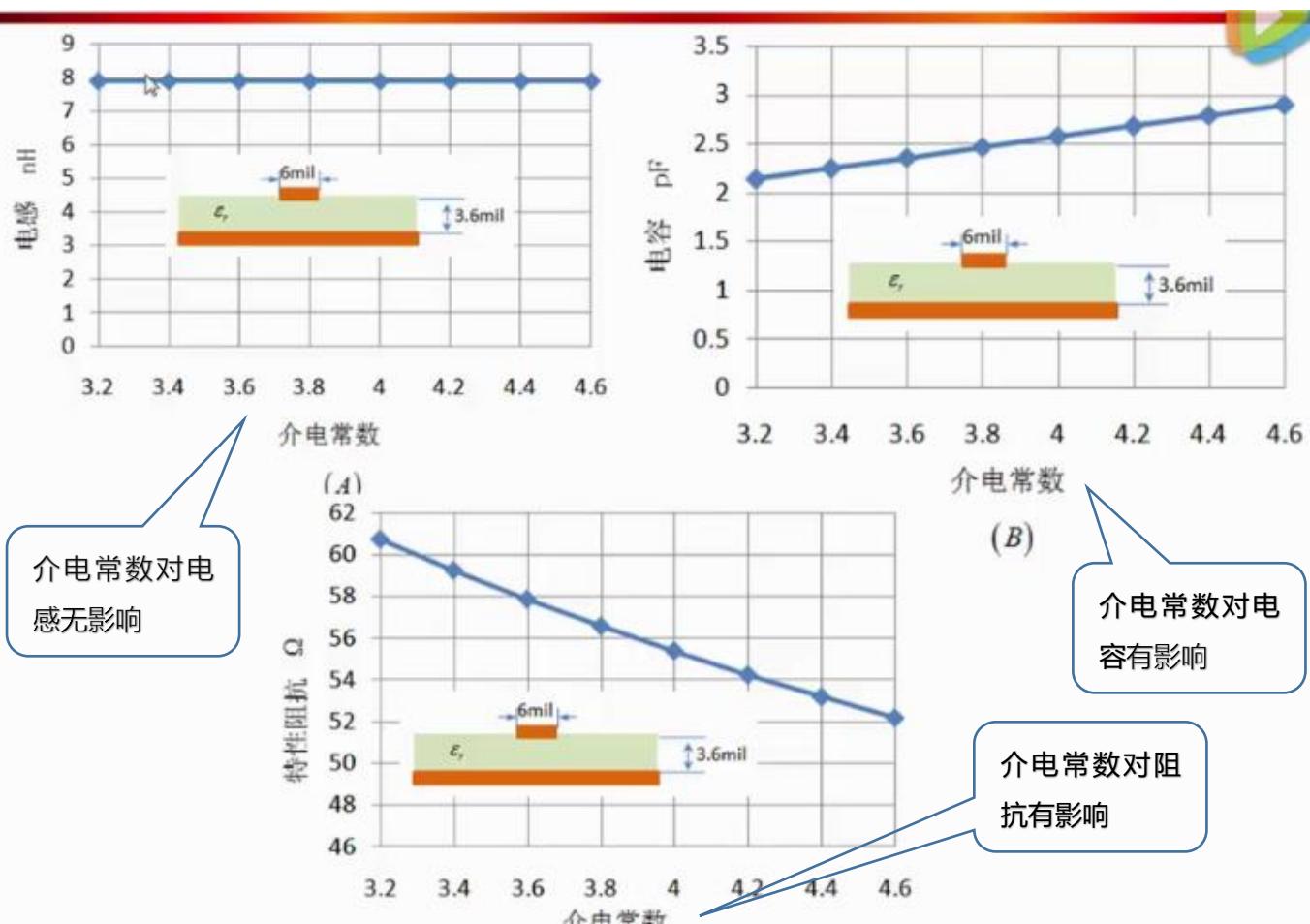




线宽越宽电容越大

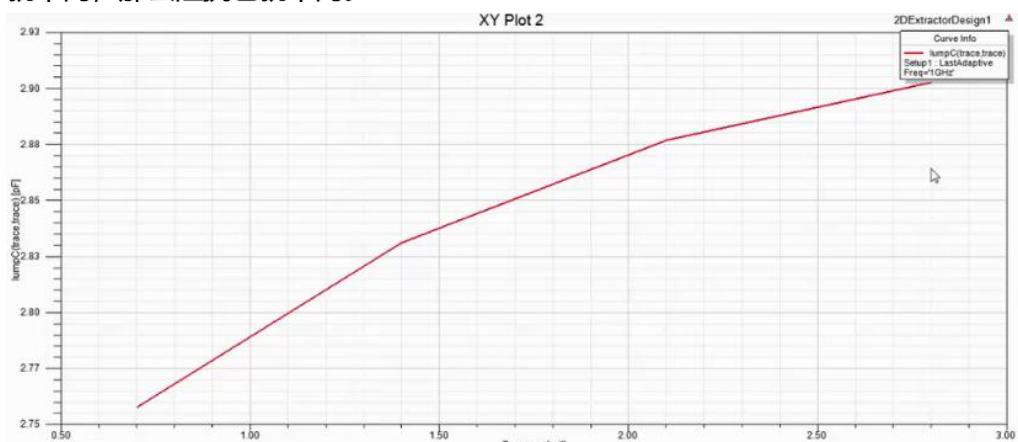


介质越厚电容越小，电感增加，阻抗增大。



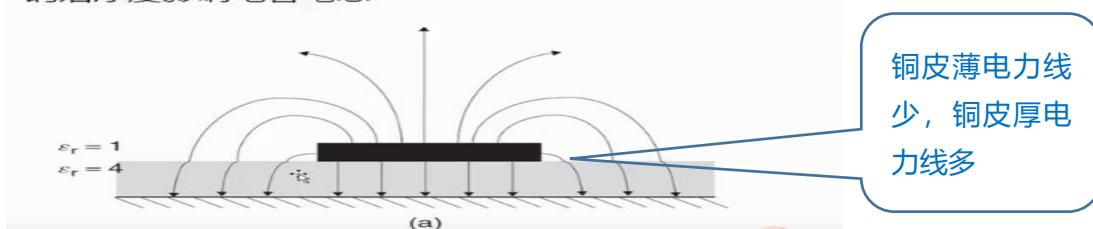
介电常数的影响，定一个介电常数，去计算导线电感和电容。

如果我 PCB 板厚度，层叠尺寸，线宽，线间距都没有变，只是换了另一种板材，因为板材类型不同，介电常数就不同，那么阻抗也就不同。



铜皮厚了电感会减小，前面说过的，但是铜皮厚了电容会增加是怎么回事？

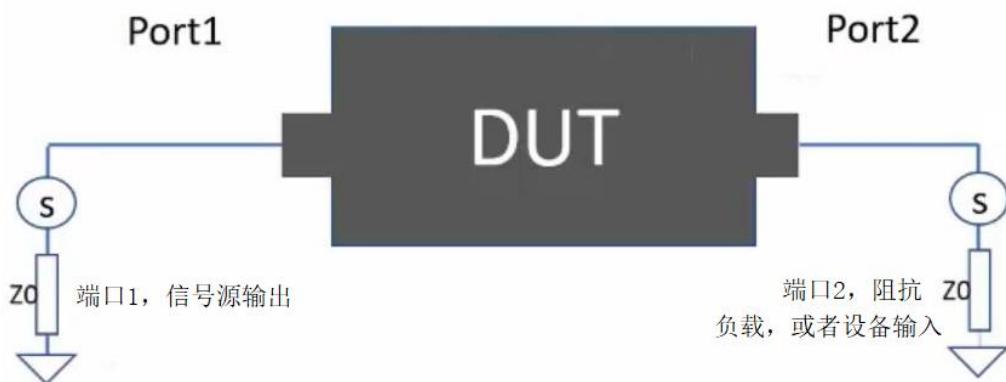
铜箔厚度影响电容电感

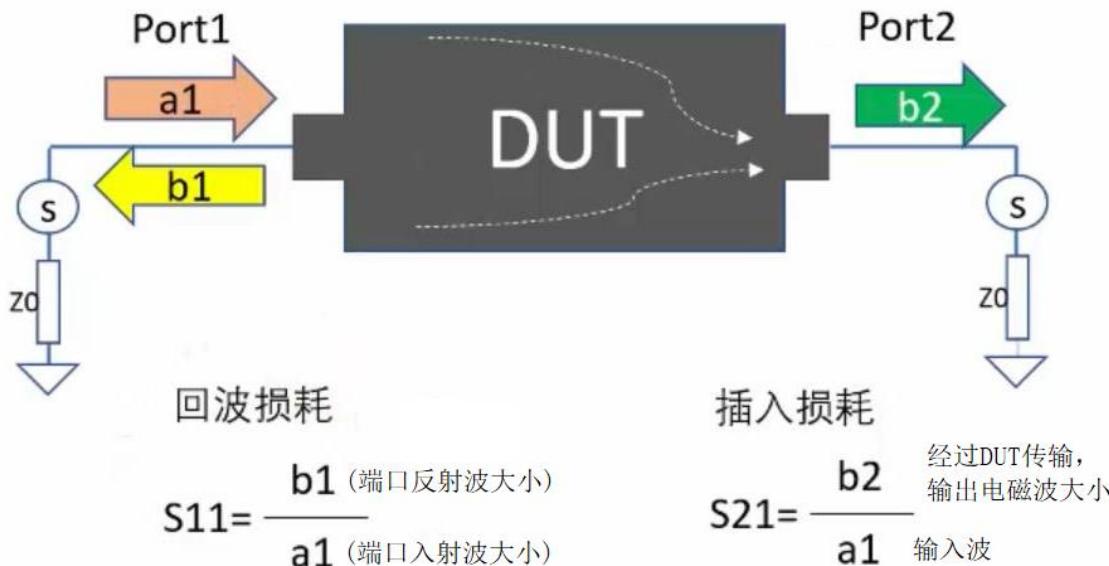


电力线多了，就会影响导线电容。

结论：线宽越宽阻抗下降，介质越厚阻抗变大，介电常数变高阻抗越小，铜箔越厚，阻抗越小。

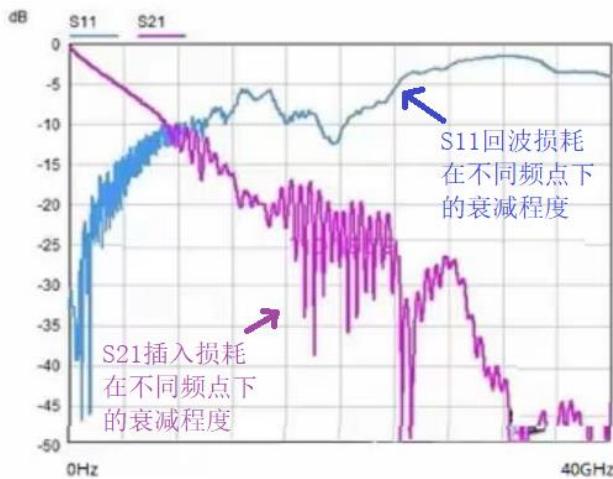
S参数的含义





S11

S21



用网络分析仪测试S11, S21

电路板去耦电容设计

首先计算噪声余量:

根据 datasheet 来设计.

如芯片供电电压为 3.13 ~ 3.47

稳压芯片输出电压为 3.3V, 安装在电路板后电压为 3.36V

那么容许的电压变化范围就是 $3.47 - 3.36 = 110mV$

稳压芯片输出精度 $\pm 1\%$, 也就是 $3.36 \pm 1\%$ 产生 33.6mV 偏差, 电压输出范围就是 3.327V ~ 3.393V

电源噪声余量就是 $110 - 33.6 = 76.4mV$

稳压芯片的输出能力：

在负载芯片高速切换电流通断时，那么稳压芯片是无法马上给负载提供现在的电流的。

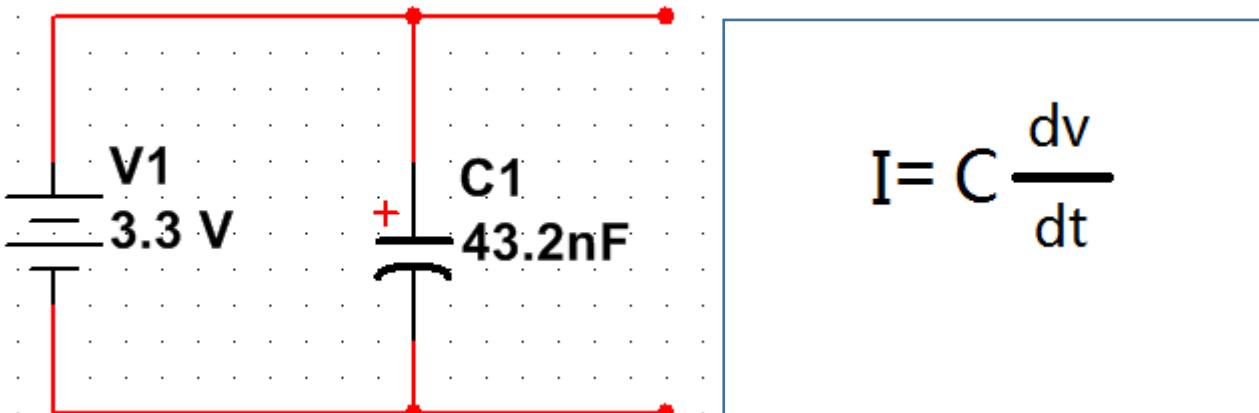
所以稳压芯片就有一个电源响应的指标，一般稳压电源响应频率为 200Khz 以内。

如果芯片工作频率超过 200Khz，那么给芯片供电的电压会出现跌落。

这个时候就要确定负载瞬态电流的电源阻抗和地回路阻抗。

1，我们来计算给负载供电的电容大小：

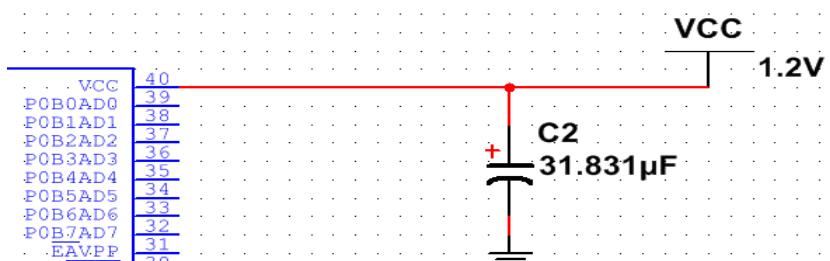
一种解释是，当负载电流变化时电源不能及时给负载供电所以要在负载旁边加个电容让电容及时给负载先供电



2, 设：芯片要求信号要在 2ns 内，电压从 0V 上升到 3.3V，电压允许波动范围为 $3.3 \times 2.5\% = 82.5\text{mV}$ ，芯片 3.3V 时要消耗 1.782A 的电流，那么 $C = I \cdot dt / dv = 1.782\text{A} \cdot 2\text{ns} / 0.0825\text{V} = 43.2\text{nF}$ ，电容 C1 要取 43.2nf

但是这种计算出来的结果是没有考虑电容的寄生电感和 ESR 的，所以这个值很不科学。

3, 另一种是用目标阻抗设计方法：



芯片供电电压为 1.2V，容许电压波动 $\pm 2.5\%$ ，芯片最大消耗电流 600mA

4, 计算目标阻抗

$$X_{Max} = \frac{V_{DD} \times Ripple}{I_{Max}} = \frac{1.2 \times 0.025}{0.6} = 50\text{m}\Omega$$

5. 确定稳压电源频率响应范围，一般和电源芯片有关，一般是 DC~100Khz。
 在 100khz 下时电源芯片能输出很好的瞬态电流。
 高于 100Khz，表现为高阻抗，在高于 100khz 时负载芯片没有外加电容，那么电压波动会超过±2.5%
 我们计算该大电容在最低 100khz 时产生 50mΩ阻抗

6. 计算电容量，

$$C = \frac{1}{2\pi f X_{max}} = \frac{1}{2 * 3.14 * 100k * 0.050\Omega} = 31.831\mu F$$

F 电容起作用的最低频率，低于该频率电容就不起 50moh 阻抗了

7. 计算该大电容的 50mΩ阻抗能适用到多高的频率

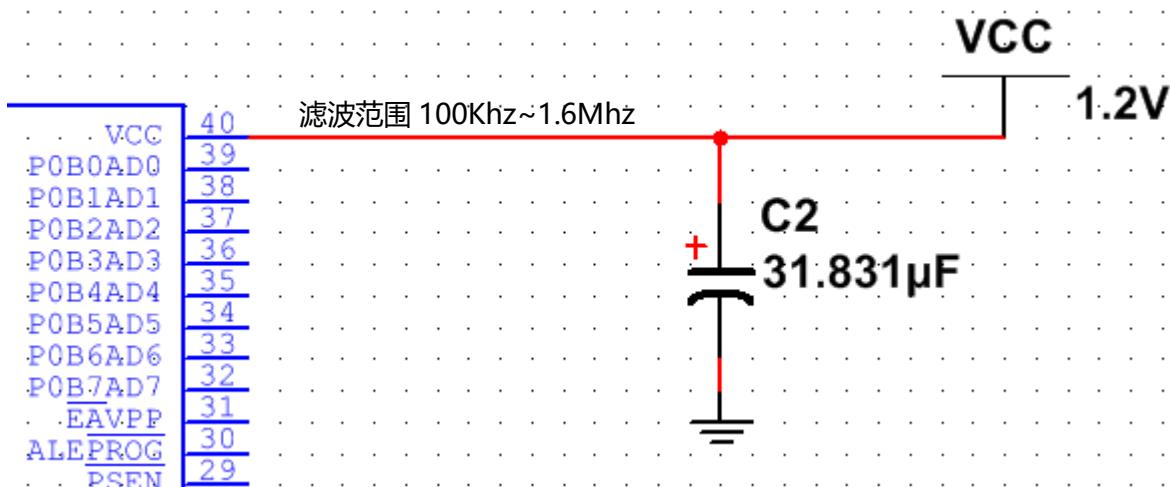
这个时候要加入电容的 ESL 参数，(但是现在因为电容制作工艺的提高 ESL 已经可以忽略了)，我们只是为了更好理解计算下：

加入电容 ESL=5nH

$$f_{Max} = \frac{X_{max}}{2\pi ESL} = 1.6Mhz \quad f_{Max} = \frac{0.050\Omega}{0.0000000314} = 1.6Mhz$$

那么

所以该 31.831uf 的电容，阻抗 50mΩ只能在 100Khz~1.6Mhz 下控制住，高于 1.6Mhz，还得加小电容解决。



设计频率高于 1.6M 时所需的电容量

若我的负载芯片是 DDR 这种高速电压切换芯片，比如切换速度在 500Mhz。那我

们电源就必须满足 500Mhz 的瞬时供电。那么这里就只有交给小电容来处理了。

1, 控制电容寄生电感

$$L_{max} \leq \frac{X_{max}}{2\pi \times 500Mhz} = 0.016nH$$

2, 若 0402 封装陶瓷电容为 $ESL=0.4nH$, 安装在电路板后过孔寄生电感为 $0.6nH$, 那么整个电容的 $ESL=1nH$

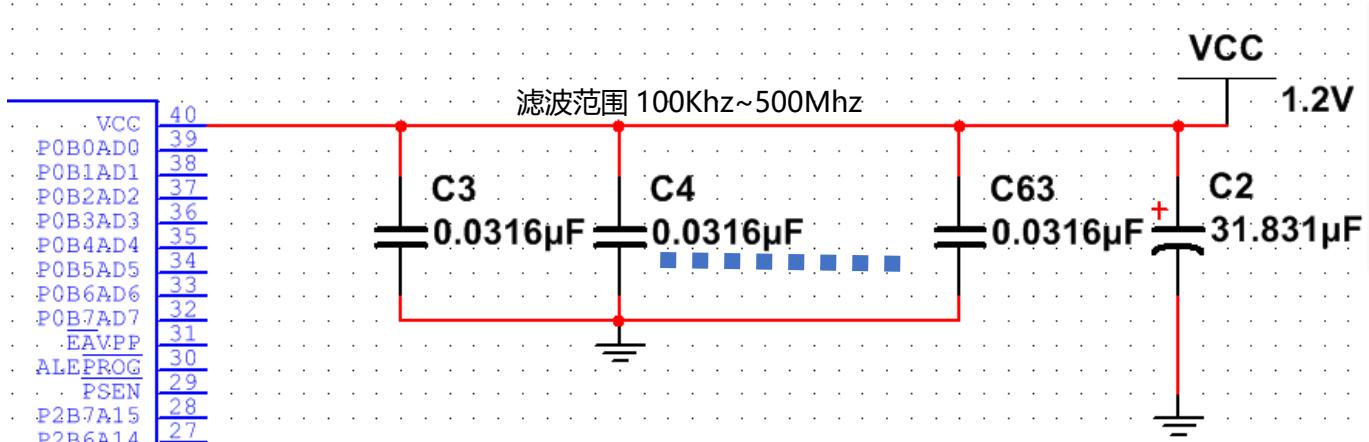
为了让电感不大于 L_{max} $0.016nH$, 则需要多个小电容并联, 等效为多个电感并联来减小电容量。计算结果就是 $1nH/0.016nH=62.5$ 个电容, 大概 63 个电容。

3.和第一个大电容计算方法一样, 设定 $1.6Mhz$ 为最低满足 $50m\Omega$ 的频段,

$$C = \frac{1}{2\pi f X_{max}} = \frac{1}{6.28 \times 1.6Mhz \times 0.050\Omega} = 1.9894\mu F$$

因此每个陶瓷电容容量为 $1.9894/63=0.0316\mu F$

综合上述这个芯片需要 1 个 $31.831\mu F$ 大电容和 63 个 $0.0316\mu F$ 小电容。



反射问题

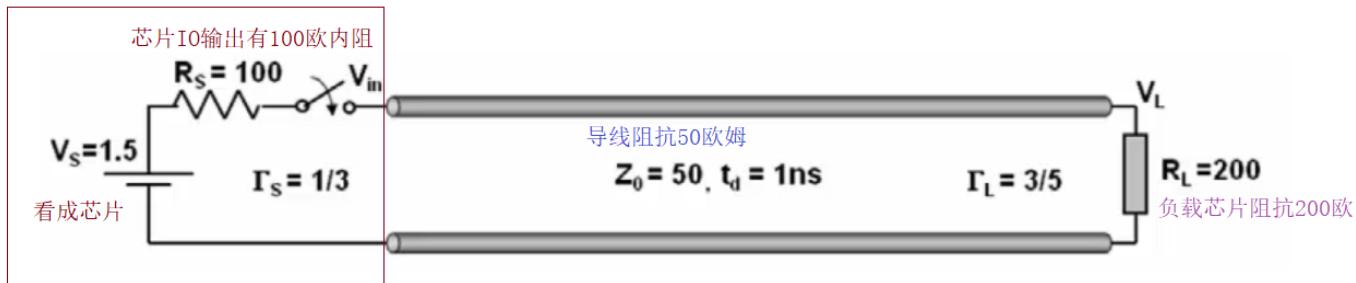
传输线阻抗匹配

$$\text{反射系数 } \Gamma = \frac{V_{ref}}{V_{inc}} = \frac{R_L - Z_0}{R_L + Z_0}$$

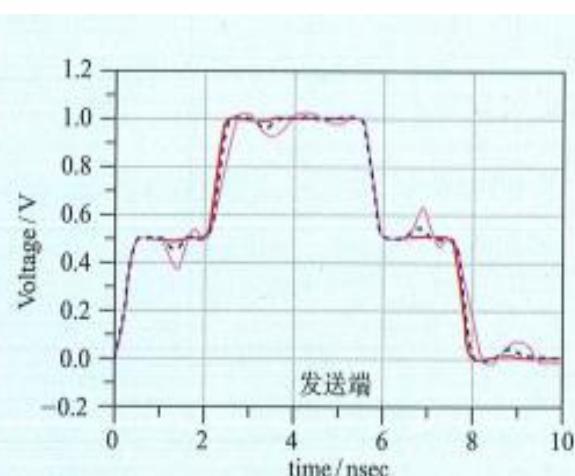
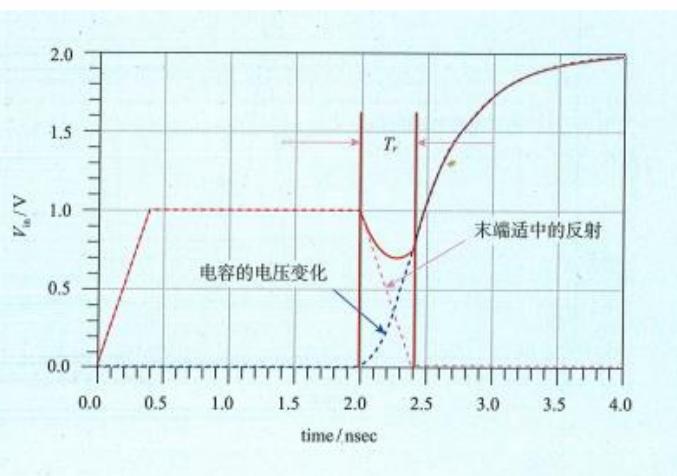
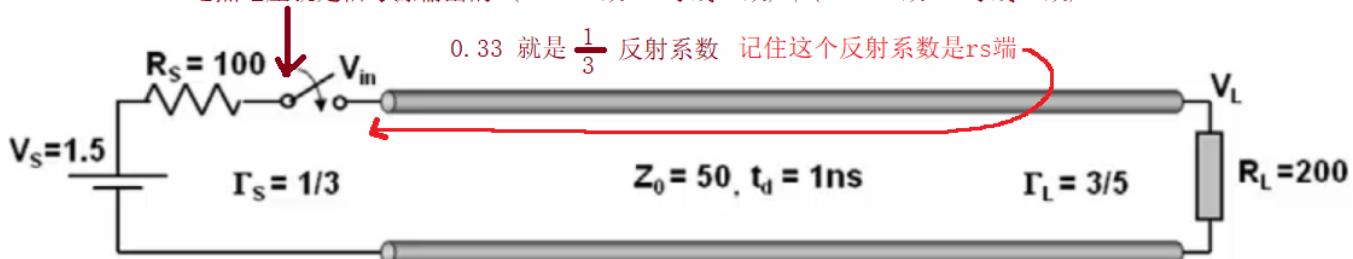
(意思就是信号看到的负载 - 信号看到的导线特征阻抗) = 反射电压
(信号看到的负载 + 信号看到导线的特征阻抗) = 入射电压

V_{ref} : 反射电压

V_{inc} : 入射电压



这点电压就是信号源输出的 $(R_s \text{ 100欧} - \text{导线50欧}) / (R_s \text{ 100欧} + \text{导线50欧}) = 0.33$



▲ 图 4.28 末端电容反射导致的发送端波形

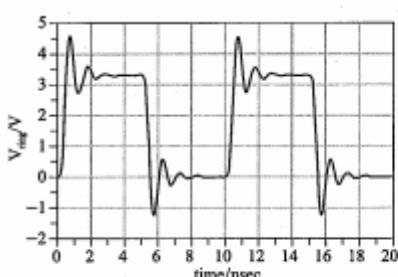


图 4-1 信号的振铃

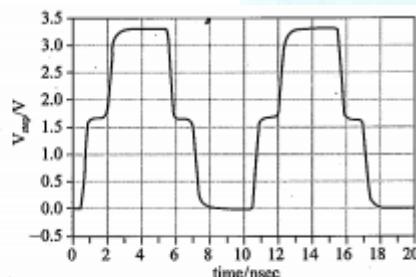


图 4-2 信号边沿的台阶

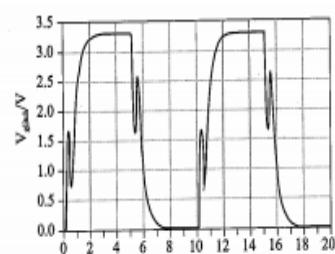


图 4-3 信号边沿的回勾

你在示波器测试传输线，看到以上波形都是属于信号反射引起的。

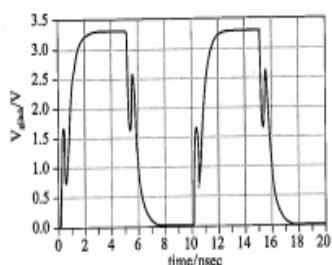
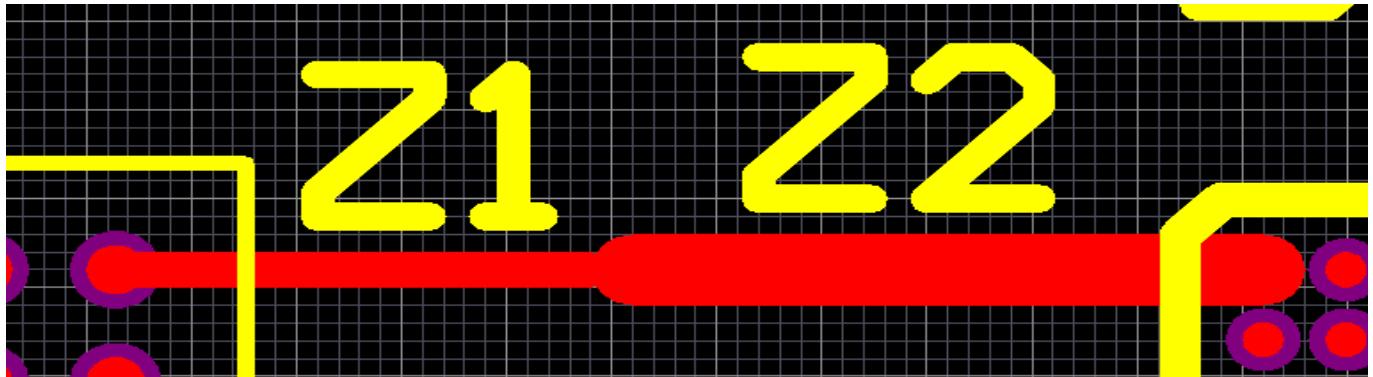


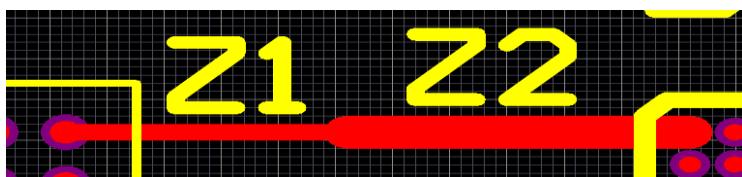
图 4-3 信号边沿的回勾

像这种波形在信号速率比较低，10M~100M 不会出现什么问题，但是在 100M 以上，比如说 DDR3 那种就要出问题。

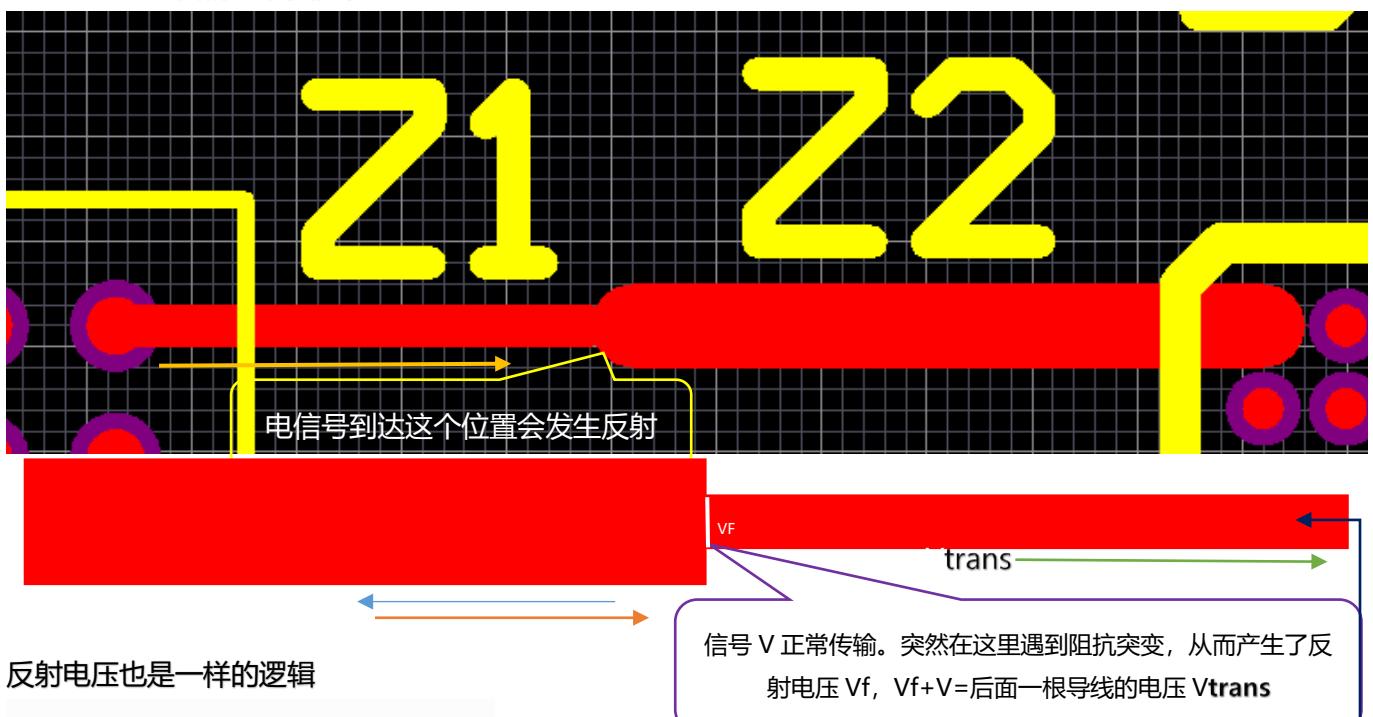
反射的原理分析：



比如说在 DDR 和 EMMC 芯片之间有这么一条高速信号下面，Z1 线宽 10mil，Z2 线宽 20mil
在 PCB 层叠不变的情况下，线宽越窄阻抗越高，线宽越宽，阻抗越低。



像这样一条线我们由窄变宽，按照上面的说法就是 $Z_1 > Z_2$ 阻抗



反射电压也是一样的逻辑

$$\Gamma = \frac{V_{reflect}}{V_{inc}} = \frac{Z_2 - Z_1}{Z_2 + Z_1}$$

反射系数 就是突然变化的阻抗和前面没有变化阻抗之间的关系

$$T = \frac{V_{trans}}{V_{inc}} = \frac{2 * Z_2}{Z_2 + Z_1}$$

传输系数 就是二倍变化的阻抗比上两个阻抗之和

比如说下面这个例子

$$Z_1 = 50\Omega, Z_2 = 75\Omega$$

$$\Gamma = \frac{75 - 50}{75 + 50} = 0.2$$

$$T = \frac{2 * 75}{75 + 50} = 1.2$$

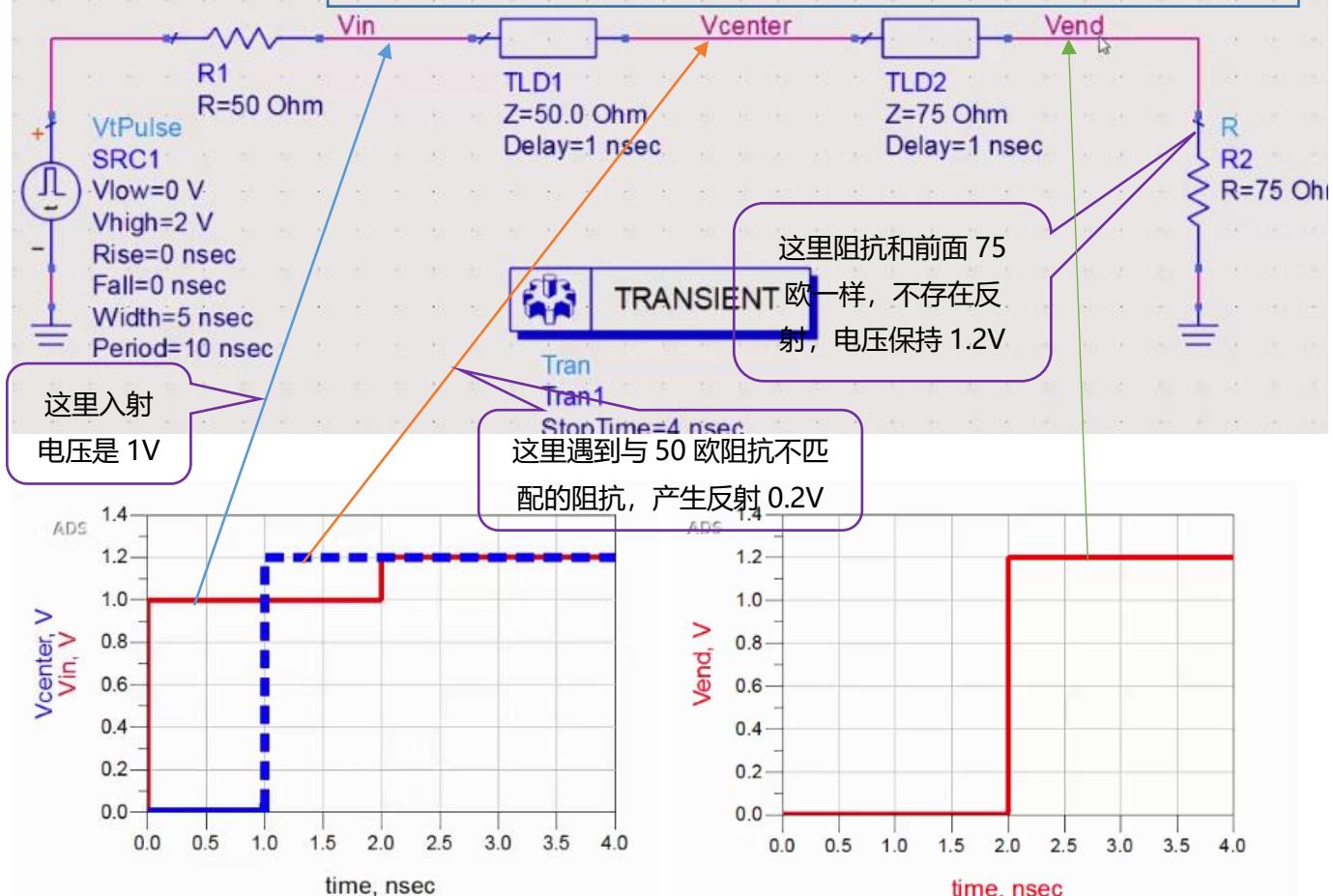
$$V_{inc} = 1V \quad V_{reflect} = \Gamma \times 1V = 0.2V \quad V_{trans} = T \times 1V = 1.2V$$

入射电压

反射电压

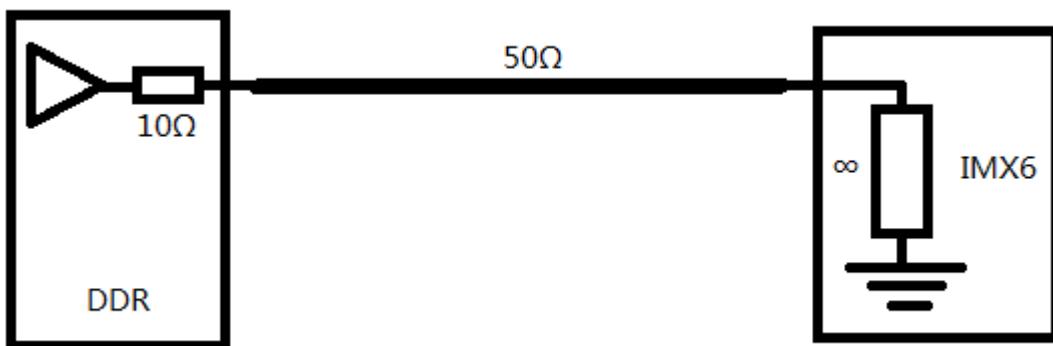
传输电压

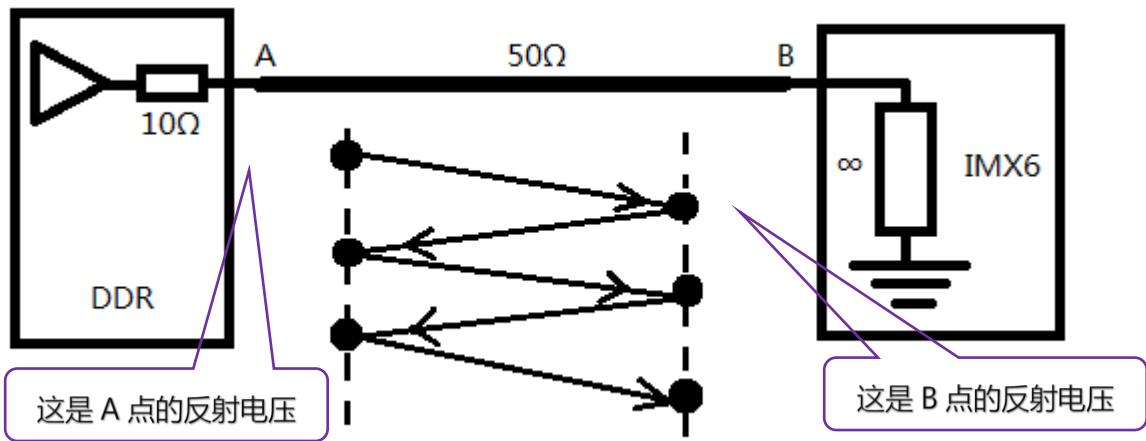
根据上面的公式我们知道 $V_{inc} + V_{reflect} = V_{trans}$ 那么 Z_1 和 Z_2 上的电压相等



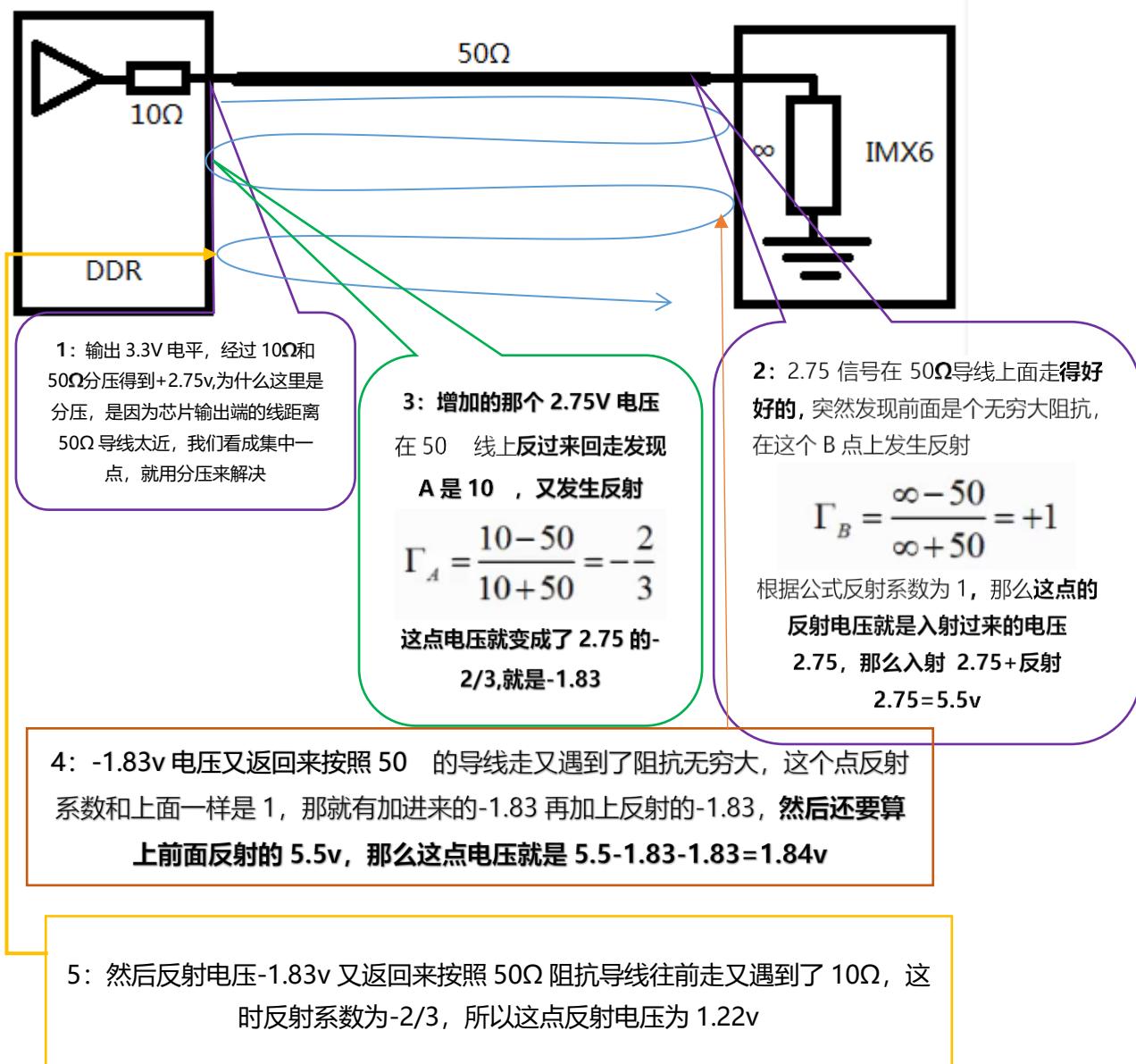
这里为什么最后到末端是 1.2V? , 前面公式已经说得很清楚了。

举个电路中的例子





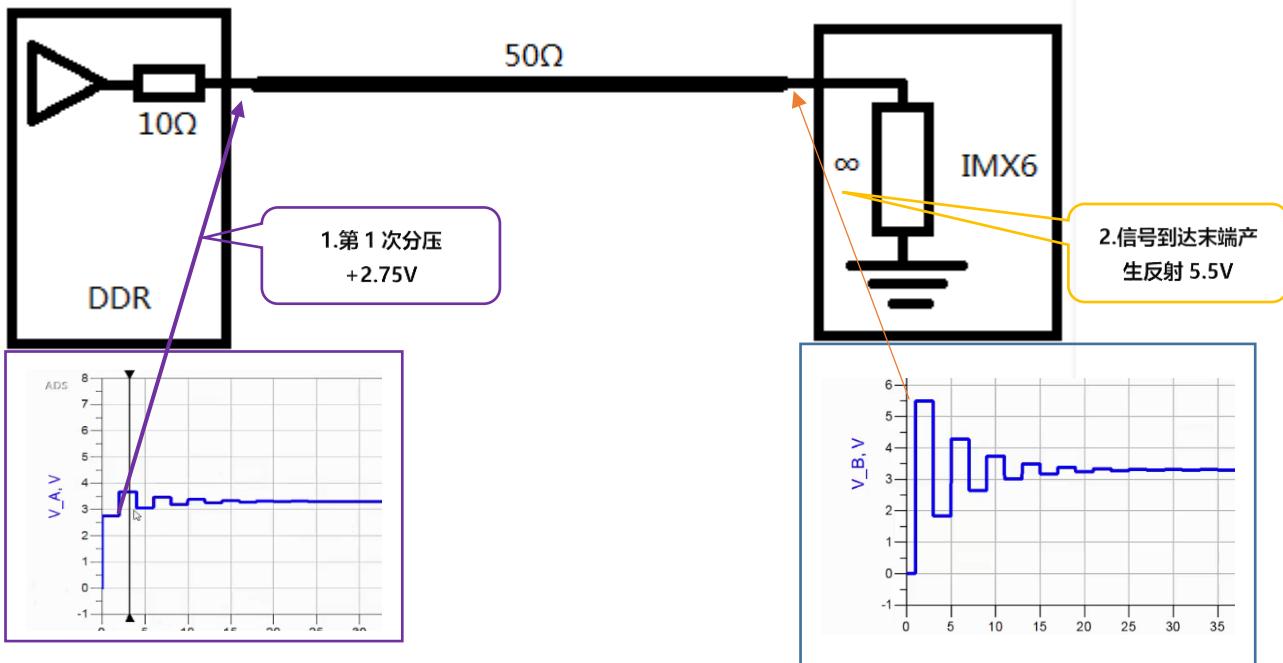
要理解上面的反射电压产生我们还是用个比较形象的比喻好了



以上过程周而复始

下面用波形来描述上面的反射现象

$$\Gamma_B = \frac{\infty - 50}{\infty + 50} = +1$$



所以你在电路中看到的振铃就是信号反射引起的

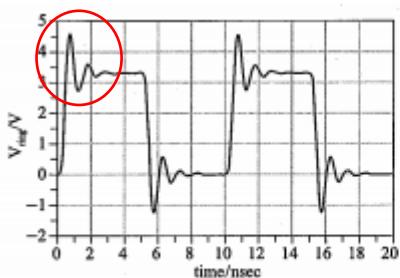


图 4-1 信号的振铃

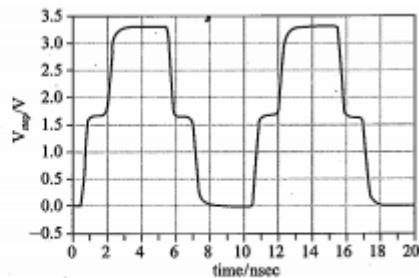
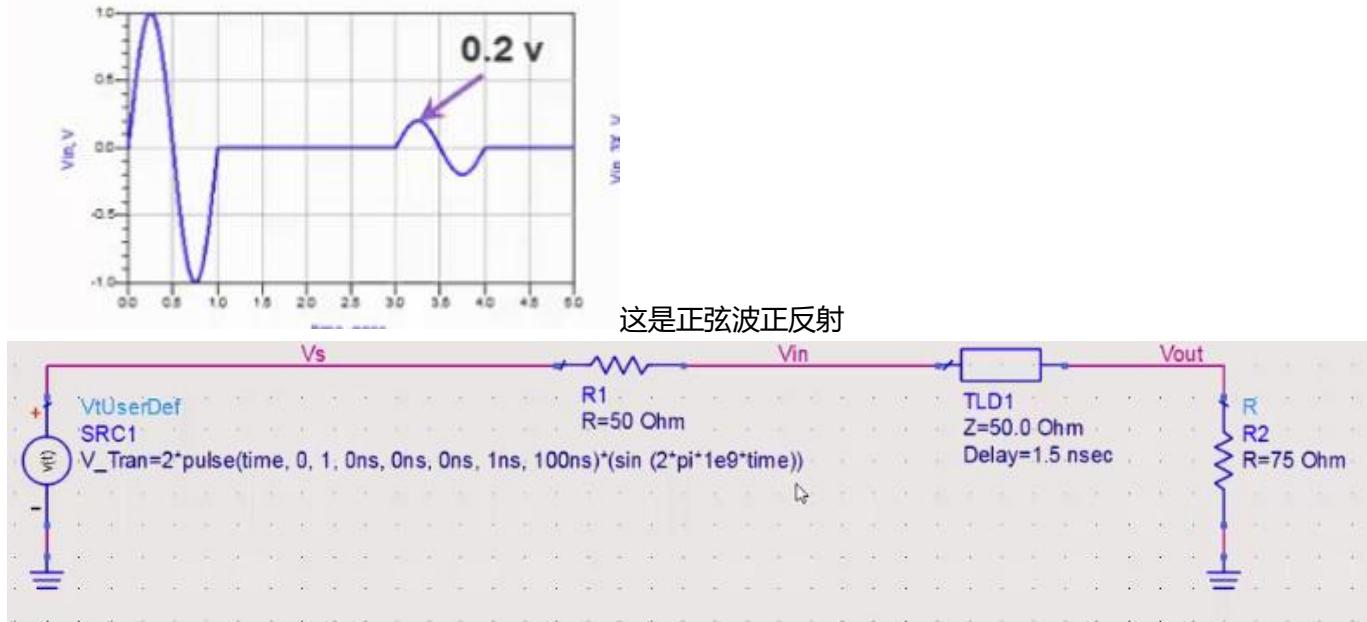


图 4-2 信号边沿的台阶

正弦波反射

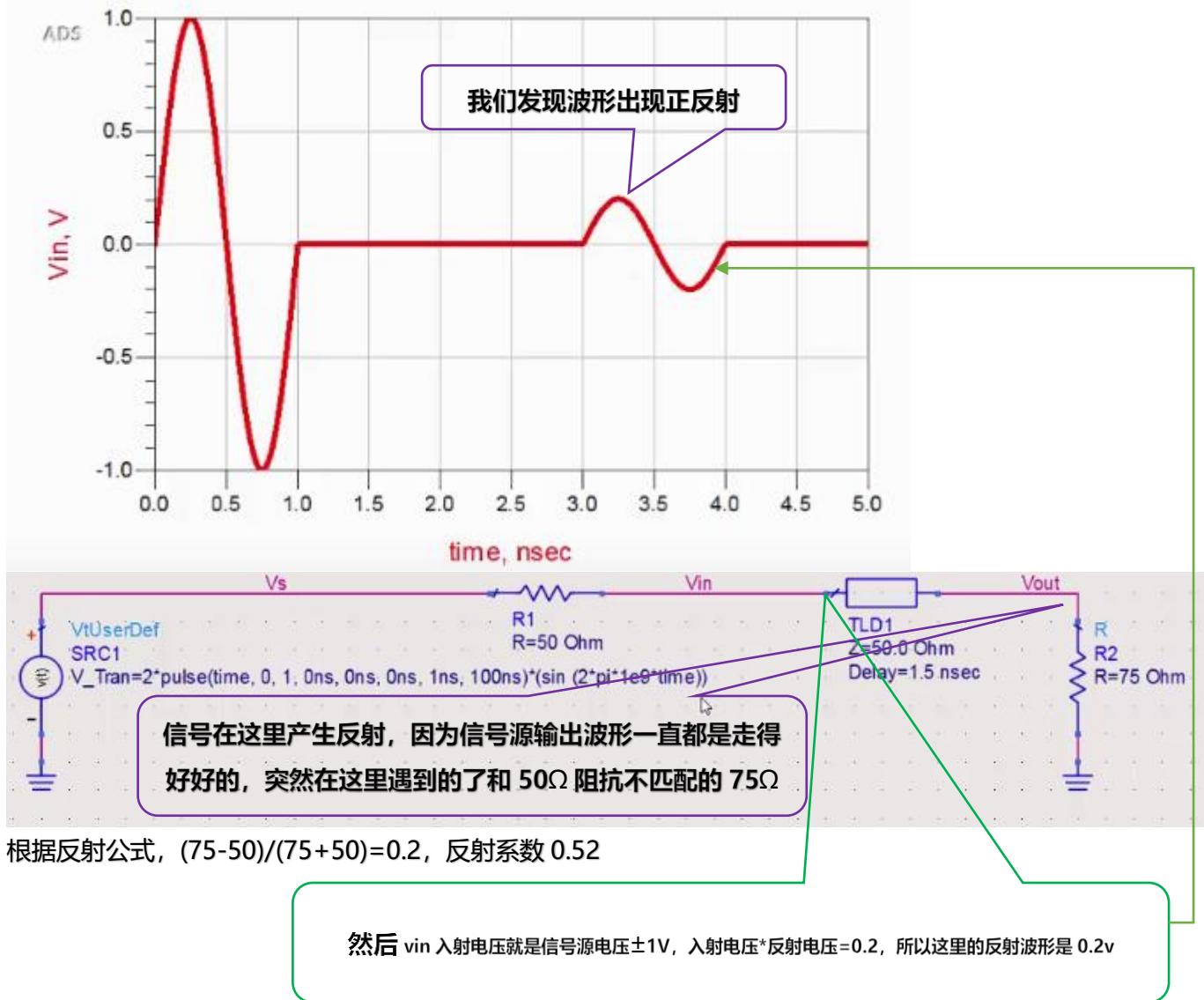
正弦波的正反射



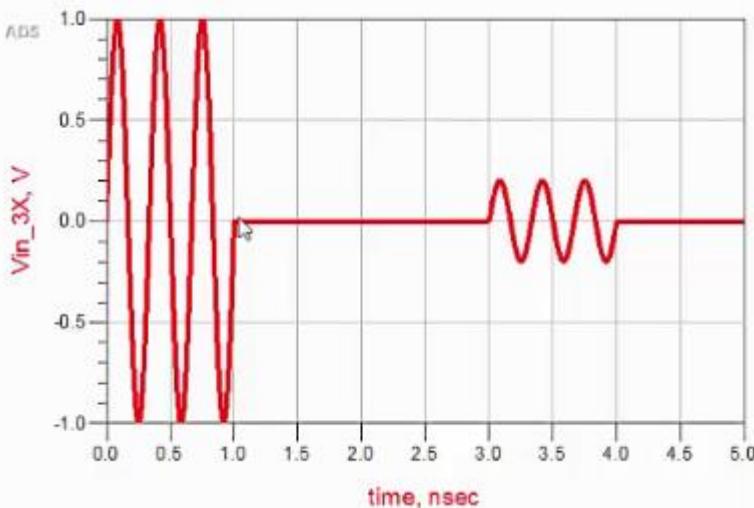
这里举个实例，信号源发送一个 1Ghz 的正弦波，周期 1ns



这就是上面电路从信号源输出的波形，1V，周期 1ns，我就输出一个周期



如果信号是从 1Ghz 开始发生反射的, 那么把信号增大到 3Ghz 是什么结果呢?

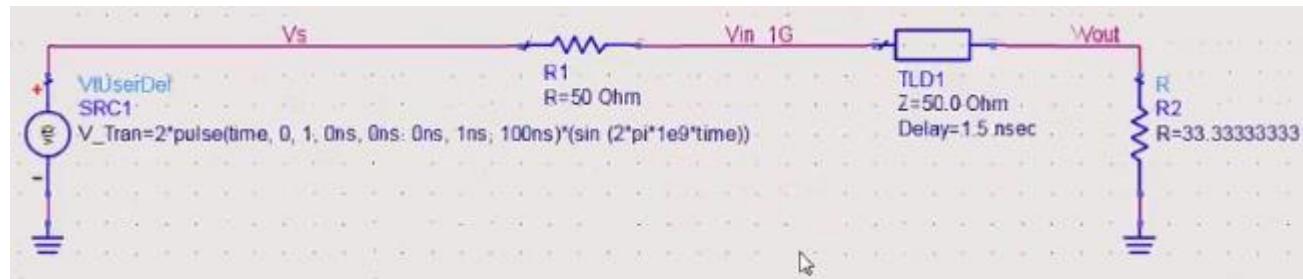


这就是 3Ghz 的反射, 这证明了从第一次谐波发生开始的频率点为基准, 然后向上增加频率就会产生更多谐波, 所以基波就是第一个频点 1Ghz, 然后后面的就是几次谐波, 这里我们看到的是 3 次谐波的波形。

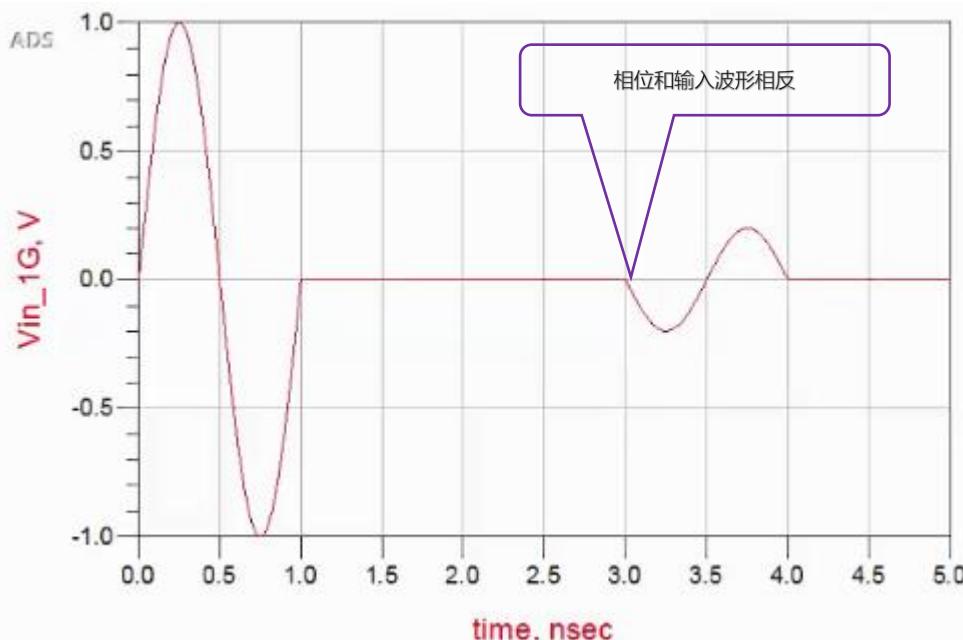
一个方波信号就是一个直流信号加上 N 多次谐波分量



你看这个方波就是我刚才的正弦波基波加上多次谐波的结果，发现了一个共同点就是，正弦波谐波有多少次反射，这个反射也会叠加到方波上面来，方波的反射点也和上面正弦波一样。

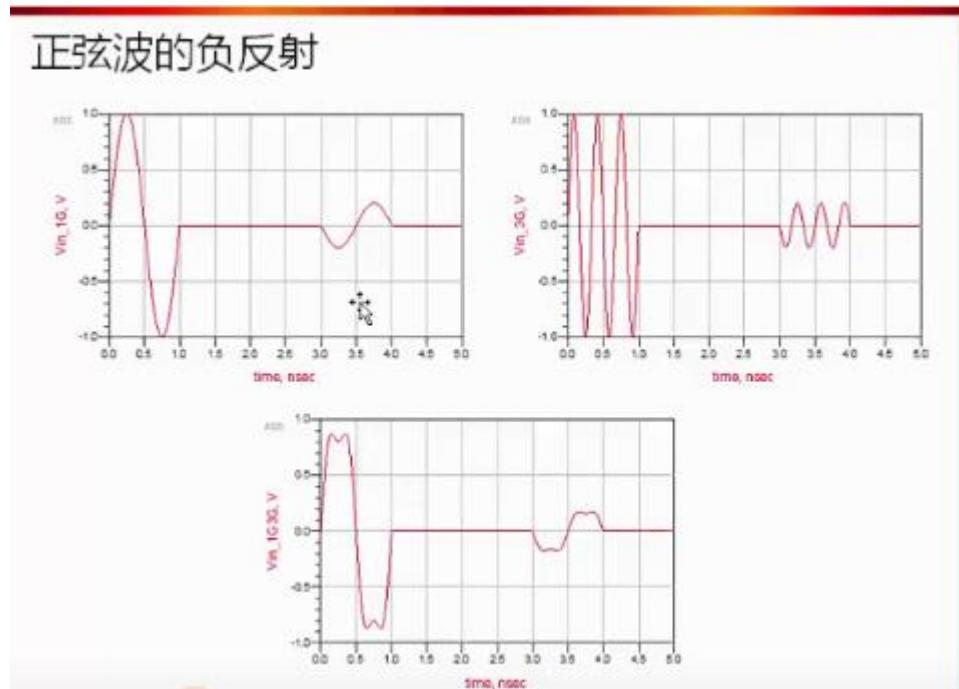


这个电路输出的信号和上面一样 $\pm 1V$, 1Ghz, 周期 1ns, 但是这里的末端电阻是小电阻, 但是你一样的用反射公式计算就是了, 我这里算出结果是-0.2



这就是正弦波负反射

正弦波的负反射



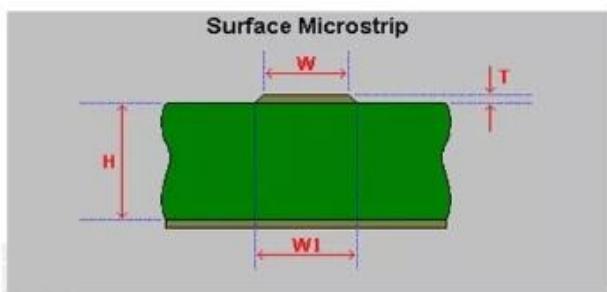
N 次谐波之后方波也是得到负反射的结果。

PCB 微带线特征阻抗计算，也就是 PCB 顶层,底层表面单端走线

以下阻抗计算公式来自于 IPC-D-317

➤ 例一：微带线

微带线在实际中广泛采用，其外层为控制阻抗的信号线面，它和与之相邻的基准面之间用绝缘材料隔开。



式中：

Z_0 ——导线的特性阻抗

ϵ_r ——绝缘材料的介电常数

h ——导线与基准面之间的介质厚度

w ——导线的宽度

t ——导线的厚度

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left(\frac{5.98h}{0.8w+t} \right)$$

公式详细描述

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \times \ln \left(\frac{5.98 \times h}{0.8 \times w+t} \right)$$

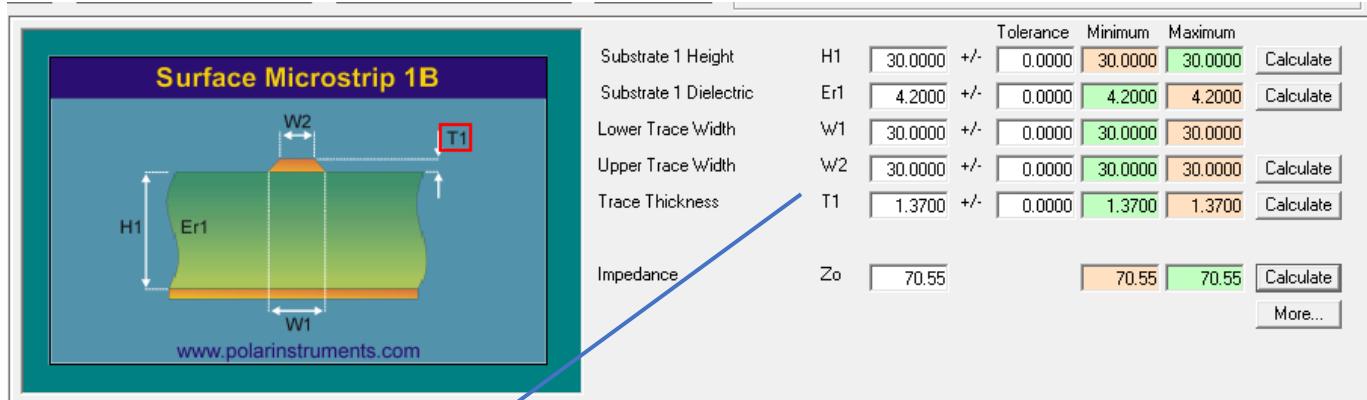
注意:该公式必须在

$0.1 < (\frac{W}{H}) < 2.0$ 系满足 $>1.0, <2.0$ 范围内
公式才起作用，计算准确

$1 < \epsilon_r < 15$ 介电常数也必须满足 $>1,$
 <15 范围内，公式才起作用，计算准确

而且还要注意铜箔(t)厚度必须控制在 $35\mu m, 50\mu m, 70\mu m$ 的范围内，
计算结果才正确，如果铜箔厚度超过这个范围，计算差异是很大的

下面用实例来验证一下



$H1(h) = 30\text{mil}$ 铜箔到底层GND参考面距离

$Er1(Er) = 4.2$ 介电常数

$W1, W2(w) = 30\text{mil}$ 线宽

$T1(t) = 1.37\text{mil}$ 导线铜厚 , $0.035\text{mm}=35\mu\text{m}=1.37\text{mil}$

$$Zo = \frac{87}{\sqrt{Er+1.41}} \ln \left(\frac{5.98h}{0.8w+t} \right)$$

$$Zo = \frac{87}{\sqrt{4.2+1.41}} \ln \left(\frac{5.98 \times 30}{0.8 \times 30 + 1.37} \right)$$

$$Zo = 36.73 \times \ln \left(\frac{179.4}{25.37} \right)$$

$$Zo = 36.73 \times 1.956$$

$$Zo = 71.84\Omega$$

计算出来的阻抗 71.84Ω 和 SI9000 软件 70.55Ω 是差不多的，SI9000 考虑的工程误差。

下面将导线铜厚改成 $50\mu\text{m}$ 试试

H1	30.0000	+/-	0.0000	30.0000	30.0000	Calculate
Er1	4.2000	+/-	0.0000	4.2000	4.2000	Calculate
W1	30.0000	+/-	0.0000	30.0000	30.0000	
W2	30.0000	+/-	0.0000	30.0000	30.0000	Calculate
T1	1.9600	+/-	0.0000	1.9600	1.9600	Calculate
Zo	69.98		50um 微米	69.98	69.98	Calculate
						More...

$$Zo = \frac{87}{\sqrt{Er+1.41}} \ln \left(\frac{5.98h}{0.8w+t} \right)$$

$$Zo = \frac{87}{\sqrt{4.2+1.41}} \ln \left(\frac{5.98 \times 30}{0.8 \times 30 + 1.96} \right)$$

$$Zo = 36.73 \times \ln \left(\frac{179.4}{25.96} \right)$$

$$Zo = 36.73 \times 1.933$$

$$Zo = 70.99\Omega$$

微带线每英寸inch=1000mil=25.4mm , 电容计算

$$Co(\text{pF/inch}) = \frac{0.67(Er+1.41)}{\ln \left(\frac{5.98h}{0.8w+t} \right)}$$

以 $50\mu\text{m}$ 铜厚为例

$$Co = \frac{0.67(4.2+1.41)}{\ln \left(\frac{5.98 \times 30}{0.8 \times 30 + 1.96} \right)} = \frac{3.7587}{1.933} = 1.944\text{pF}$$

$$Co = 1.944\text{pF/inch}$$

计算结果和软件的 2.087pF/inch 差不多
你可以用 $1.944\text{pF}/1000\text{mil} = 0.0019\text{pF}/\text{mil}$

计算结果 70.99Ω 和软件的 69.98Ω 差不多，计算正确

如果实在不满意我们把线宽和介电常数修改一下

	Tolerance	Minimum	Maximum	
H1	[15.0000 +/-]	0.0000	15.0000	15.0000
Er1	[2.0000 +/-]	0.0000	2.0000	2.0000
W1	[20.0000 +/-]	0.0000	20.0000	20.0000
W2	[20.0000 +/-]	0.0000	20.0000	20.0000
T1	[1.9600 +/-]	0.0000	1.9600	1.9600
Zo	[80.73]	80.73	80.73	Calculate More...

$$Z_0 = \frac{87}{\sqrt{Er+1.41}} \ln \left(\frac{5.98h}{0.8w+t} \right)$$

$$Z_0 = \frac{87}{\sqrt{2+1.41}} \ln \left(\frac{5.98 \times 15}{0.8 \times 20 + 1.96} \right)$$

$$Z_0 = 47.11 \times \ln \left(\frac{89.7}{17.96} \right)$$

$$Z_0 = 47.11 \times 1.608$$

$$Z_0 = 75.75\Omega$$

在介电常数变成 2 之后，计算的结果和软件相差 5Ω ，这种就得自己去调整了。

表层微带线信号传输延时计算

信号延时时间和导线宽度，铜箔厚度没有关系，只和板子的介电常数有关系

$$t_{pd}(\text{ns}/\text{ft}) = 1.017 \sqrt{0.475 Er + 0.67}$$

我上面软件设置的介电常数为 2

$$t_{pd} (\text{ns}/\text{ft}) = 1.017 \times \sqrt{0.475 \times 2 + 0.67}$$

$$t_{pd}(\text{ns}/\text{ft}) = 1.294\text{ns}$$

信号在传输线上面会出现 1.294ns 的固定延时，但是和我上面的软件计算的延时时间对不上啊

这是我上面软件用的 ps (皮秒)单位，下面给出 ps (皮秒)公式

$$t_{pd}(\text{ps}/\text{in}) = 85 \sqrt{0.475 Er + 0.67}$$

软件设值的介电常数为 2

$$\begin{aligned} t_{pd}(\text{ps}/\text{in}) &= 85 \sqrt{0.475 \times 2 + 0.67} \\ &= 108.187\text{ps/in} \end{aligned}$$

计算的 108.187ps/in 和软件的 108.460ps/in 差不多

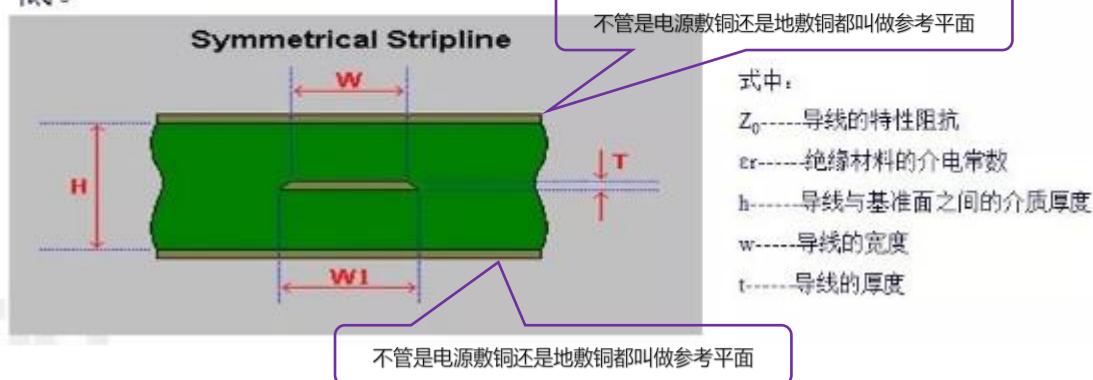
这样 $1\text{inch}=1000\text{mil}=25.4\text{mm}$ ，我用 $108\text{ps}/1000\text{mil}=0.108\text{ps}/\text{mil}$

所以你的导线每 1mil 就有 0.1 皮秒的延时，你的信号周期一定要大于这个 0.1ps ，比如 1ns 信号上升沿，这样就不会出问题，如果信号是 0.01ps 上升沿，那么小于传输线延时 0.1ps ，就会出问题。

带状线特征阻抗计算，也就是多层板内层的走线

➤ 例二：带状线

带状线是指镶嵌在两个交流地层间的薄细导线，与微带线比较，每层电路与地层的电子耦合更近，电流间的串扰会更低。



$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln\left(\frac{1.9(2h+t)}{0.8w+t}\right)$$

注意事项: $\frac{w}{h} < 0.35$ 内层线宽和内层线到参考平面的距离关系要小于 0.35, 计算才有效

$\frac{t}{h} < 0.25$ 铜箔厚度和参考平面距离关系也要小于 0.25, 计算才有效

铜箔厚度只能选择35um, 50um, 70um三种规格计算才有效

下面实例测试

Offset Stripline 1B1A	Substrate 1 Height	H1	20.0000	+/-	0.0000	20.0000	20.0000	Calculate
	Substrate 1 Dielectric	Er1	4.2000	+/-	0.0000	4.2000	4.2000	Calculate
	Substrate 2 Height	H2	20.0000	+/-	0.0000	20.0000	20.0000	Calculate
	Substrate 2 Dielectric	Er2	4.2000	+/-	0.0000	4.2000	4.2000	Calculate
	Lower Trace Width	W1	5.0000	+/-	0.0000	5.0000	5.0000	Calculate
	Upper Trace Width	W2	5.0000	+/-	0.0000	5.0000	5.0000	Calculate
	Trace Thickness	T1	1.3700	+/-	0.0000	1.3700	1.3700	Calculate
	Impedance	Zo	77.34		77.34	77.34	77.34	Calculate
								More...

带状线离两边参考铜箔的距离是 20mil

$$T1(t) = 1.37 \text{ mil} = 35 \mu\text{m}$$

铜箔厚度

$$W1, W2(w) = 5 \text{ mil}$$

线宽

$$Er1, Er2 (Er) = 4.2$$

介电常数，两层要一样

$$H1(h) = 20 \text{ mil}$$

内层导线到两边层铜箔的距离，两边距离也必须一样

$$Zo = \frac{60}{\sqrt{Er}} \ln\left(\frac{1.9(2h+t)}{0.8w+t}\right)$$

$$\frac{W}{H} = \frac{5}{20} = 0.25, \text{ 是小于0.35的线宽和两边距离正确}$$

$$Zo = \frac{60}{\sqrt{4.2}} \ln\left(\frac{1.9(2 \times 20 + 1.37)}{0.8 \times 5 + 1.37}\right)$$

$$\frac{T}{H} = \frac{1.37}{20} = 0.0685, \text{ 是小于0.25的，所以铜厚和线宽两边距离正确}$$

$$Zo = 29.28 \ln\left(\frac{78.603}{5.37}\right)$$

$$Zo = 29.28 \times 2.683$$

$$Zo = 78.55 \Omega$$

计算结果 78.55Ω 和软件
77.34Ω 差不了多少，计算正确

下面将铜箔厚度改成 50um，线宽改成 10mil，带状线距离两边参考平面 40mil，来计算下

	Tolerance	Minimum	Maximum		
H1	40.0000	+/- 0.0000	40.0000	40.0000	<input type="button" value="Calculate"/>
Er1	4.2000	+/- 0.0000	4.2000	4.2000	<input type="button" value="Calculate"/>
H2	40.0000	+/- 0.0000	40.0000	40.0000	<input type="button" value="Calculate"/>
Er2	4.2000	+/- 0.0000	4.2000	4.2000	<input type="button" value="Calculate"/>
W1	10.0000	+/- 0.0000	10.0000	10.0000	<input type="button" value="Calculate"/>
W2	10.0000	+/- 0.0000	10.0000	10.0000	<input type="button" value="Calculate"/>
T1	1.9680	+/- 0.0000	1.9680	1.9680	<input type="button" value="Calculate"/>
Zo	79.67		79.67	79.67	<input type="button" value="Calculate"/> <input type="button" value="More..."/>

$T1(t) = 1.968 \text{ mil} = 50 \mu\text{m}$ 铜箔厚度
 $W1, W2(w) = 10 \text{ mil}$ 线宽
 $Er1, Er2 (Er) = 4.2$ 介电常数，两层要一样
 $H1(h) = 40 \text{ mil}$ 内层导线到两边层铜箔的距离，两边距离也必须一样

$$Zo = \frac{60}{\sqrt{Er}} \ln\left(\frac{1.9(2h+t)}{0.8w+t}\right) \quad \frac{W}{H} = \frac{10}{40} = 0.25, \text{ 是小于0.35的线宽和两边距离正确}$$

$$Zo = \frac{60}{\sqrt{4.2}} \ln\left(\frac{1.9(2 \times 40 + 1.968)}{0.8 \times 10 + 1.968}\right) \quad \frac{T}{H} = \frac{1.968}{40} = 0.0492 \text{ 是小于0.25的，所以铜厚和线宽两边距离正确}$$

$$Zo = 29.28 \ln\left(\frac{155.739}{9.968}\right)$$

$$Zo = 29.28 \times 2.74$$

$$Zo = 80.48 \Omega$$

计算结果 80.48Ω 和软件计算结果 79.67Ω 差不多，计算正确

带状线的走线电容和走线延时由如下公式计算

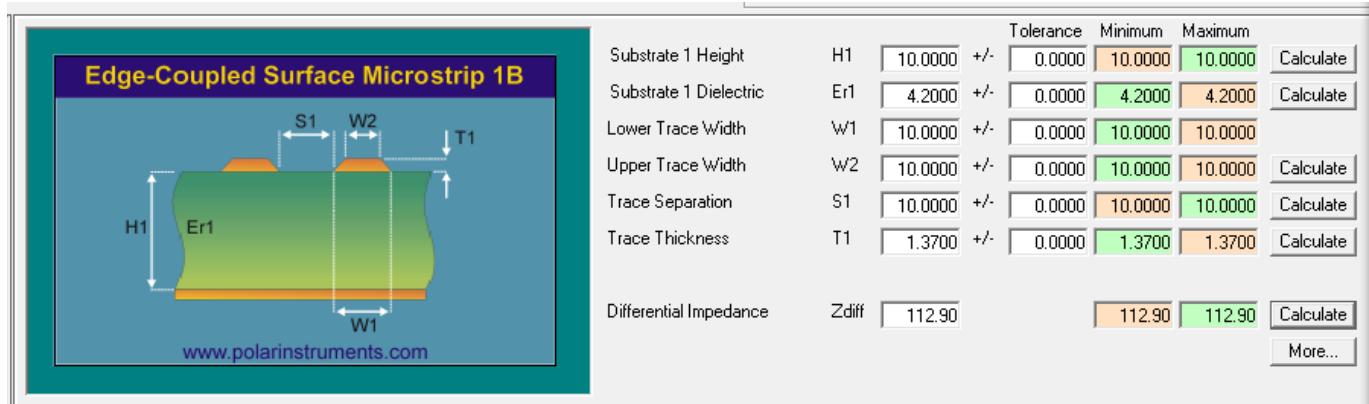
$$C_o (\text{pF/in}) = \frac{1.41(\epsilon_r)}{\ln[3.81H/(0.8W+T)]}$$

$$t_{pd} (\text{ns/ft}) = 1.017 \sqrt{\epsilon_r}$$

$$t_{pd} (\text{ps/in}) = 85\sqrt{\epsilon_r}$$

如果不懂参数含义, 请看上几页微带线的走线电容, 延时计算方法。

表层微带差分线阻抗计算



表层差分信号线阻抗计算

$$Z_o = \frac{87}{\sqrt{Er+1.41}} \ln \left(\frac{5.98h}{0.8w+t} \right) \quad \text{必须先把表层的单根信号线阻抗计算出来}$$

单个信号线也必须满足 $0.1 < \frac{w}{h} < 2$ 和 $1 < Er < 15$ 这种范围, 计算才准确

有了单根信号线的阻抗, 才能计算差分信号线

数学基础: 负指数如何计算

$$Z_{diff} = 2 \times Z_o (1 - 0.48 e^{-0.96 \frac{d}{h}})$$

$$\text{比如 } 5^{-3} = \frac{1}{5^3}$$

Z_{diff} 就是差分阻抗

$$\text{比如 } 2^{-2} = \frac{1}{2^2}$$

e自然常数: 是无线循环无理数

$$e = 2.71828.....$$

根据上面公式, 计算下上面软件的参数

$H1(h) = 10\text{mil}$ 介质厚度10mil
 $Er = 4.2$ 介电常数4.2
 $W1, W2(w) = 10\text{mil}$ 线宽，因为是差分信号线所以两个线宽必须一致，10mil
 $S1(d) = 10\text{mil}$ 差分信号线的间距，必须满足1倍线宽，10mil
 $T1(t) = 1.37\text{mil}$ 铜箔厚度 $1.37\text{mil} = 35\mu\text{m}$

表层差分信号线阻抗计算

$$Z_o = \frac{87}{\sqrt{Er+1.41}} \ln \left(\frac{5.98h}{0.8w+t} \right)$$

单个信号线也必须满足 $0.1 < \frac{w}{h} < 2$ 和 $1 < Er < 15$ 这种范围，计算才准确

$$Z_o = \frac{87}{\sqrt{4.2+1.41}} \ln \left(\frac{5.98 \times 10}{0.8 \times 10 + 1.37} \right)$$

$$Z_o = 68.078$$

有了单根信号线的阻抗，才能计算差分信号线

$$Z_{diff} = 2 \times Z_o (1 - 0.48 e^{-0.96 \frac{d}{h}})$$

Z_{diff} 就是差分阻抗

$$Z_{diff} = 2 \times 68.078 (1 - 0.48 \times 2.71828^{-0.96 \frac{10}{20}})$$

负指数计算

$$Z_{diff} = 2 \times 68.078 (1 - 0.48 \times 0.382)$$

$$Z_{diff} = 111\Omega$$

计算结果 111Ω 和软件的 112.90Ω 差不多，计算正确

为了进一步验证表层差分线阻抗计算，修改铜箔厚度，和介质厚度

Substrate 1 Height	H1	[20.0000]	+/-	[0.0000]	20.0000	Calculate
Substrate 1 Dielectric	Er1	[4.2000]	+/-	[0.0000]	4.2000	Calculate
Lower Trace Width	W1	[10.0000]	+/-	[0.0000]	10.0000	Calculate
Upper Trace Width	W2	[10.0000]	+/-	[0.0000]	10.0000	Calculate
Trace Separation	S1	[10.0000]	+/-	[0.0000]	10.0000	Calculate
Trace Thickness	T1	[1.9680]	+/-	[0.0000]	1.9680	Calculate
Differential Impedance	Zdiff	[124.44]		[124.44]	124.44	Calculate
					More...	

$$H1(h) = 20\text{mil}$$

介质厚度 20mil

$$Er = 4.2$$

介电常数4.2

$$W1, W2(w) = 10\text{mil}$$

线宽，因为是差分信号线所以两个线宽必须一致，10mil

$$S1(d) = 10\text{mil}$$

差分信号线的间距，必须满足1倍线宽，10mil

$$T1(t) = 1.968$$

铜箔厚度 $1.968\text{mil} = 50\mu\text{m}$

表层差分信号线阻抗计算

$$Z_o = \frac{87}{\sqrt{Er+1.41}} \ln \left(\frac{5.98h}{0.8w+t} \right)$$

单个信号线也必须满足 $0.1 < \frac{w}{h} < 2$ 和 $1 < Er < 15$ 这种范围，计算才准确

$$Z_o = \frac{87}{\sqrt{4.2+1.41}} \ln \left(\frac{5.98 \times 20}{0.8 \times 10 + 1.968} \right)$$

$$Z_o = 91.265$$

有了单根信号线的阻抗，才能计算差分信号线

$$Z_{diff} = 2 \times Z_o (1 - 0.48 e^{-0.96 \frac{d}{h}})$$

Z_{diff} 就是差分阻抗

$$Z_{diff} = 2 \times 91.265 (1 - 0.48 \times 2.71828^{-0.96 \frac{10}{20}})$$

负指数计算

$$Z_{diff} = 2 \times 91.265 (1 - 0.48 \times 0.6188)$$

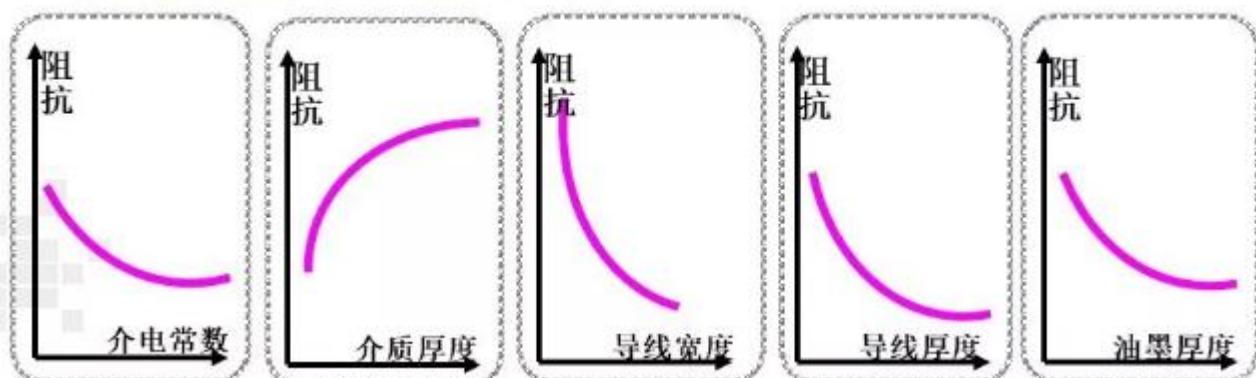
$$Z_{diff} = 128\Omega$$

计算结果 128Ω 和软件结果 124Ω 相差 4Ω ，自行调整参数

对于多层板，走线阻抗的直观理解



各因素与阻抗的关系图如下:



根据阻抗的结构图及各相关因素的公式可计算出各因素的贡献度:



例二：不同P片介电常数随树脂含量和工作频率变化列表：---参考

B片种类	不同工作频率的介电常数	
	1MHz	1GHz
7628	4.52	4.16
7628H(50%)	4.42	4.04
7628(41%)	4.60	4.23
2116	4.38	4.00
2116H(56%)	4.30	3.90
1080	4.15	3.70
1500	4.50	4.14
106	4.02	3.54

阻抗条设计及阻抗测试仪

阻抗测试仪介绍

时域反射仪(TDR)是阻抗控制的最佳测试仪器，它容许阻抗随线路测试的调整长度而改变，以快速上升时间的脉冲仿真快速逻辑功能上的测试，任何反射的电压表示出阻抗的改变。

目前市面上的仪表有：

Tektronix 11801C、
Polar CITS-500S、
HP-54750A

Polar CITS-500S阻抗测试仪



TDR 原理

在示波器发出脉冲波后，同时接收其反射波，然后将此两种脉冲对比分析，从反射能量的大小得出阻抗值；TDR输出信号到测试条，通过反射信号同自身发出信号进行“比对”进行模拟到数字的转换得到阻抗条的测试数据

