

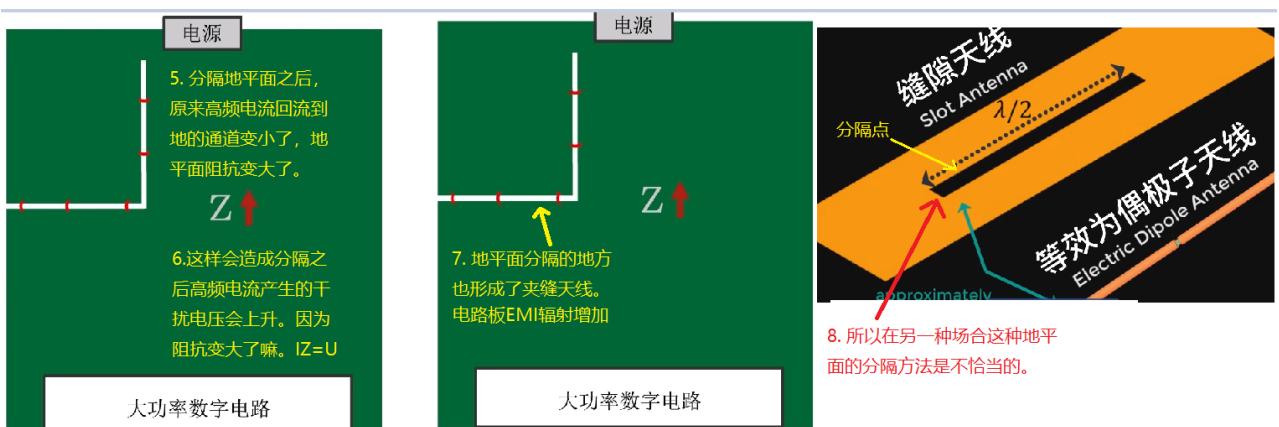
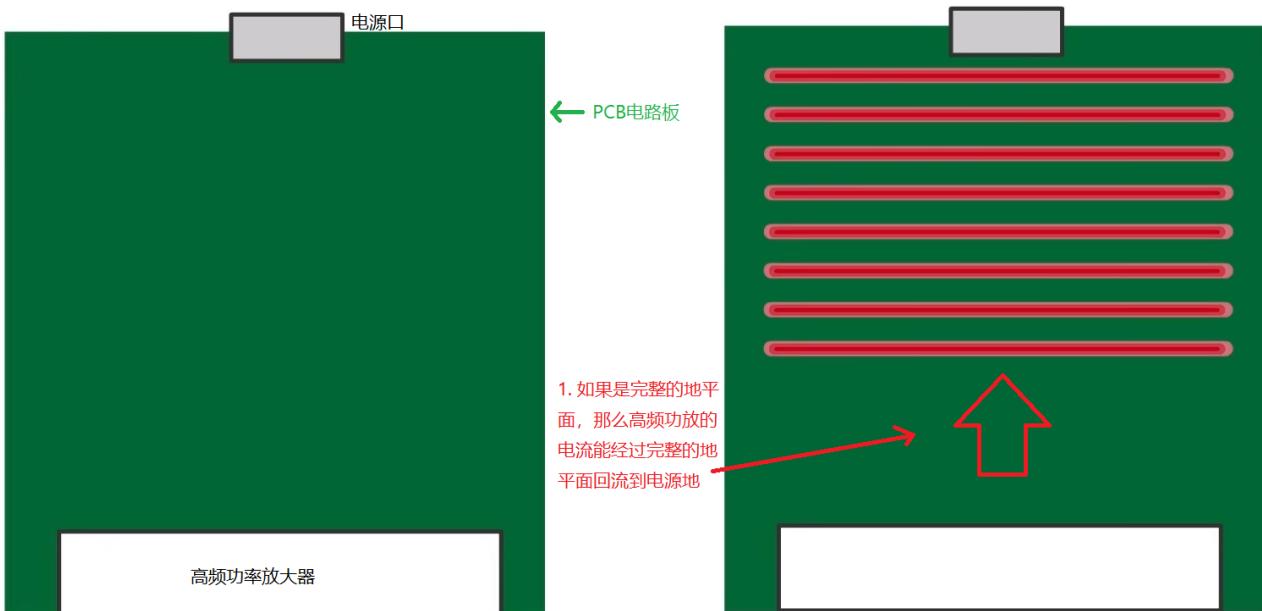
信号完整性及 PCB 设计

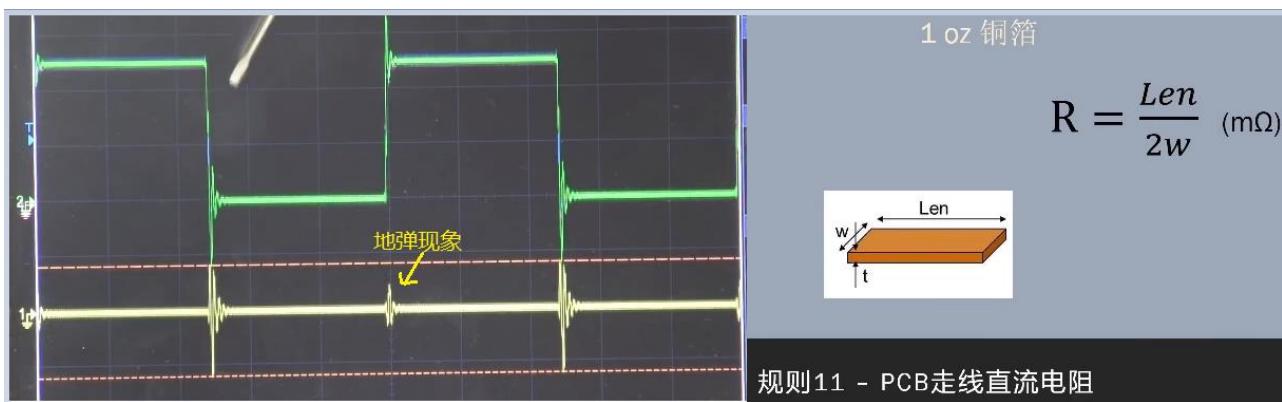
作者：向仔州

目录

| | |
|------------------------------|----|
| 信号线地弹噪声 | 2 |
| 数字信号的带宽由上升沿决定，而不是频率 | 5 |
| 双面板 USB2.0 布线设计 | 7 |
| 电路板中走线之间，间距多大才能减少串扰？ | 9 |
| 如何将电路板噪声再降低一个档次？ | 11 |
| PCB 走线是越短越好，那么多短才是最好呢？ | 13 |
| PCB 布线走直角或者锐角到底好不好？ | 15 |
| 20H 规则 | 16 |
| 敷铜到底好不好，什么时候适合敷铜？ | 17 |
| 串扰产生的细节 | 19 |
| 回流路径的概念 | 22 |
| PCB 上多种形式的差分线布线 | 24 |
| 信号阻抗不连续的地方为什么会产生反射？ | 26 |
| PCB 过孔对信号走线阻抗的影响 | 29 |
| 示波器能看到 PCB 信号的反射吗 | 30 |
| 50hz 工频干扰现象 | 31 |
| 噪声消除实验 | 32 |
| 电流环抗干扰实验 | 33 |

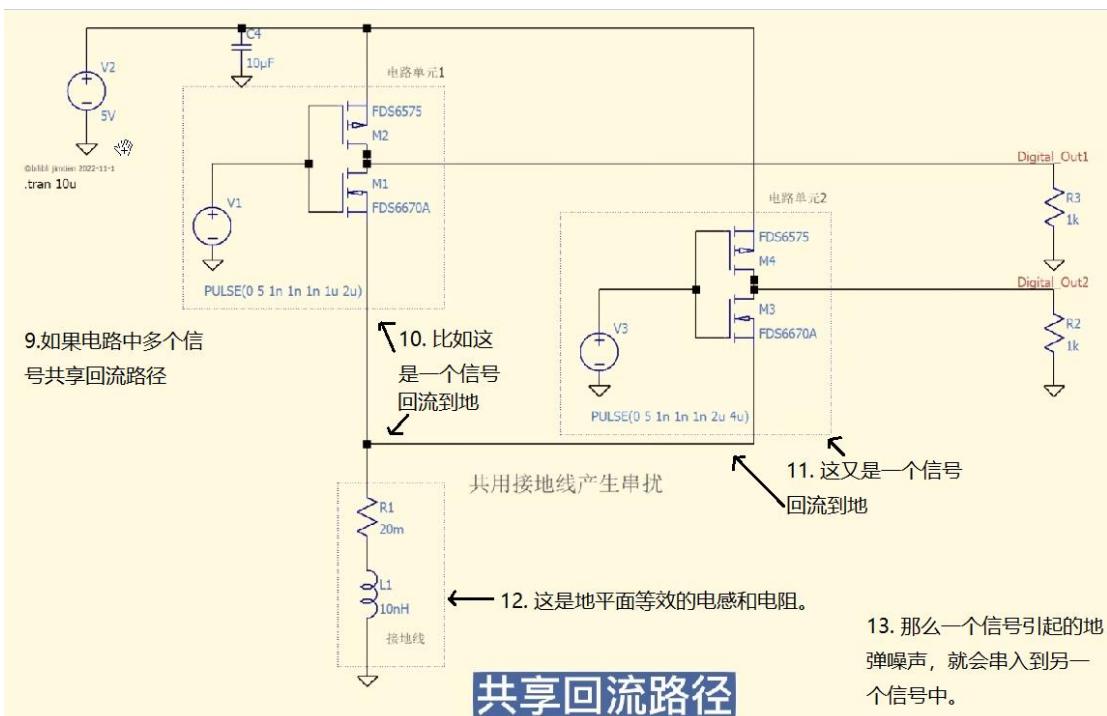
信号线地弹噪声





如果信号的回流路径的寄生电感过大

高频电流经过回流路径就会产生噪声干扰
这个在地线上出现的干扰电压，通常叫地弹。





$$V_{gnd} = L \frac{dI}{dt} = nL \frac{V_s}{Z_0 T_r}$$

V_{gnd} 是地弹电压

V_s 是信号电压

L 是回流路径总电感

n 是信号线数量

Z_0 是回路特征阻抗

T_r 是上升时间

计算信号路径回流
地弹电压公式

$$R_{noise} = \frac{V_{gnd}}{V_s} = \frac{nL}{Z_0 T_r}$$

如果信号线是按 $Z_o = 50\Omega$ 设计的，就有

$$\text{信噪比 } R_{noise} = 2\% \frac{nL}{T_r}$$

例如：

回流路径总电感：5nH

信号上升时间：2ns

信号线数量：3条

地弹/信号= 2%*5nH*3/2=15%

15% 就是地弹电压与信号电压之比。

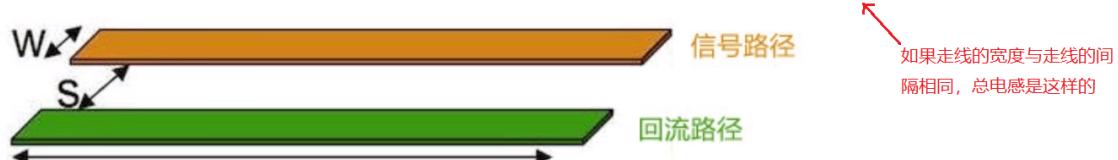
回流路径电感如何确定？

对于50欧姆传输线，回流路径电感公式如下：

$$L = 8.3nH/inch = 3.3nH/cm$$

对于平行的信号线和回流路径

$$L = 10nH/inch = 3.9nH/cm$$



这两条公式可以用来估计插座或者芯片引脚走线电感。

如果走线周围有大面积铜箔，或者间距与线宽不符，以上经验公式没用了需要二维电磁场求解器计算。

数字信号的带宽由上升沿决定，而不是频率

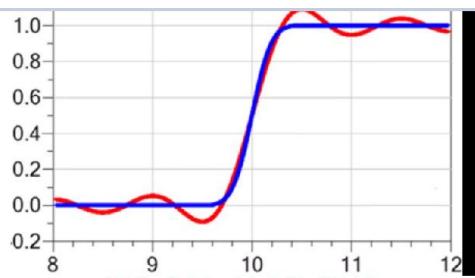
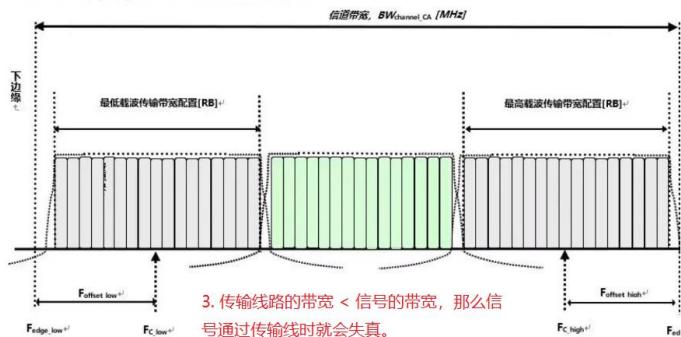
数据传输率—秒钟内数据传输量

1. 数字信号的带宽与模拟信号带宽是两个不同的概念。

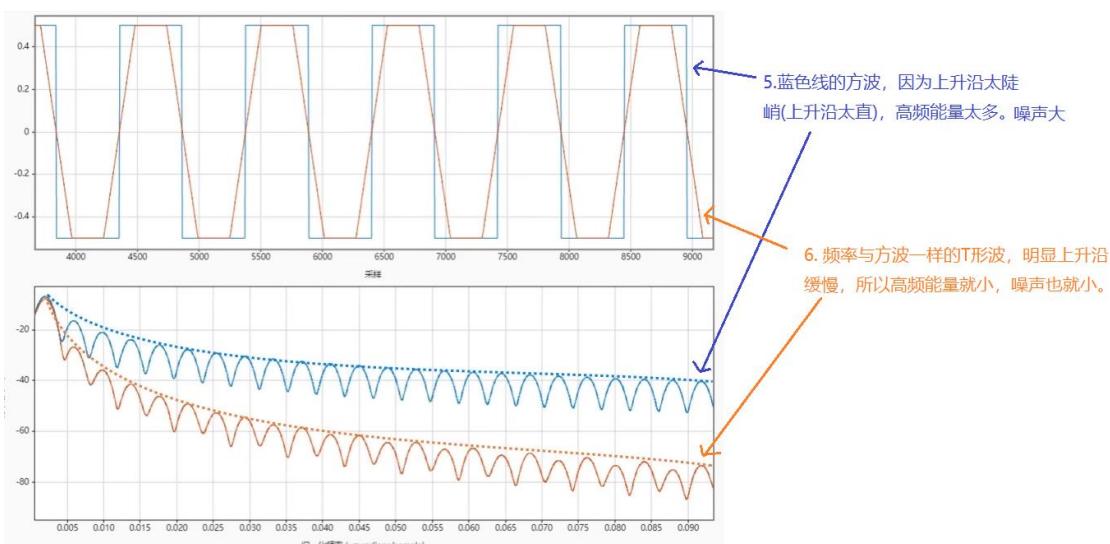
bps: 比特/秒
Bps: 字节/秒

带宽 信号的频率范围

2. 信号带宽指的是信号所占用的频率范围。



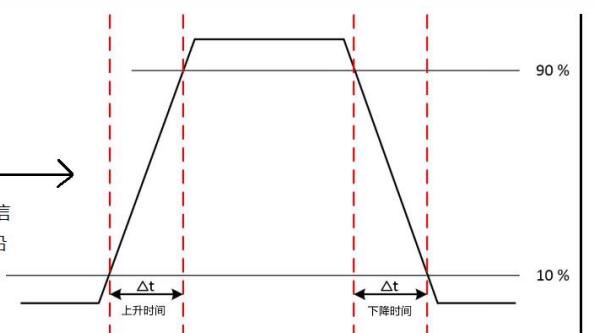
4. 数字信号的带宽不仅与它数据传输率有关，还与数字信号的上升和下降沿有关系



$$BW(GHz) = \frac{0.35}{T_r(ns)}$$

1. Tr是10%到90%上升时间，单位为ns纳秒

2. BW是信号带宽，单位为Ghz。这里的BW表示信号中最高的频率成分。或者认为是重建这个上升沿为Tr的波形所需要的最高频率。



如上升沿 $tr = 1 \text{ ns}$

$BW = 350 \text{ MHz}$

那么最高正弦波频率成分是350Mhz

$tr = 350 \text{ ps}$

$BW = 1 \text{ GHz}$

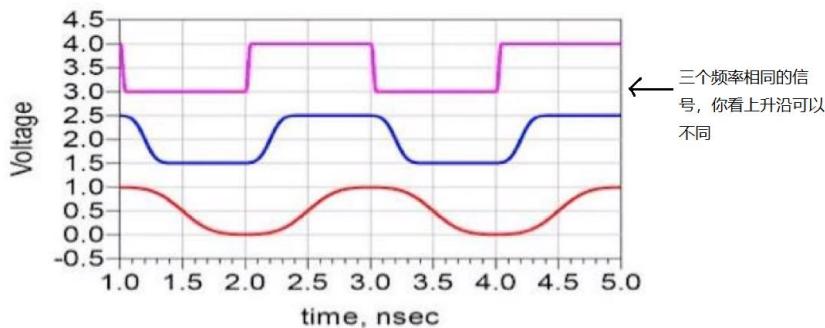
如果方波上升沿时间是350ps，那么传输线路带宽需要1Ghz以上才能保证信号(方波)不失真。

经验公式估计信号带宽

$$BW[Ghz] = 5 \times F_{clock}[GHz]$$

BW是信号的带宽，单位是Ghz

F_{clock} 为时钟频率，单位为Ghz

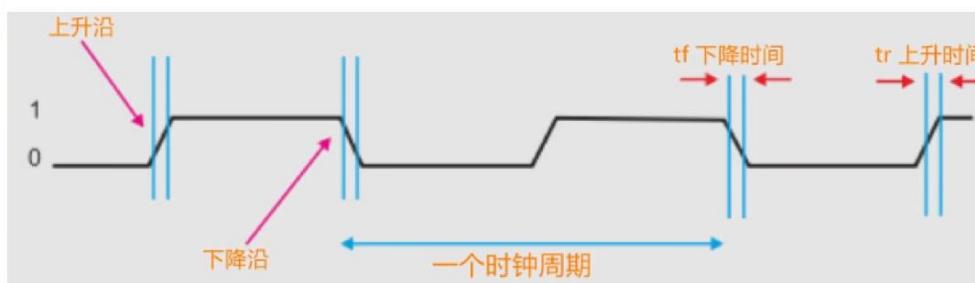


$$t_r = 7\% \times T$$

如果没有时钟信号的上升沿参数，可以用该经验公式来估计。

T为时钟周期

t_r 算出来上升时间

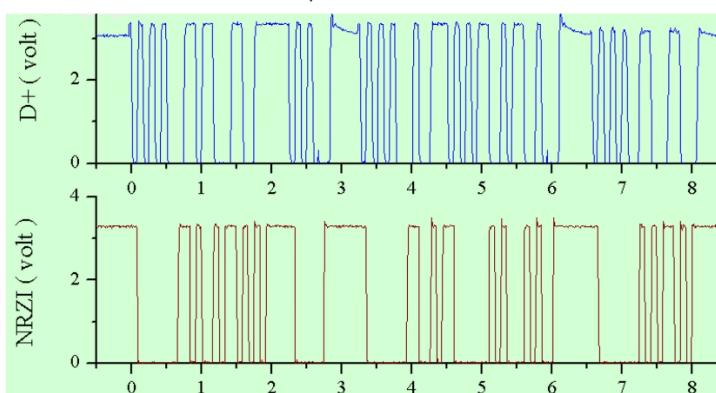


$$BW = \frac{0.35}{T_r} = \frac{0.35}{0.07 \times T} = 5 \times F_{clock}$$

知道了上升时间，估算信号的带宽可以用该公式

也就是时钟信号的带宽为其频率的5倍

例如：USB2.0的数据速率为480Mbps，带宽是多少呢？



因为大多数串行信号都是每周期传输2bit的反向不归零编码信号，其潜在的时钟频率为比特率的一半。所以480Mbps的信号时钟频率为240Mhz。

$$BW = \frac{0.35}{T_r} = \frac{0.35}{0.07 \times T} = 5 \times F_{clock}$$

直接时钟算带宽

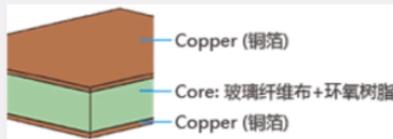
那么USB2.0 信号带宽=1.2Ghz

双面板 USB2.0 布线设计

1. 常见双面板规格

2. 常规1.6mm厚电路板

| 层 | ID | 类型 | 材料 | 厚度 | 颜色 | Epsilon R (相对介电常数) |
|--------------|------|----------|----------|---|-----|--------------------|
| F.Silkscreen | 顶层丝印 | 未标明 | | | 未标明 | |
| F.Paste | 顶部焊膏 | | | | | |
| F.Mask | 顶层阻焊 | 未标明 | 0.01 mm | | 未标明 | 3.3 |
| F.Cu | 铜层 | | 0.035 mm | | 未标明 | 3.3 |
| Dielectric 1 | 中心 | FR4 | 1.51 mm | | 未标明 | 4.6 |
| B.Cu | 铜层 | 4. 板材FR4 | 0.035 mm | | 未标明 | 5. 介电常数4.6 |
| B.Mask | 底层阻焊 | 未标明 | 0.01 mm | | 未标明 | 3.3 |
| B.Paste | 底部焊膏 | | | 6.板芯厚度1.5mm, (也就是板厚), 我之前 说的是1.6mm, 其实 差不多 | | |
| B.Silkscreen | 底层丝印 | 未标明 | | | | |



$$v = \frac{c}{\sqrt{D_k}} = \frac{3 \times 10^8}{\sqrt{4.6}} = 1.4 \times 10^8 \text{ m/s}$$

c: 表示光速

Dk: 表示介电常数

u: 表示传播距离

7. 根据电路板参数, 计算电路板上信号传播的速度。

意思就是每个纳秒传播的距离是
14cm厘米。

低速模式

8. 我们以USB2.0低速模式为例

传输速率: 1.5 Mbps

上升/下降时间: 75~300 ns 9. 我们取最快的75ns

11. 得到1050cm,
取1/10就是1米

临界长度(10%): $(14\text{cm/ns} \times 75\text{ns}) / 10 = 1 \text{ (m)}$

10. 我们之前算出来, 该规格电路板上信号线每纳秒传播距离是14cm。

12. 所以在USB低速模式下, D+/D- 差分走线长度只要低于1米, 就可以随便搞。

全速模式

13. 如果在USB全速模式下

传输速率: 12 Mbps

上升/下降时间: 4~20 ns 14. 取4ns

15. 下面两种10%和25%都可以取
值, 我取25% 14cm这种。

临界长度(10%): $(14\text{cm/ns} \times 4\text{ns}) / 10 = 5.6 \text{ (cm)}$

临界长度(25%): $(14\text{cm/ns} \times 4\text{ns}) / 4 = 14 \text{ (cm)}$

16. 所以在USB全速模式下, D+/D- 走线长度只要不超过14cm, 就不需要做阻抗匹配

高速模式

传输速率: 480 Mbps

上升/下降时间: 500 ps

17. 在高速模式下, 传输线长度最大不能超过

17.5mm, 其实这是很难做到的, 那么如果走线长

度超过17.5mm就必须对走线做阻抗匹配。

这时候即使是很短的走线也接近信号的波长了

临界长度(10%): $(14\text{cm/ns} \times 500\text{ps}) / 10 = 7 \text{ (mm)}$

临界长度(25%): $(14\text{cm/ns} \times 500\text{ps}) / 4 = 17.5 \text{ (mm)}$

USB2.0 的D+和D-是差分信号线，差分信号阻抗为90Ω

设计之前要根据电路板参数，计算好走线宽度，间距，并布置好地平面。

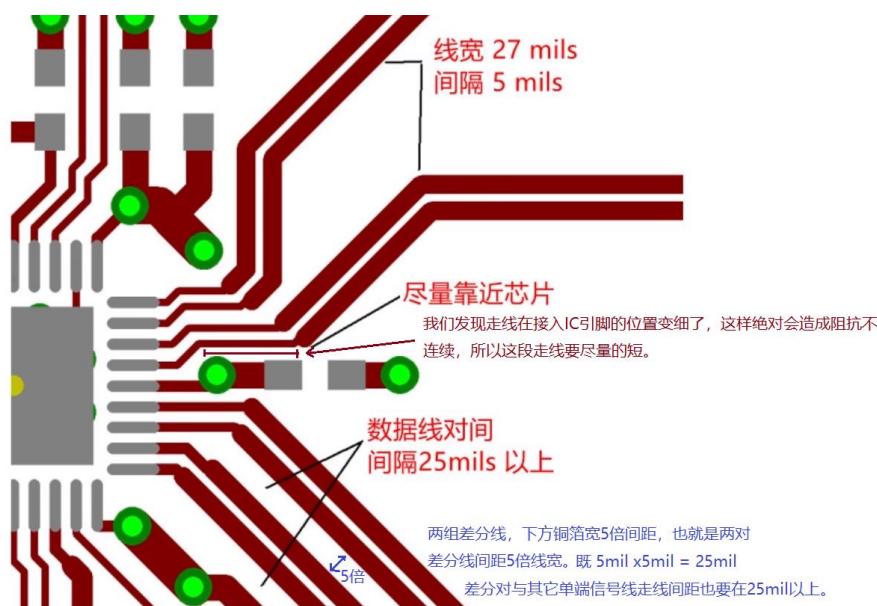
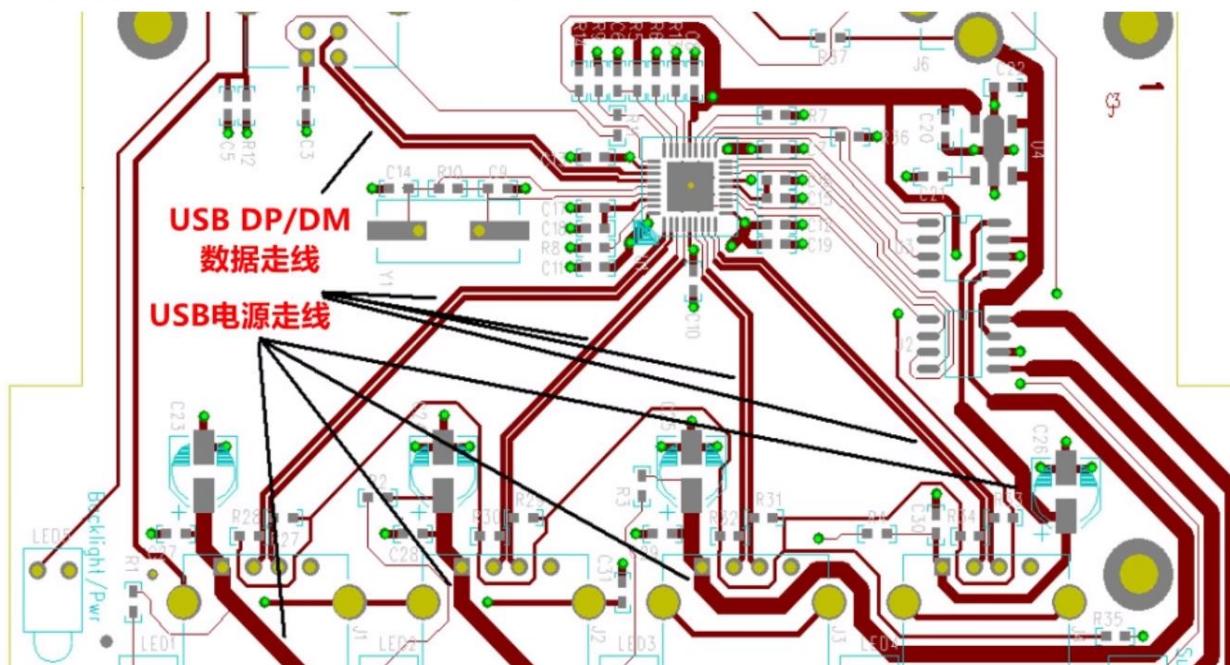
如果是USB3.0 那么最高可达到5Gbps，这种情况在双面板就不要想做阻抗匹配了。换多层板，或者超端距离连接。

USB 差分对长度匹配问题：

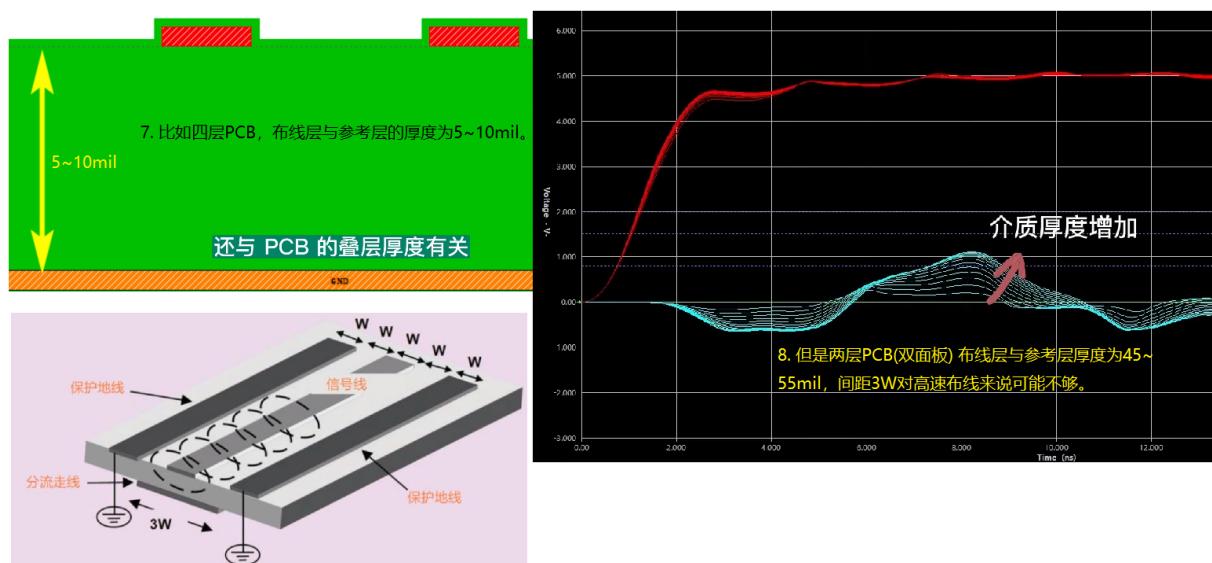
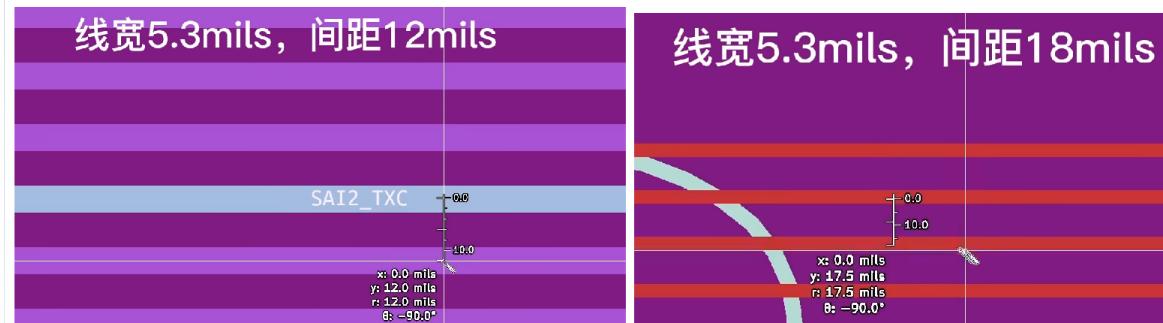
USB2.0要求D+和D-运行有100ps皮秒的时钟偏移。

换算成长度偏差是1.4cm厘米，也就是D+最多比D-长1.4cm，反过来D-也最多比D+ 长1.4cm。

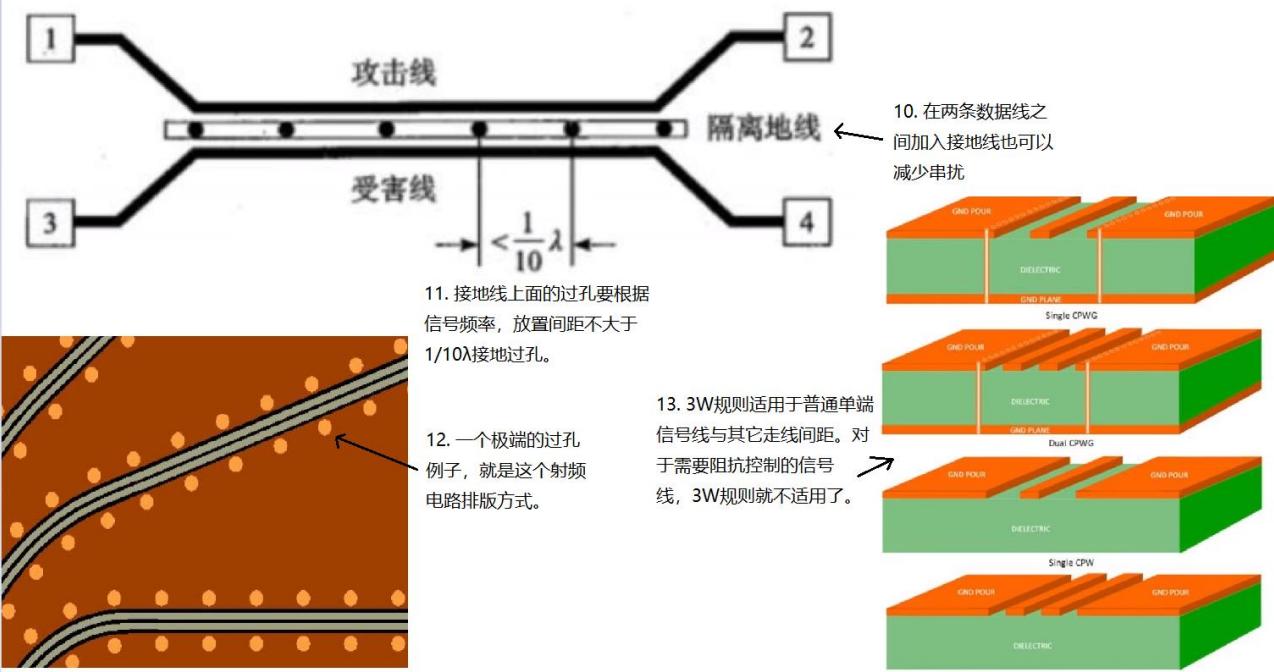
我们来看看微芯，USB2514芯片做的4端口USB2.0扩展电路。这里板子用的双面板。



电路板中走线之间，间距多大才能减少串扰？

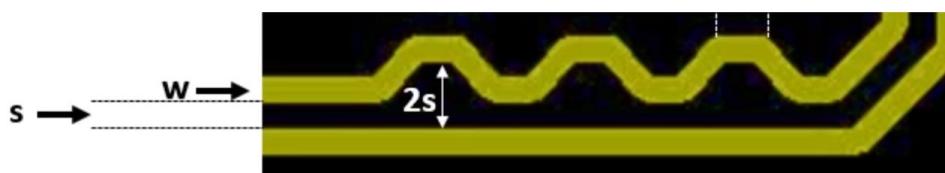
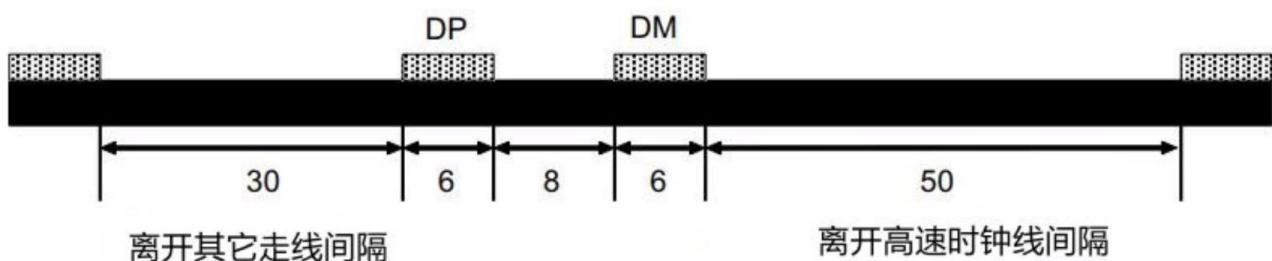


9. 如果3W规则也无法使某些信号线减少串扰, 那就在产生串扰的信号线两侧加保护地线。在垂直方向上放分流走线。

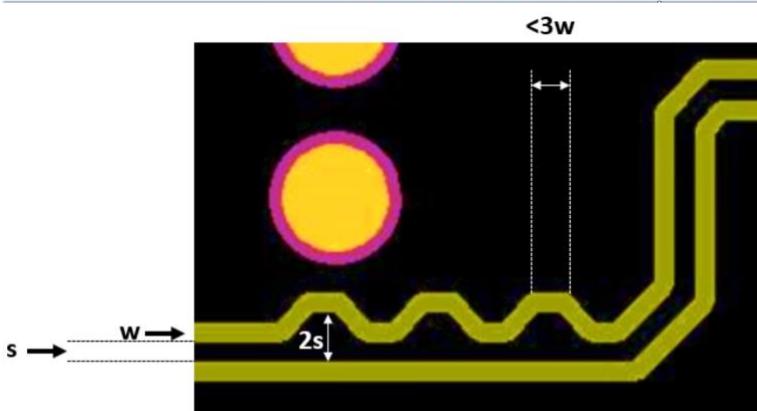


USB 2.0 布线参数 单位: mil

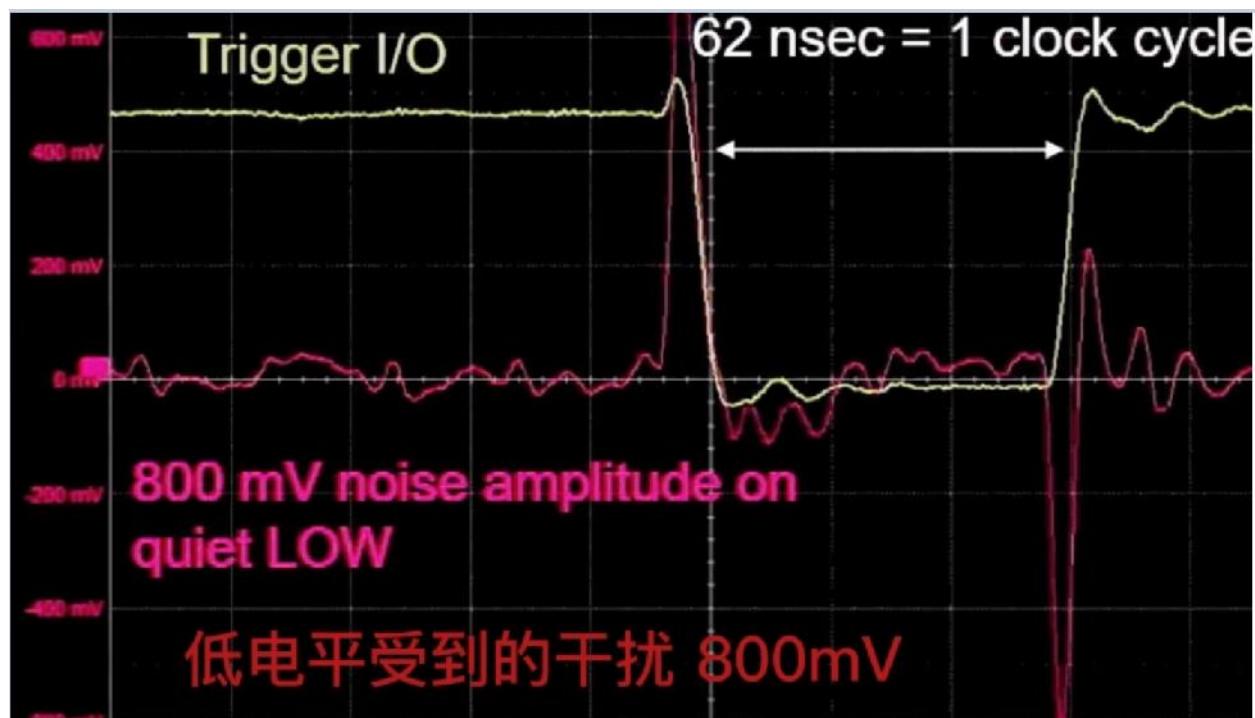
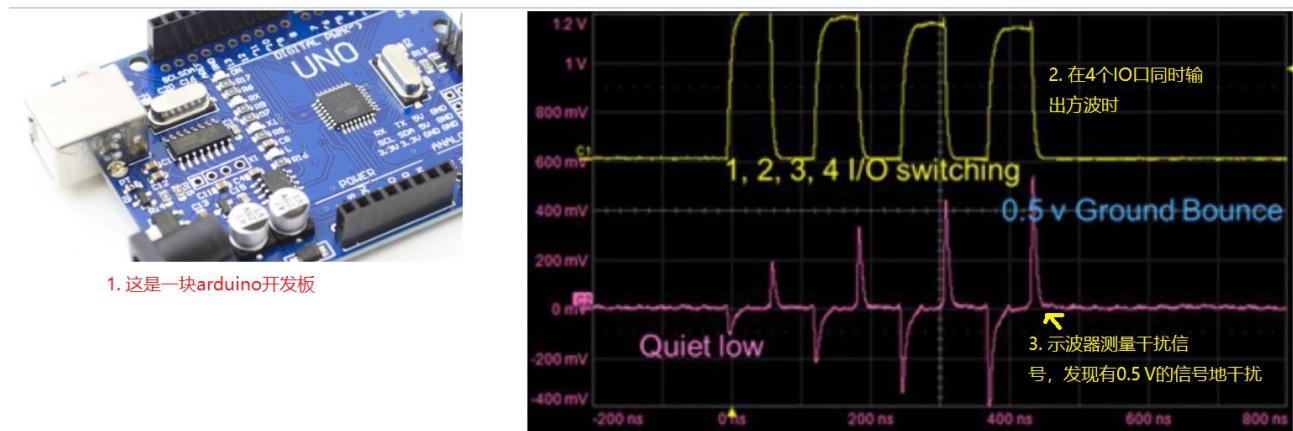
14. 比如USB2.0走线, 高速差分对线之间, 间距要在5WI以上。



在信号线长度匹配走蛇形线时, 为了不使阻抗变化太大, 要求蛇形线段的长度 < 3W



如何将电路板噪声再降低一个档次?

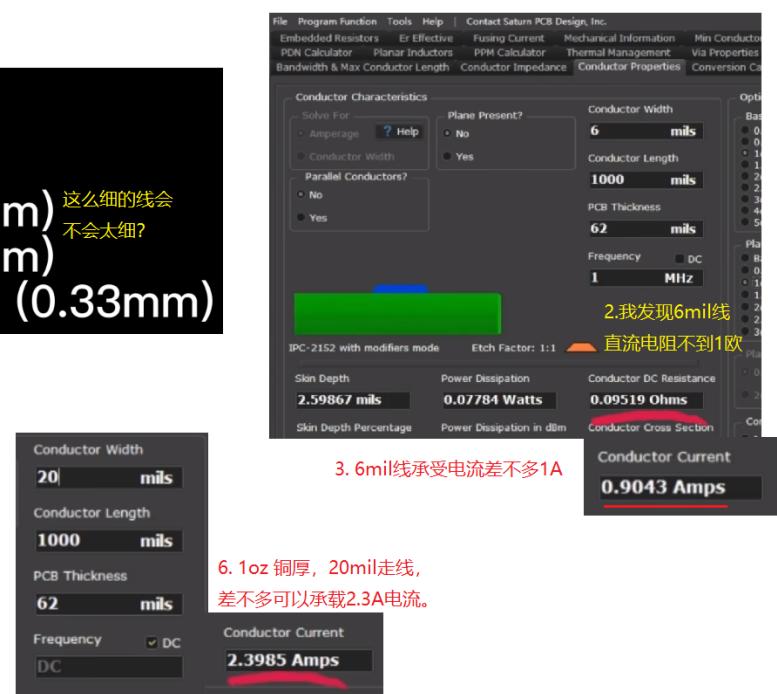


| 3个IO口同时输出方波 | 重新设计电路板 | 原电路板 | 改进后的噪声对比 |
|-------------|---------|---------|----------|
| 高电平噪声 | 175mVpp | 750mVpp | |
| 低电平噪声 | 120mVpp | 500mVpp | |
| 5V电源噪声 | 76 mVpp | 90mVpp | |
| 3.3V噪声 | 41 mVpp | 19mVpp | |

改进方式如下：

1 线宽设置

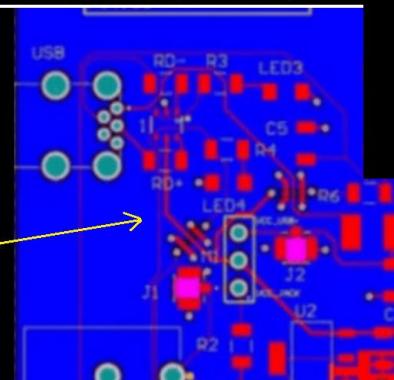
- 信号线 6 mil (0.15mm) 这么细的线会
不会太细?
- 电源线 20 mil (0.5mm)
- 过孔钻孔直径 13 mil (0.33mm)



2 层设置

- 底层为完整地平面
- 顶层放置元件、走信号和电源线

蓝色为底层
红色为顶层

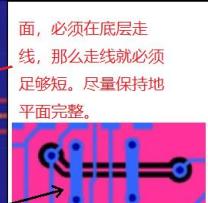


3 分散布局

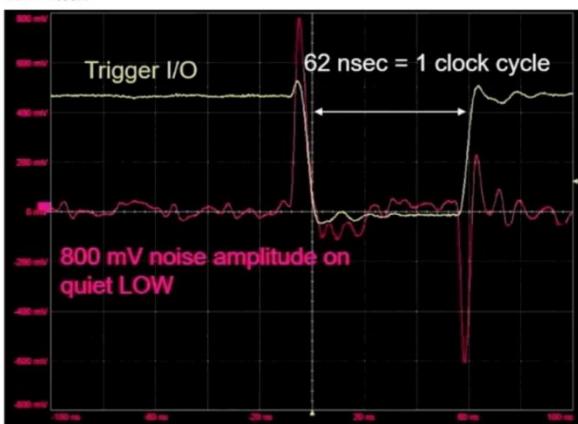
- 避免走线集中聚在一起
- 信号线间留足够空间, 以减小串扰

4 回流路径

- 尽量避免在地层走线,
保证地平面完整性
- 添加回流路径



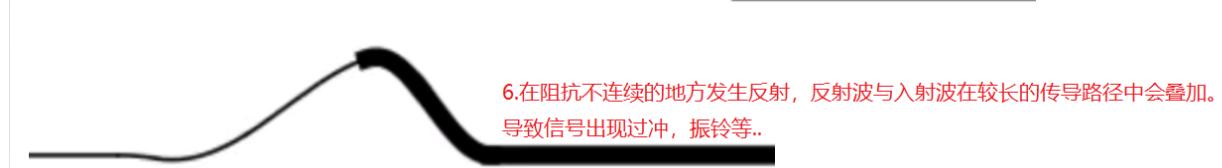
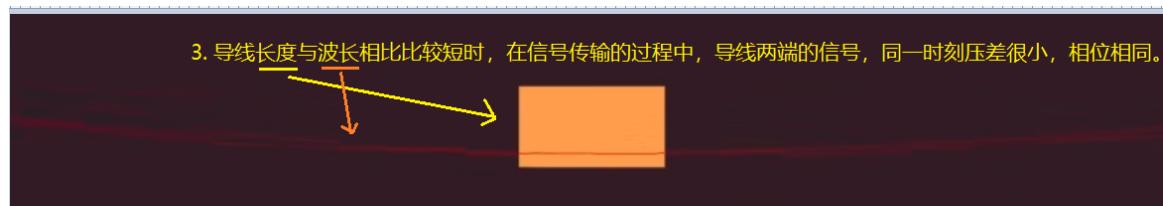
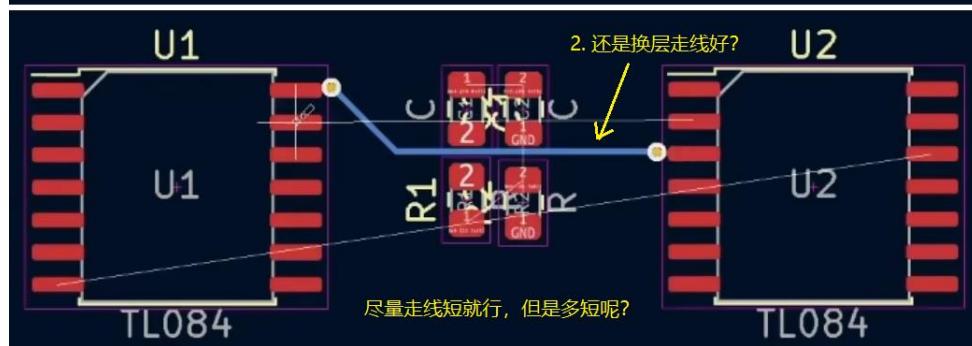
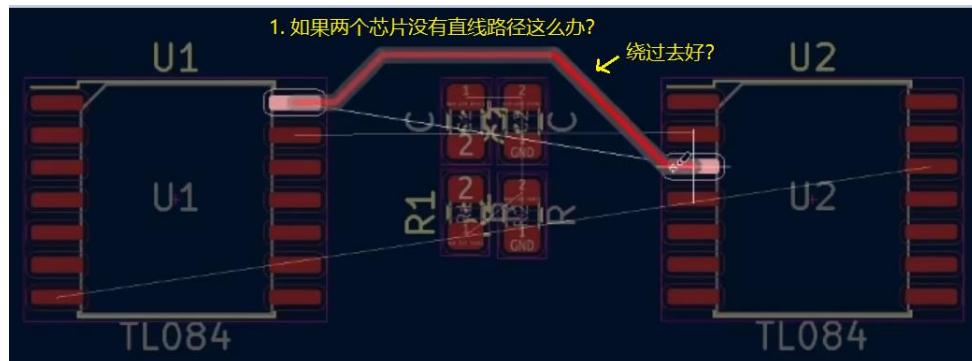
原电路板



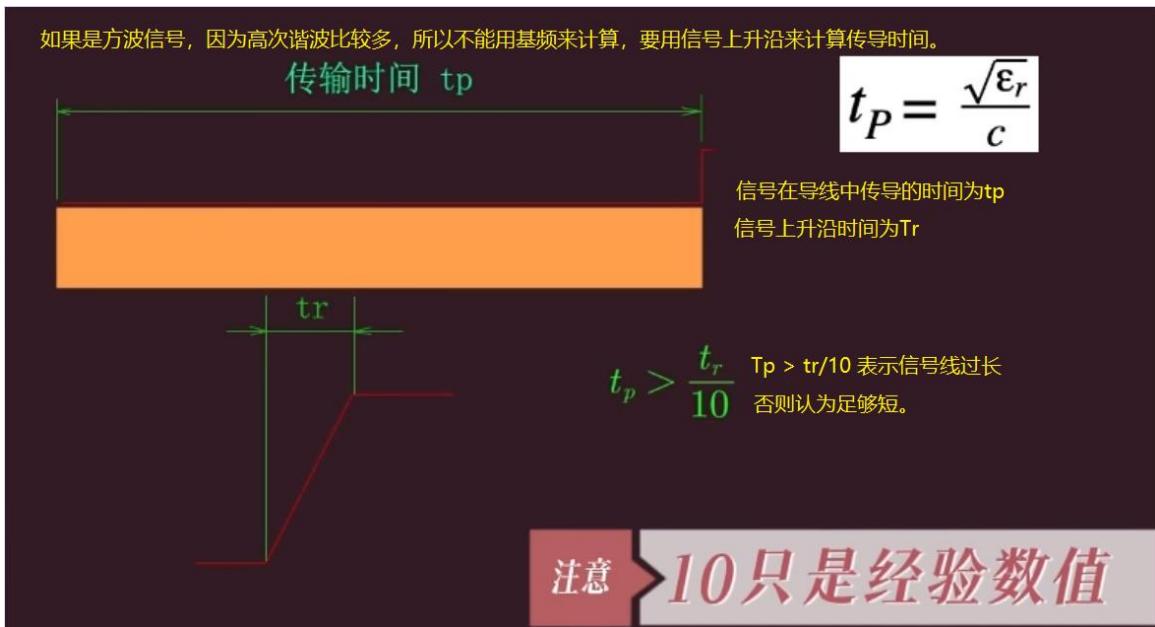
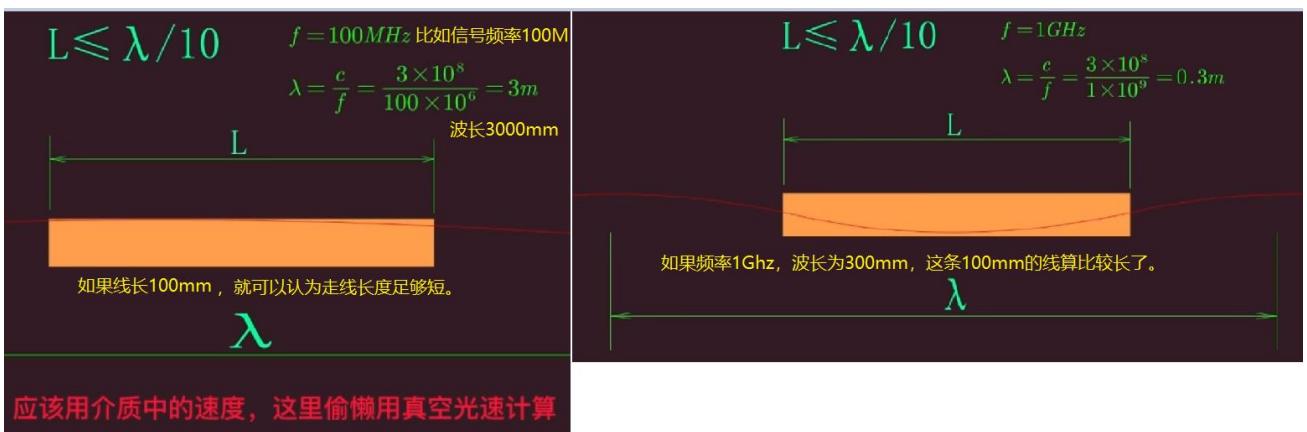
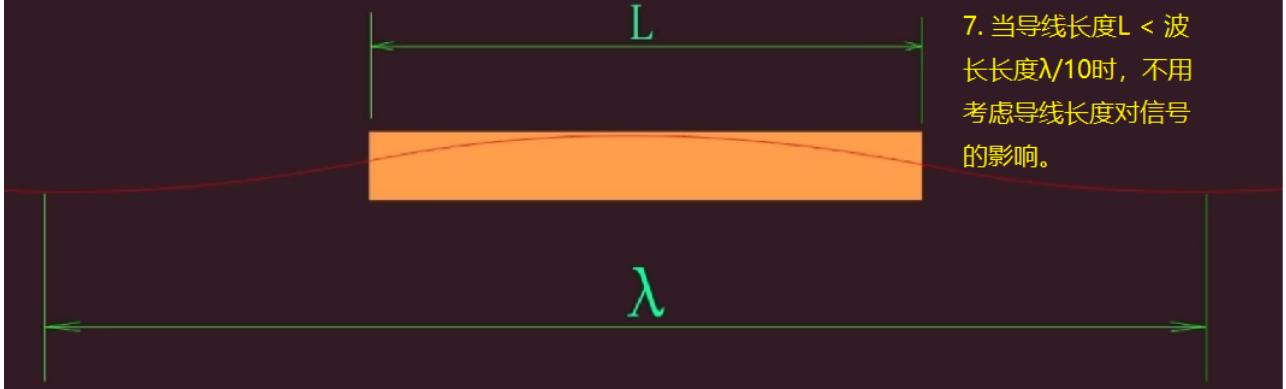
改进后



PCB 走线是越短越好，那么多短才是最好呢？



$$L \leq \lambda/10$$



因为 PCB 尺寸的关系，接插件有些远离 CPU，有些高速信号线走线长度会高于波长，这时候走线就必须用阻抗匹配方式来进行计算。

PCB 布线走直角或者锐角到底好不好？

1. 走线都说不要走直角

0.57*W

2w

W

1. 但是PCB过孔换层的时候，不就是走的直角吗？

直角

2. 有人说PCB走线在直角转弯的地方，信号前后部分相互影响。导致分布电容增加，从而造成信号上升沿和下降沿有延缓的影响。

1 2 3 4

4. 上升下降沿缓影响

3. 从阻抗来说，走线在直角处宽度变宽，因而阻抗不连续，造成信号反射。

Z_0

5. 有人说直角的尖角容易产生放电

6. 有人说直角会产生电磁辐射。

7. 也有说PCB铜箔腐蚀中，直角的地方会聚集腐蚀液。

8. 9. 容易造成铜箔腐蚀出现断线。

10. 直角走线造成寄生电容的计算方式

$C \approx \frac{61w\epsilon_r^{1/2}}{Z_0}$

w 线宽

Z_0 走线阻抗

11. 假设一条特征阻抗为 50Ω ，宽度为4mil的走线。一个直角带来的分布电容是 $0.01pF$ 。

$C \approx \frac{61 \times 0.004 \times \sqrt{4.3}}{50} = 0.01pF$

12. 可见直角走线带来的电容效应是极其微小的。

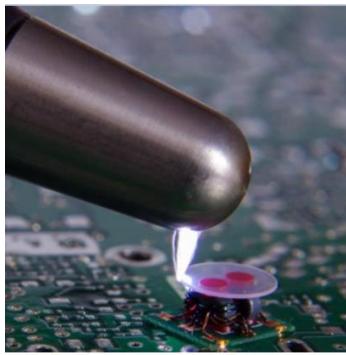
13. 一般直角走线产生的阻抗变化会在7%~20%之间。所以反射系数最大0.1左右。

$\rho = \frac{Z_s - Z_o}{Z_s + Z_o}$

14. 所以直角和锐角走线造成的阻抗变化是很微小的。除非是10Ghz以上的信号

15. 10Ghz以上的超高频PCB，应当使用圆弧拐弯。

16. 10Ghz以上的超高频PCB，应当使用圆弧拐弯。



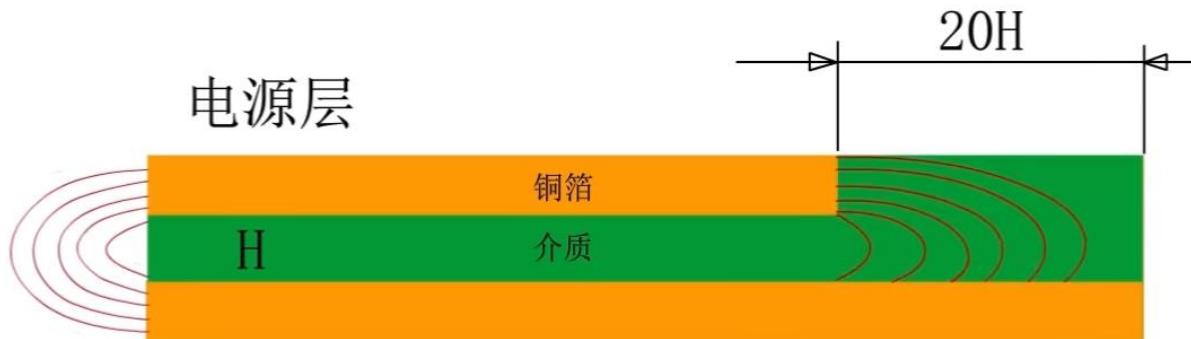
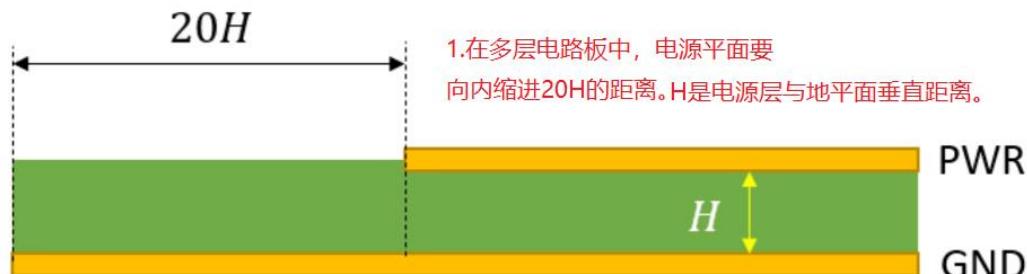
17. 直角放电，要求信号电压足够高，能够击穿空气或者电路板绝缘层。没有几千上万伏特的电路，是不可能发生电路板击穿的。



18. 以前PCB腐蚀采用酸性腐蚀液，确实存在腐蚀直角走线问题，但是90年代之后，PCB生产工艺采用了更先进的腐蚀液，所以不存在腐蚀直角问题了。

所以一般走直角在很多情况下没有什么坏处，但是在有些情况下还是会出现问题。所以大部分走钝角和锐角。

20H 规则



2.如果电源层和地平面层面积相等，电磁场会向外辐射

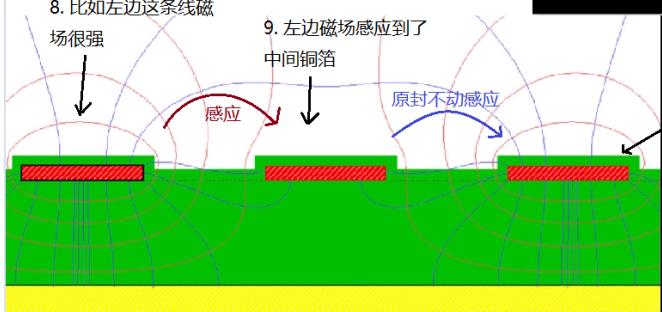
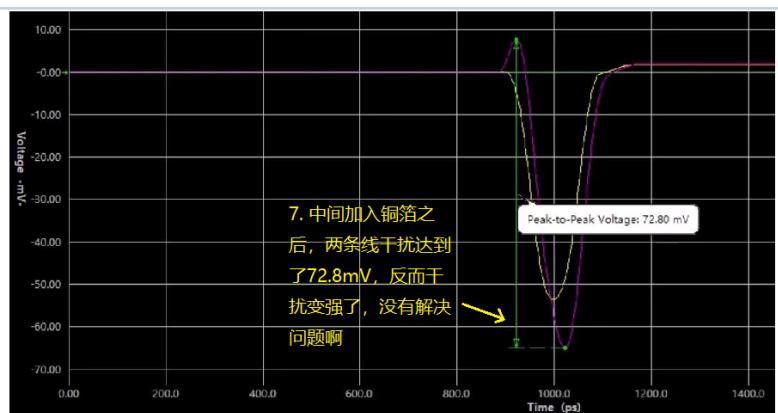
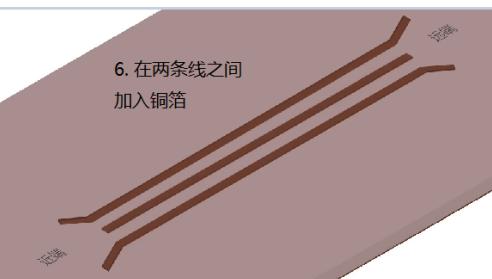
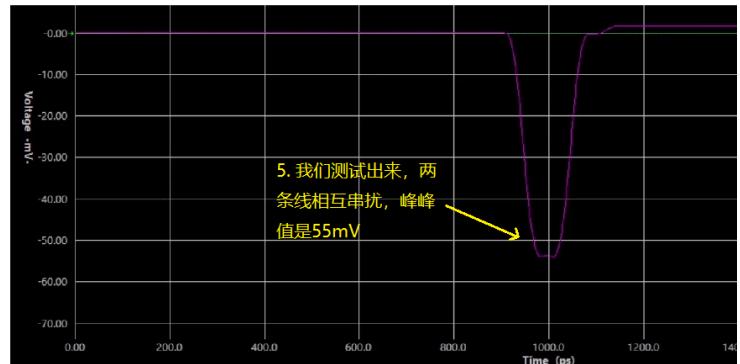
地平面层

3. 电源层缩短之后，可以减少70%电磁场向外辐射。

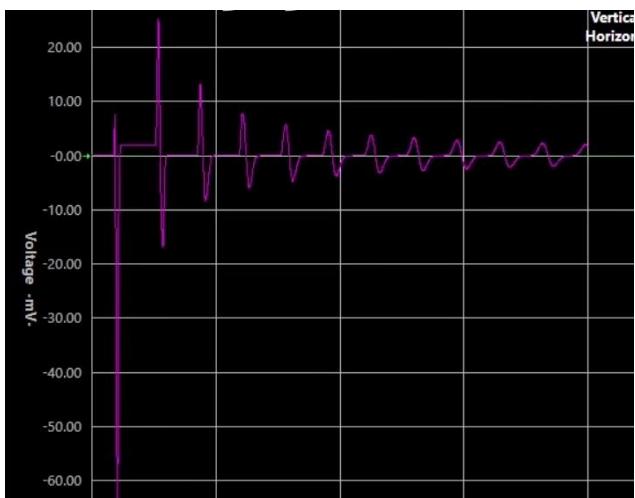
敷铜到底好不好，什么时候适合敷铜？

1. 如果在高速信号场景，或者电源场景需要完整的地平面，那么地平面完整敷铜是正确的。
只有大面积的地平面才能为信号线提供低阻抗的回流路径。
2. 比如双面板，底层的地平面被信号走线分隔的情况下，或者信号过孔造成地平面不完整，就需要在顶层敷铜补充地平面分隔。也可以在顶层走地线来补充地平面不完整。

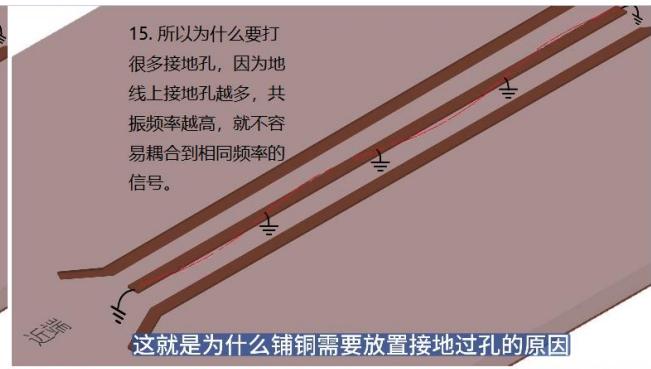
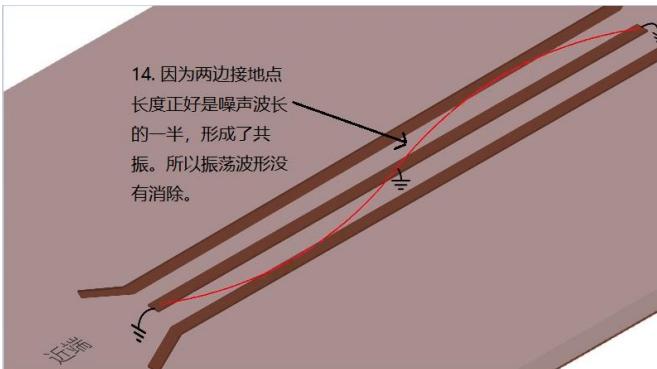
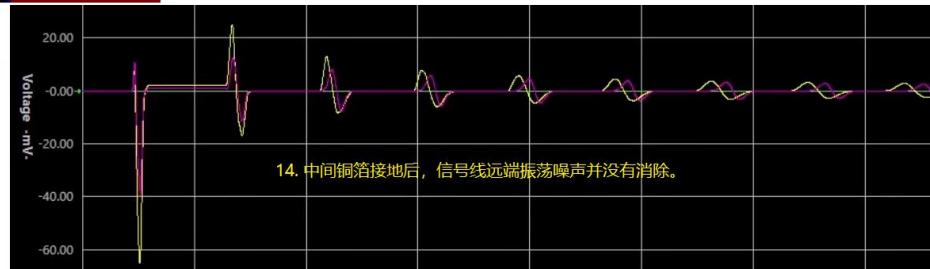
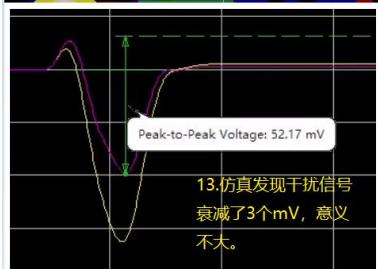
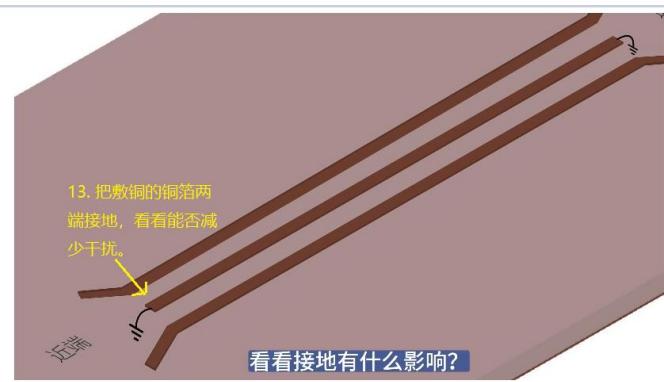
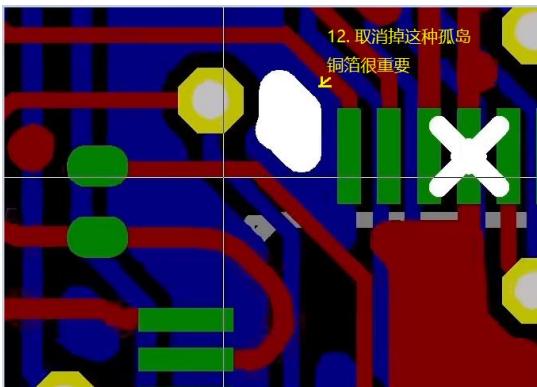
3. 有人说在两条信号线中间敷铜，可以防止信号线之间串扰



11. 所以本来之前两边线相隔比较远，干扰噪声比较小，现在中间铜箔转接一下，干扰反而没有衰减，还增强了。所以PCB为什么要取掉孤岛铜(死铜)就是这个原因。



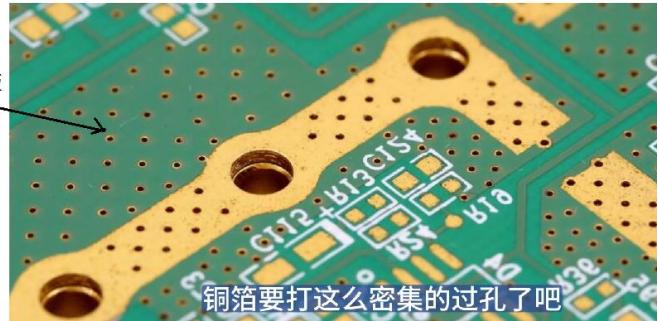
受害线被干扰后也会出现振荡类型的噪声波形



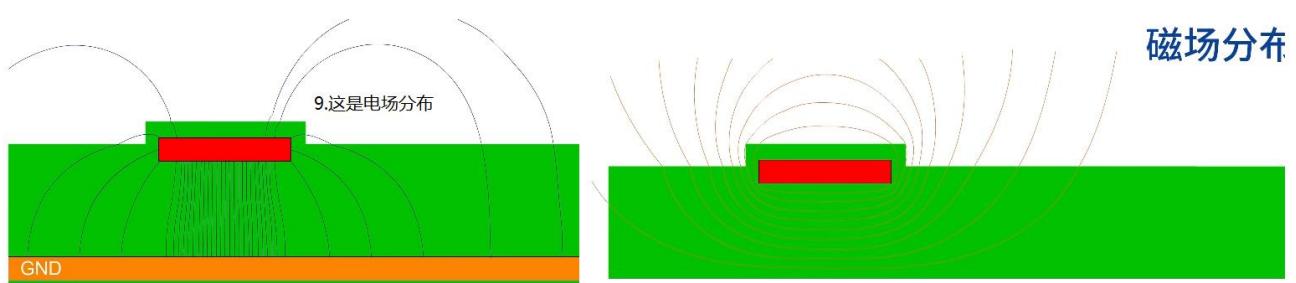
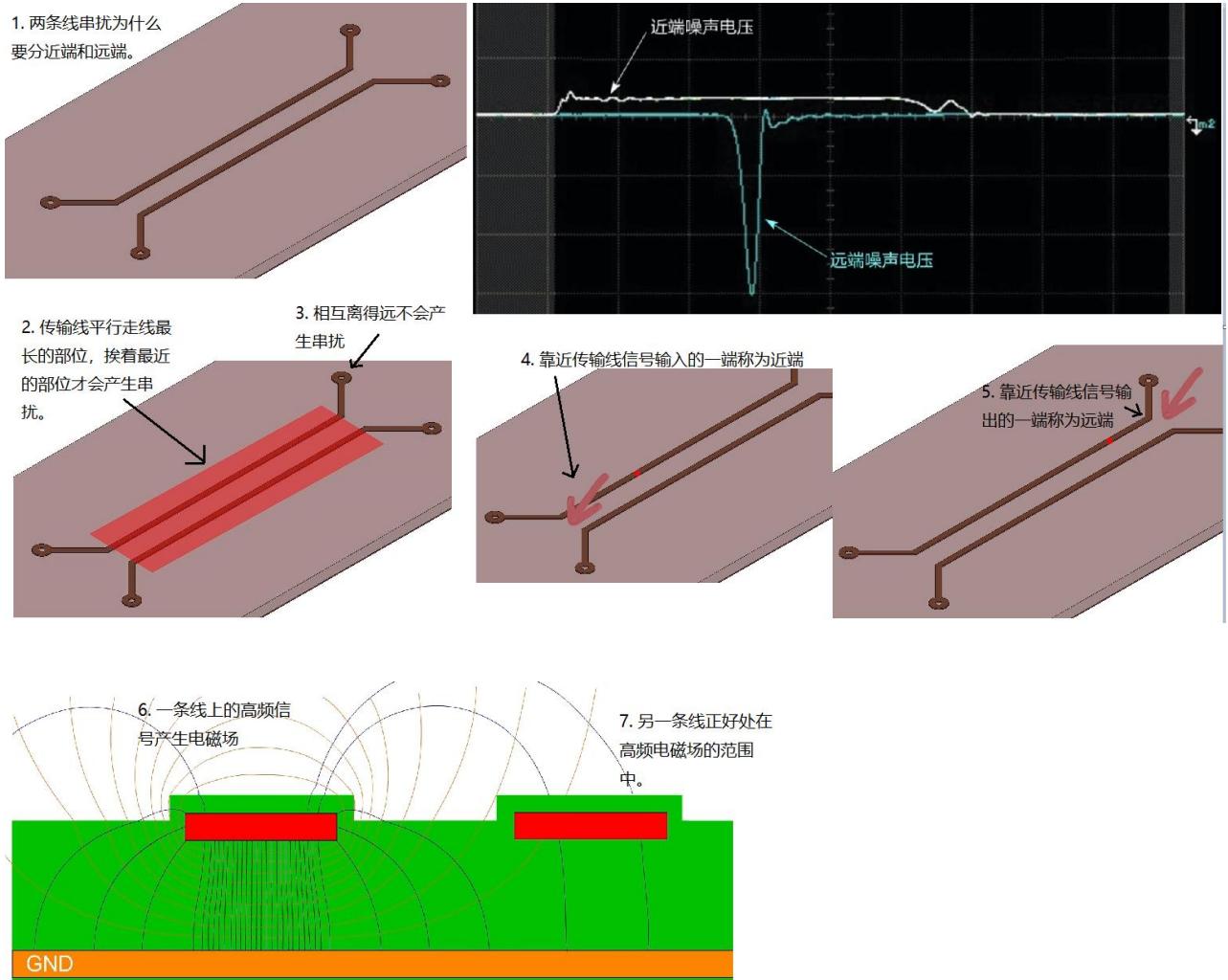
16. 所以接地过孔的间距应该远小于波长
满足 $d < \lambda/20$

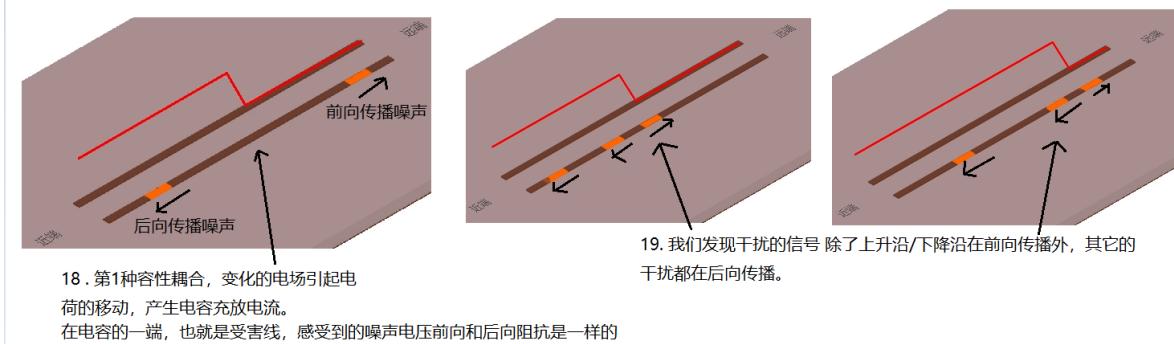
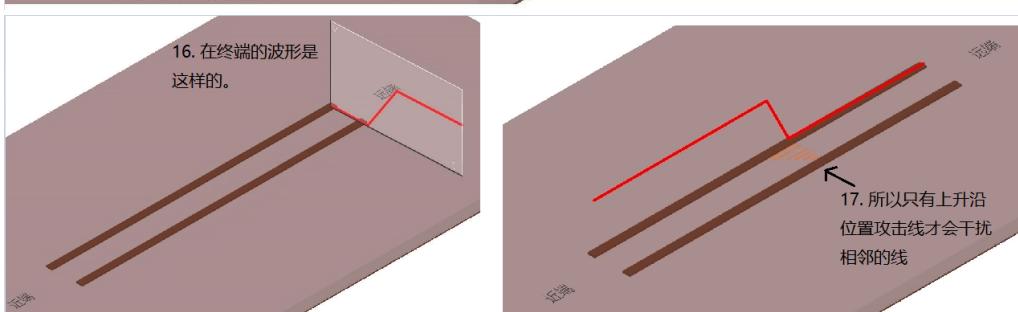
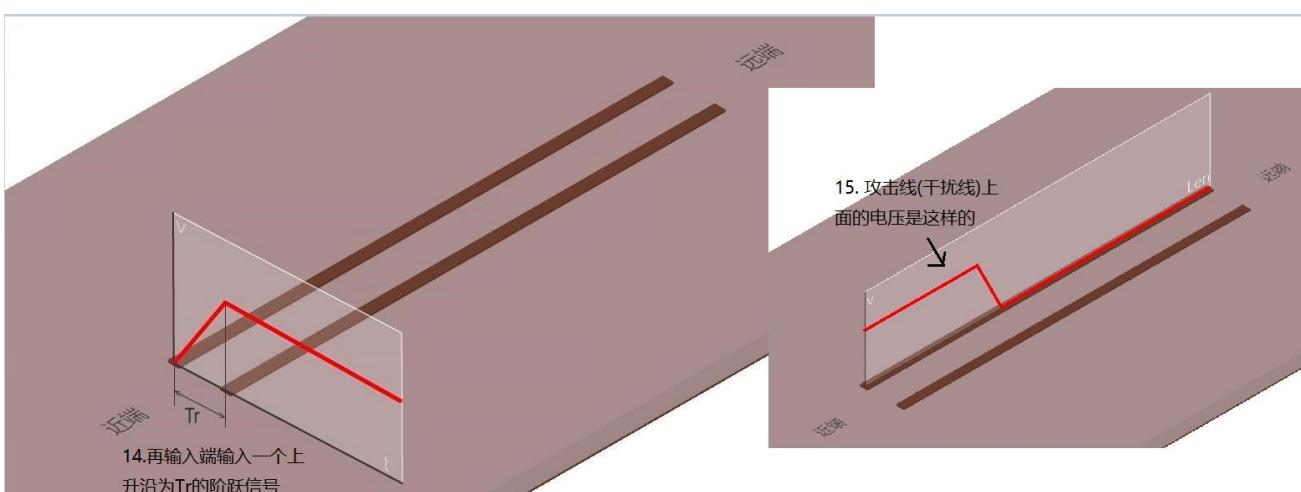
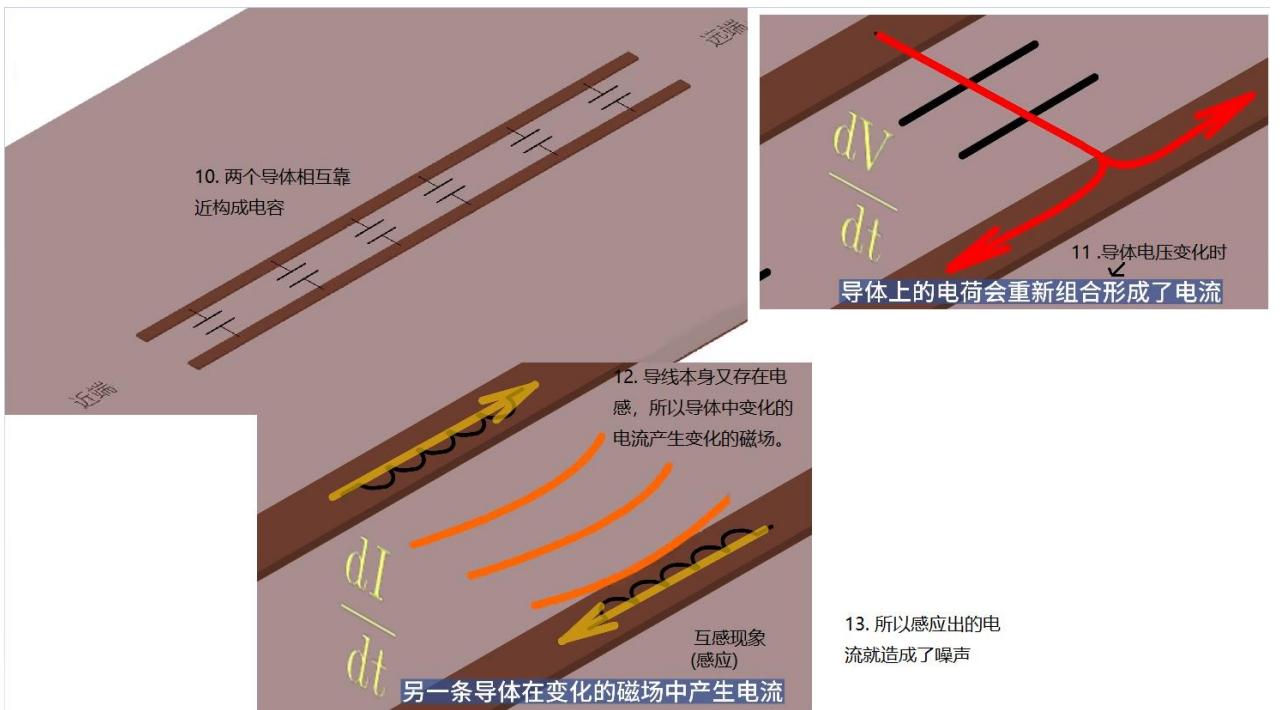
λ 是需要抑制噪声的最高频率或主要频率成分

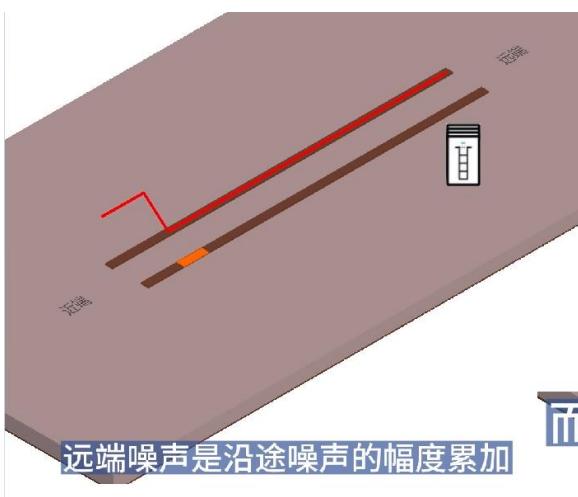
17. 这就是为什么射频电路板铜箔要打这么密集的过孔



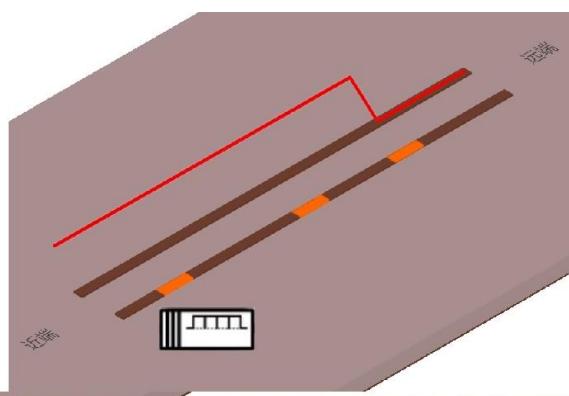
串扰产生的细节



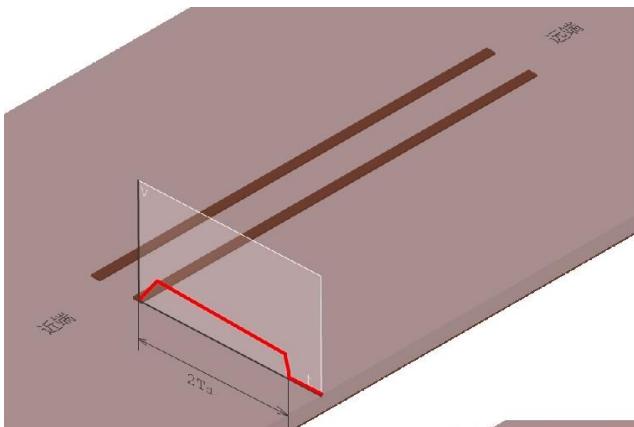




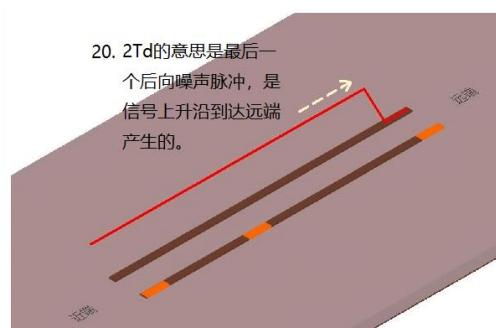
远端噪声是沿途噪声的幅度累加



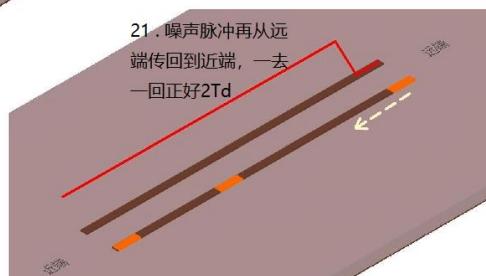
而近端噪声则因为产生噪声的上升沿离近端越来越远
沿途产生的噪声沿着传输线依次排队



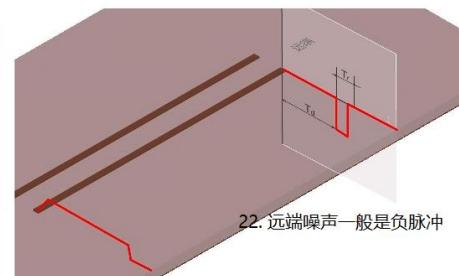
所以近端噪声我们看到是宽度为
 $2T_d$ 幅度较小的脉冲。



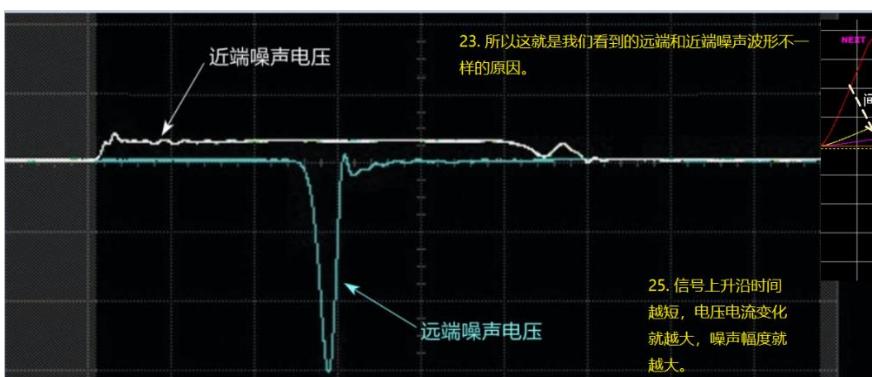
20. $2T_d$ 的意思是最后一个后向噪声脉冲，是信号上升沿到达远端产生的。



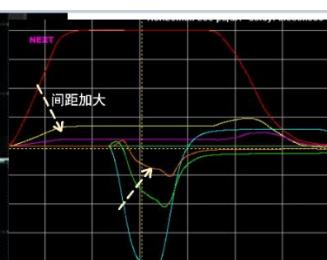
21. 噪声脉冲再从远端传回到近端，一去一回正好 $2T_d$



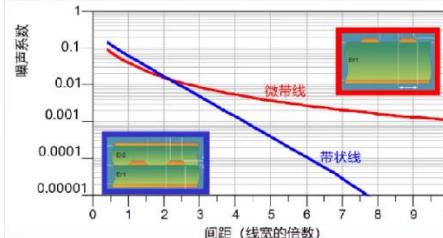
22. 远端噪声一般是负脉冲



25. 信号上升沿时间越短，电压电流变化就越大，噪声幅度就越大。



24. 所以解决传输线之间的干扰，就是增大线间距，让两条线耦合电容变大，电容变大就只能过低频，无法耦合高频，还有就是线间距增大，导线电感的距离也就相差越远，越不容易干扰。



26. 两层电路板天然就不适合高频走线，因为微带线噪声系数高。

27. 只有带状线能使电场耦合和磁场耦合产生的远端噪声大小相同极性相反，从而是远端噪声抵消为0.

回流路径的概念

1. 什么是回流路径?

电子电路中的电流只能在闭合路径中流动

2. 这条流回电源的路径就叫做回流路径, 直流信号这么理解就可以了

5. 电路中的地起源于早期的电报

3. 但是在高频电路中, 电流回流的路径不一定是导线构成的, 可能是导线间的分布电容和分布电感。

4. 电路中为什么会有地的概念? 而且这个地还是地球上的大地, 这就要看100年前的电路了。

6. 100年前, 电报传输为了节省电线, 一般只用一根导线传信号。

7. 利用地的导电特性来做信号的回路

8. 不是地是绝缘的吗, 怎么会有导电特性, 这里可能说的是高频信号。

9. 这就是当年美国1860年建设第一条穿越北美大陆的线。注意电线杆上只有一根导线。

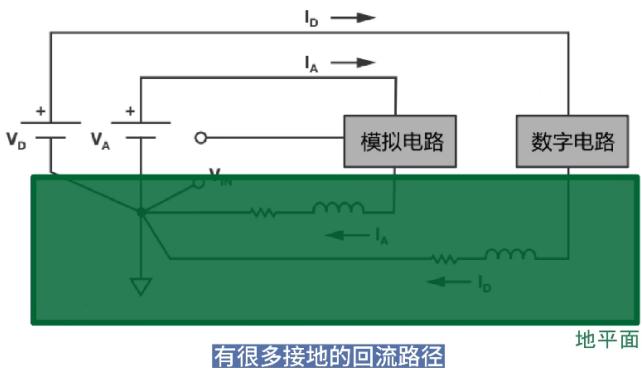
10. 这样看来在电压很高的情况下, 大地确实是具有导电特性的。所以人在高压线旁边容易发生触电, 就是因为人的双脚是站在大地上的, 形成了回路。

11. 因为大地的电阻不稳定, 容易受到雷电干扰, 所以后面人们放弃了用大地做信号回流路径的方案。

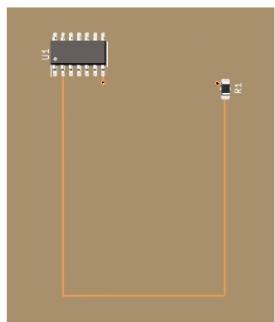
12. 因为电路中, 所有信号都是由电源驱动的, 所以所有的信号都要回到电源的负极。也可以理解成被定义为0V的参考点。

13. 在高速信号中, 接地(电源地)的位置可能不是真正的地, 因为接地的铜箔离电源负极还有一段距离, 所以这些地会等效成电阻, 电感。

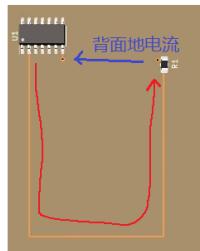
13. 只有接地导线, 或者接地铜箔挨着电源负极的这一点才是真正地。



14. 为什么需要大面积的接地铜箔做地平面呢？因为只有大面积的铜箔才能提供阻抗极小的高频回流路径。才能把地线上的噪声电压降到最低。



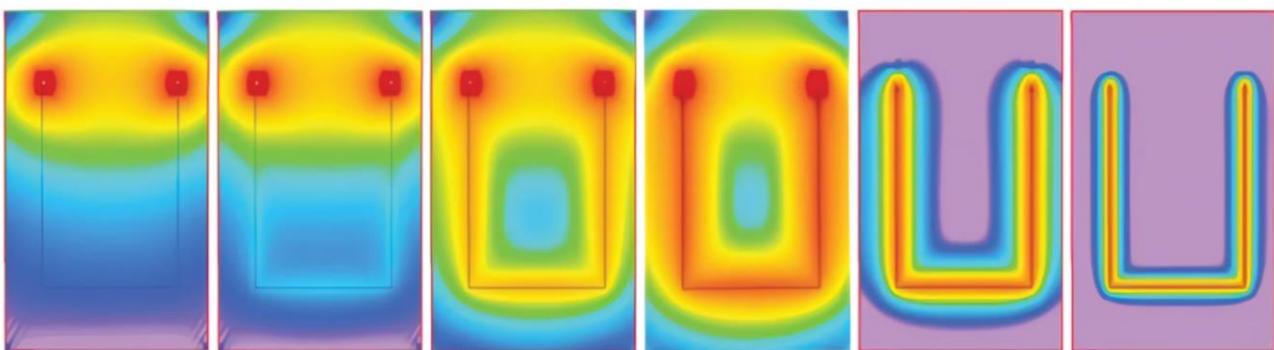
15. 这是一块双面电路板，IC和信号走线在顶层



17. IC电流要经过电阻的过孔，经过地平面，流回到IC负极。

16. 底层是一个完整的地平面

1kHz 100kHz 500kHz 1MHz 10MHz 100MHz

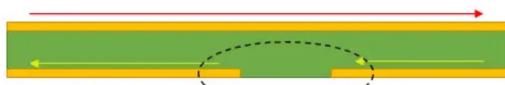


18. 通过仿真分析，我们会发现，不同频率的信号，其回流路径不一样。1Khz低频信号的回流是沿着最短路径流回。而高频的信号是沿着顶层信号线回流，最长路径回流，频率越高，电流集中在信号线下方。

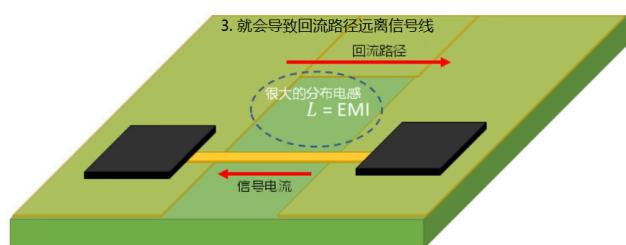
上图代表电流分布密度，红色电流密度最高，蓝色电流密度最低。

根据以上结论，我们知道，导线环路只有紧密的耦合在一起，也就是环路面积最小时，才能构成低阻抗的通路。信号产生的电磁场才会被导通包围而不会泄露，既不辐射电磁波形成干扰，也不会受到外界电磁波干扰。典型的例子就是双绞线。

切割地平面



1. 在高速电路中，分隔地平面就是常见的错误PCB设计方法。



3. 就会导致回流路径远离信号线

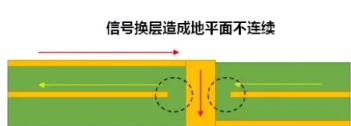
回流路径

很大的分布电感 $L = EMI$

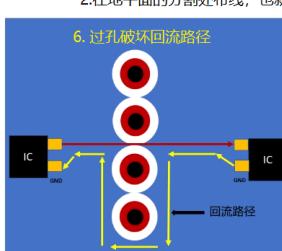
信号电流

2. 在地平面的分割处布线，也就是跨分割走线。

4. 这样会造成路径特征阻抗变大



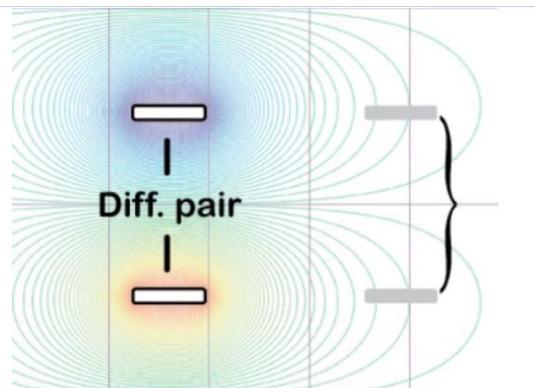
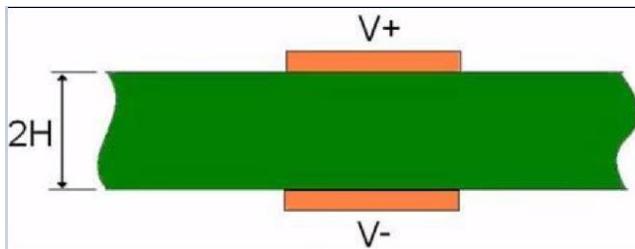
5. 走线换层破坏回流路径。走线经过过孔穿过参考层时，会破坏参考层的平面完整性。



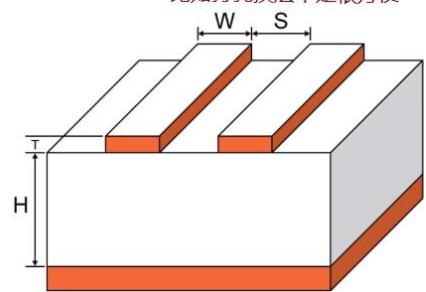
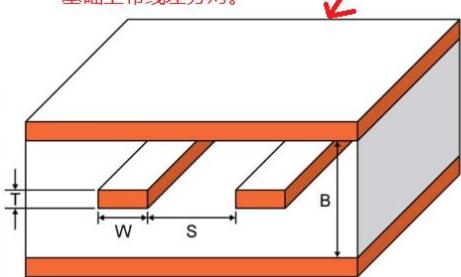
6. 过孔破坏回流路径

参考层交代不清

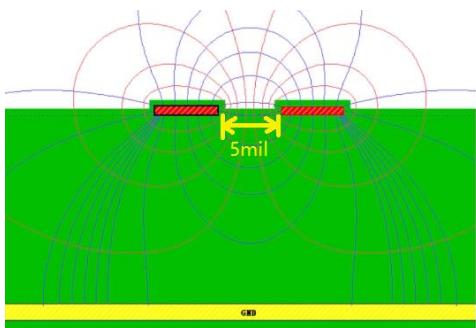
PCB 上多种形式的差分线布线



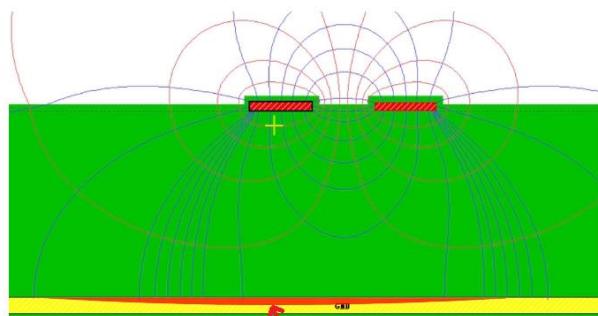
3. 所以常见方式是用参考平面，在参考平面的基础上布线差分对。



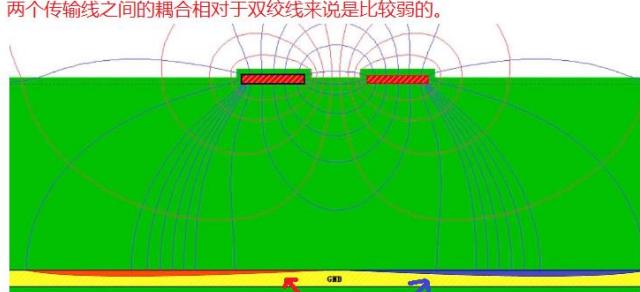
4. 微带线差分对形式



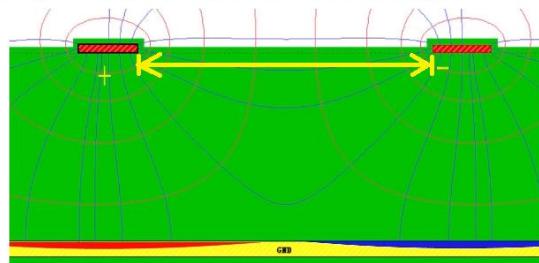
5. 如果一对差分线，相互之间间隔是5mil，这种就是紧耦合方式，两个传输线之间的耦合相对于双绞线来说是比较弱的。



6. 差分信号的回流大部分80%在地平面上，而不是在相对的线上。



7. 而且你会发现，正极性的线回流到地的区域，与负极线回流到地的区域是不重合的。



8. 如果差分线间距加大，比如间距3W以上，此时称为松耦合，两条线之间的串扰几乎为0，差分信号的回流在地平面上不会重合，也不会抵消。地平面完整性对差分信号回流有很大的影响。

所以差分信号线，无论松耦合还是紧耦合都能正确的传输差分信号，只要两条传输线阻抗保持一致就行。两条线耦合大小并不重要，耦合松紧主要影响传输线特征阻抗。

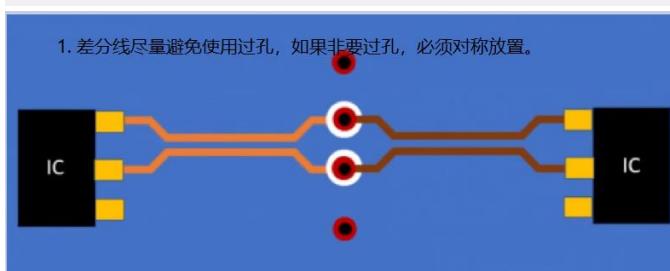
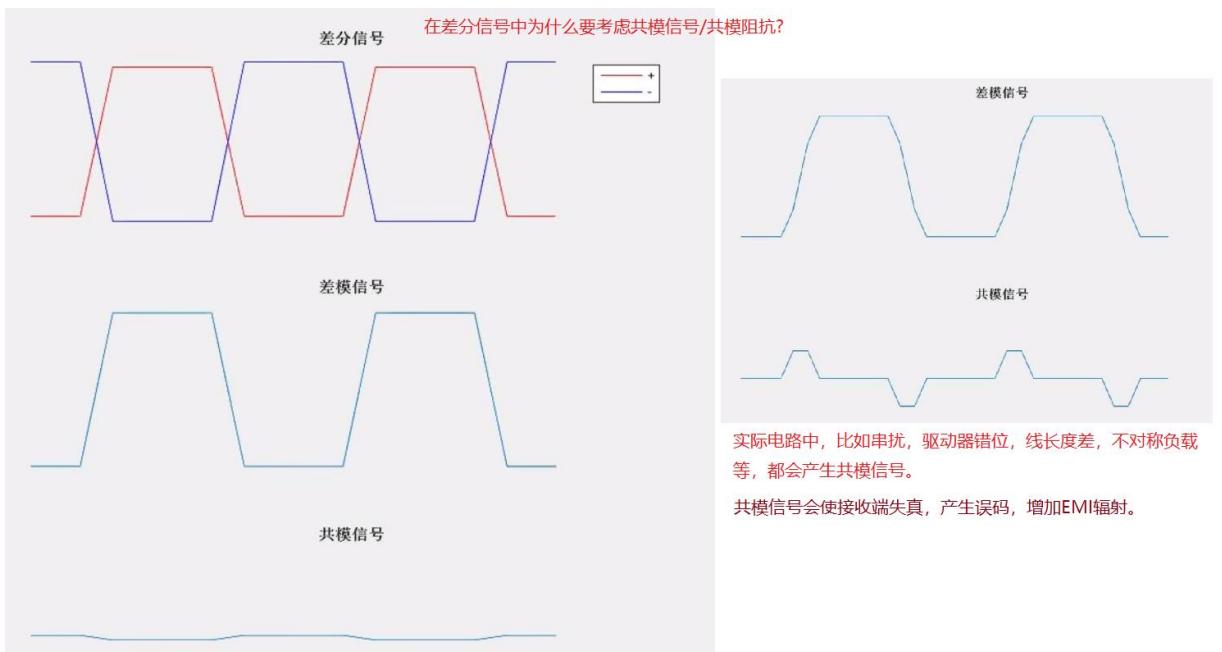
紧耦合的优缺点是：

1. 布线密度高，成本低
2. 共模信号反射较大
3. 抗串扰能力 抗串扰能力不好评估
4. 信号衰减较大

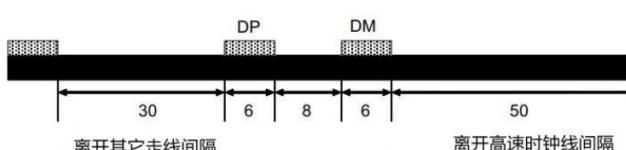
松耦合优缺点是：

1. 损耗较小
2. 抑制共模噪声
3. 布线密度低

走线线宽大
串联电阻损耗小
适合高速信号损耗小的场合
抑制共模噪声能力强



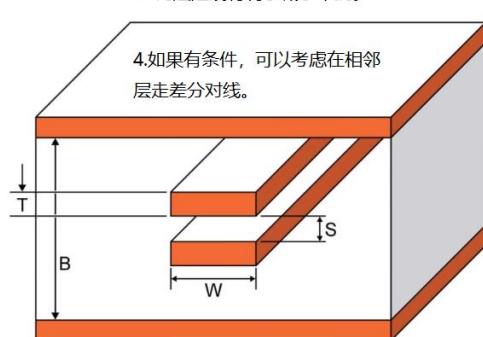
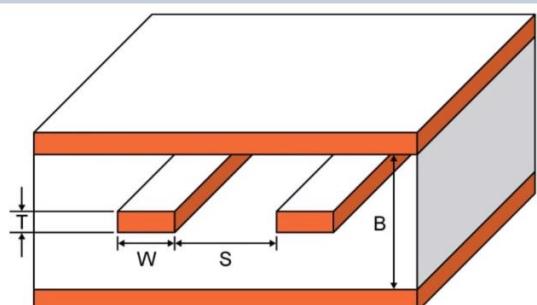
USB 2.0 布线参数 单位: mil

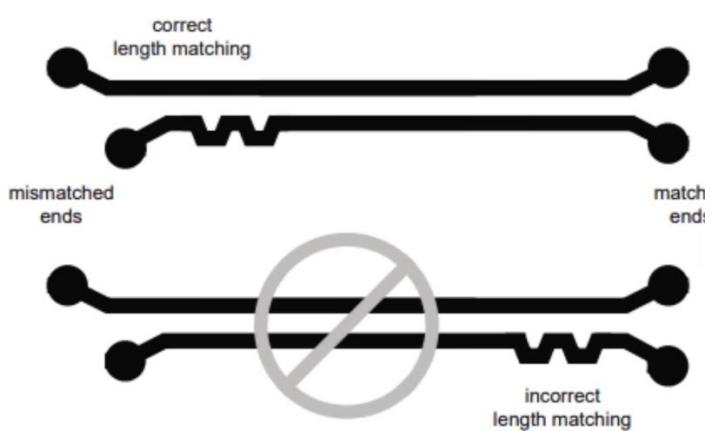


3. 差分线要远离其它走线，遵循3W原则。



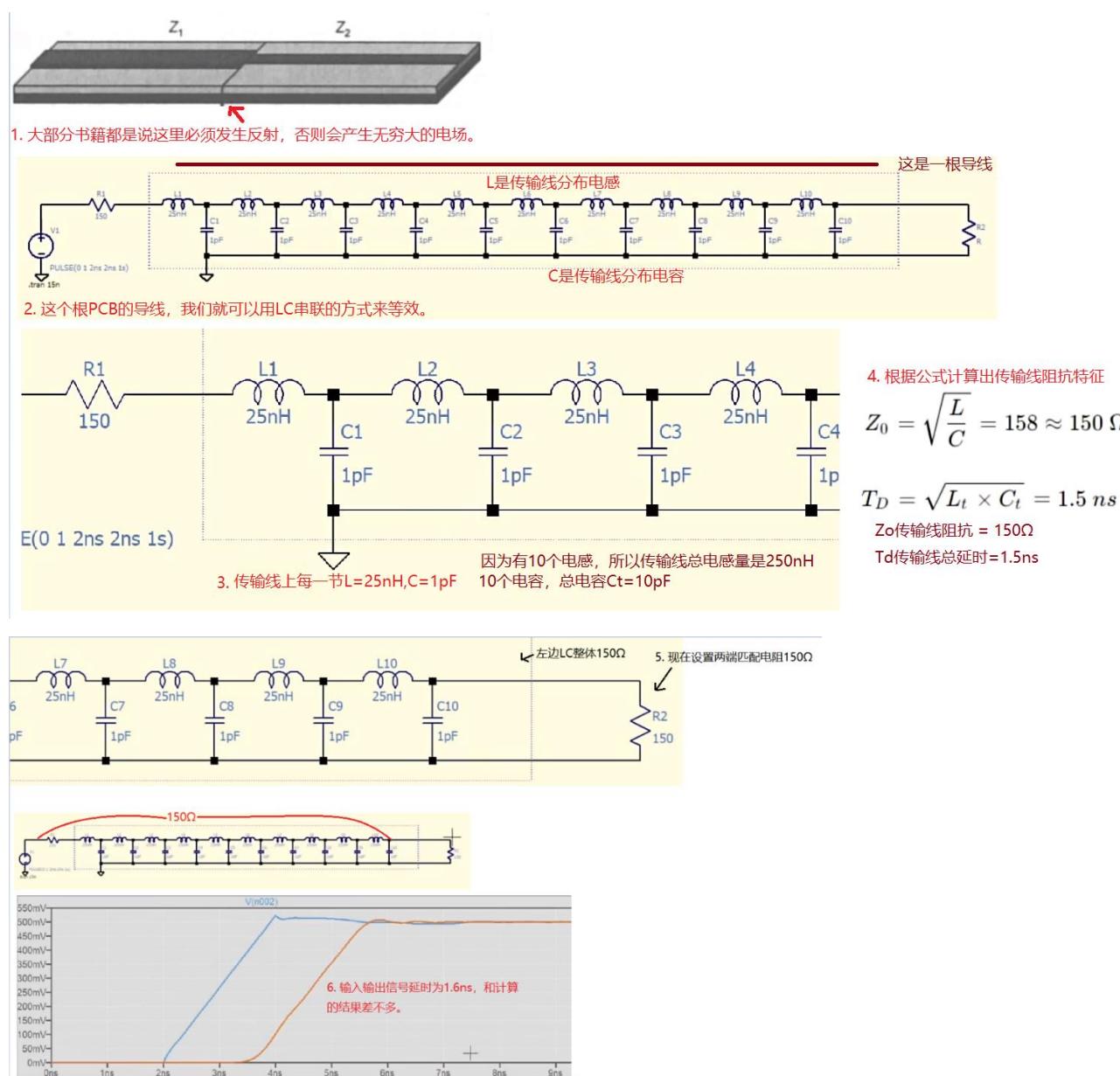
4. 差分线不一定非要完全对称，但是长距离走线对称可以保持平衡。



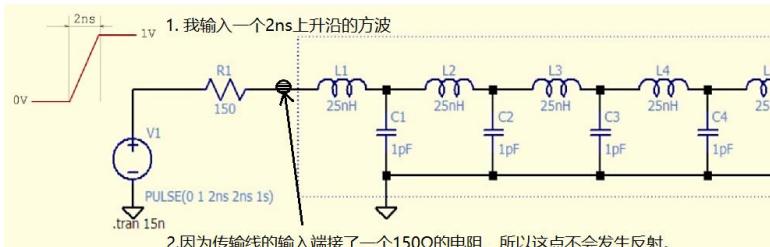


差分对长度匹配，如果长度不匹配容易造成 EMI 和共模噪声。注意长度匹配是在差分对不匹配的一端进行匹配。

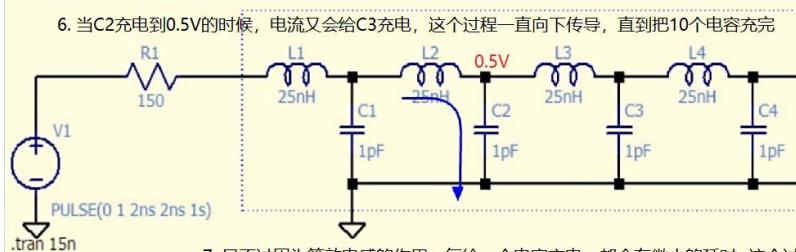
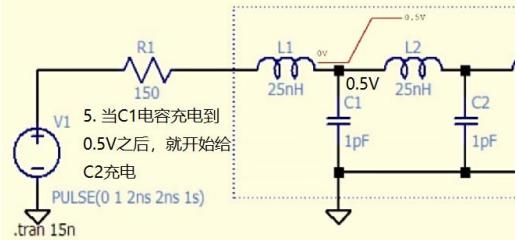
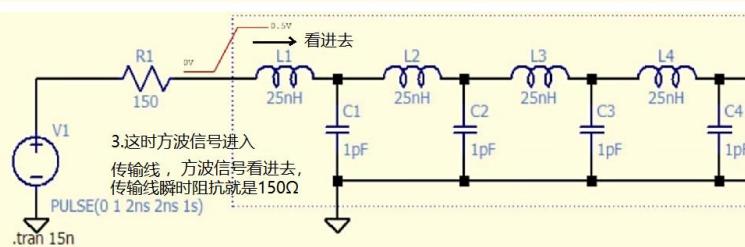
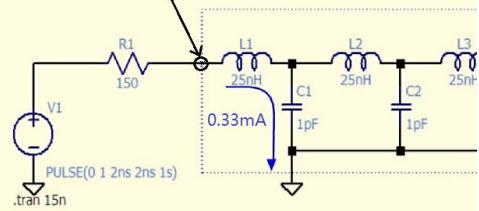
信号阻抗不连续的地方为什么会产生反射？



反射是如何产生的?

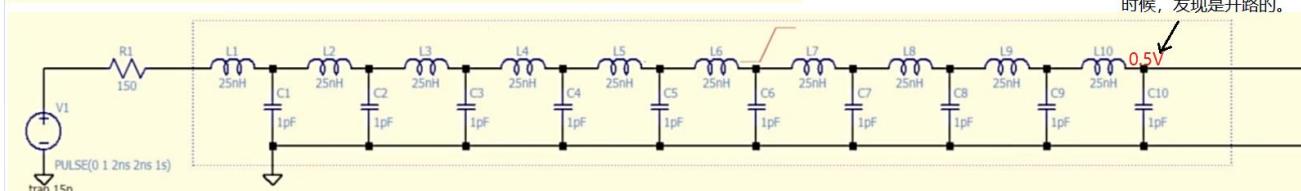


4. 这点的特征阻抗就是传输线与R1电阻分压，既是0.5V的电压。流入C1电流就是 $0.5V/150\Omega=0.33mA$

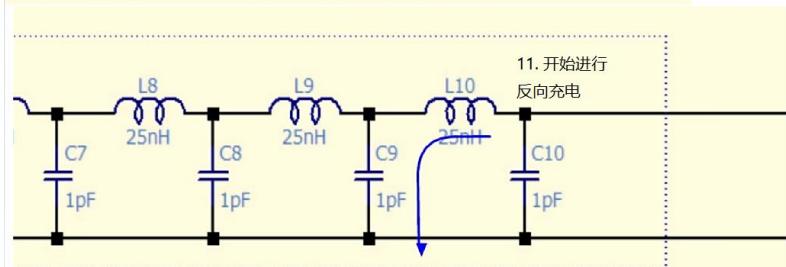
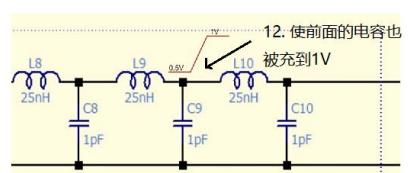
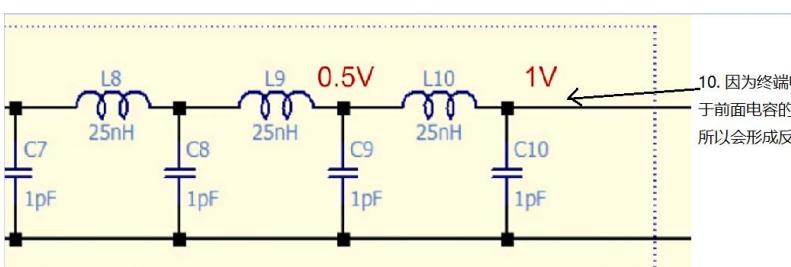
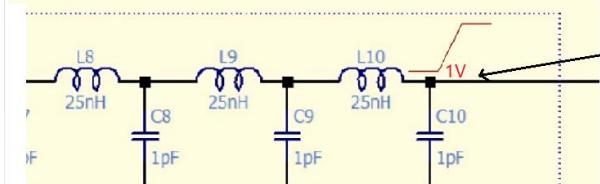


7. 只不过因为等效电感的作用，每给一个电容充电，都会有微小的延时。这个过程就是信号从源端传导到终端的过程

8. 当信号充电到终端的时候，发现是开路的。



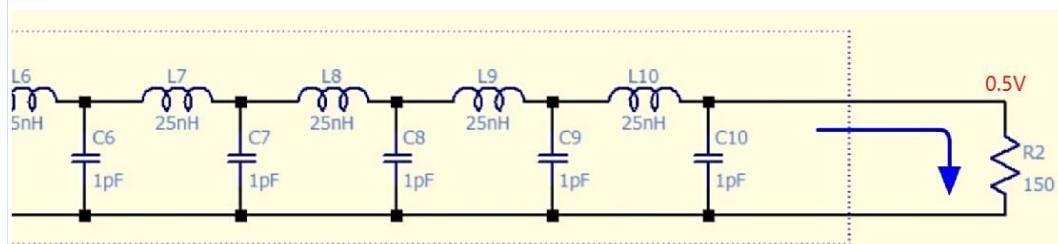
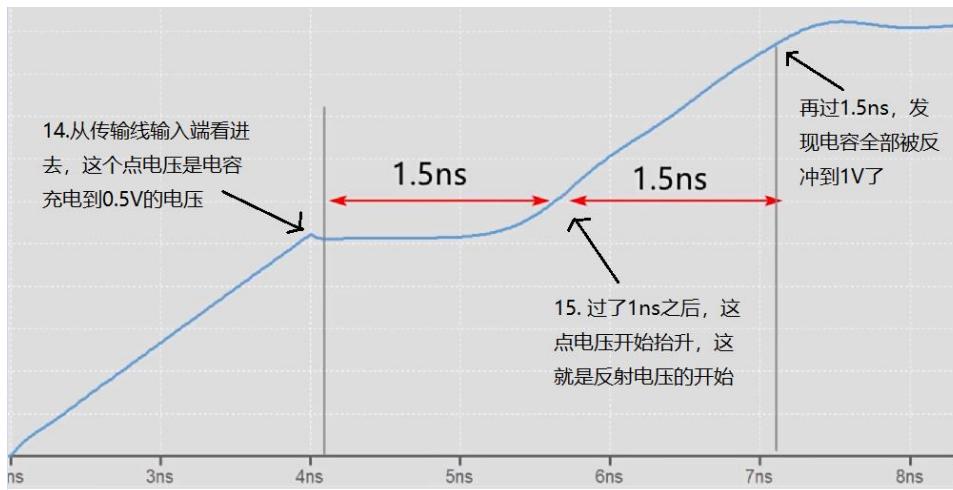
9. 因为终端是开路的，电流无处可去，就只有对C10继续充电，直到终端的电压充到电源电压，也就是输入信号的最大电压1V。



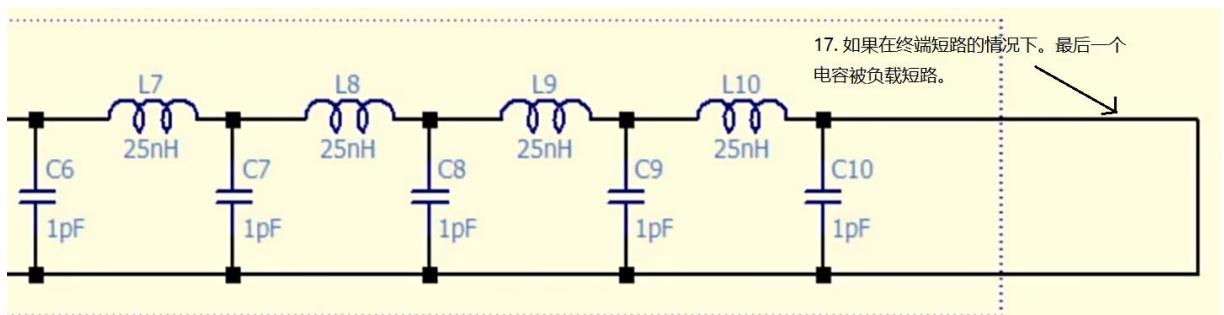
13. 这种反向充电的方式会一直持续下去，保证前
面的电容每个都充到1V。



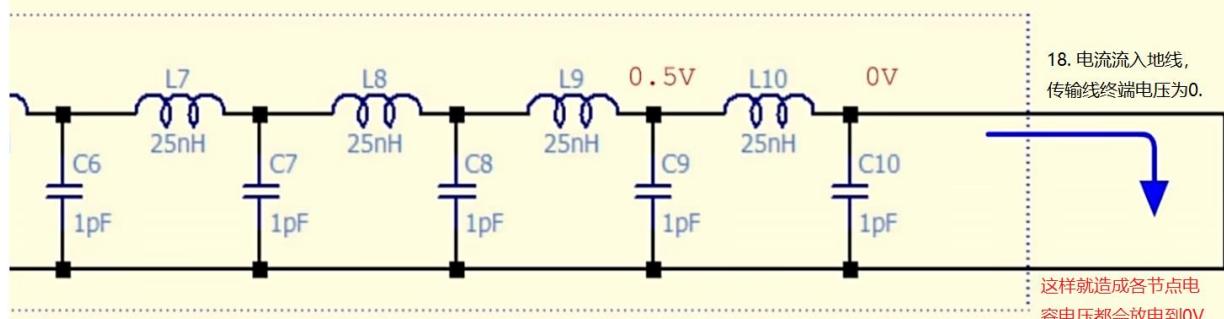
最后传输线各点电容的电压都为1V，处于稳定状态，这个过
程就是反射。



16. 如果加入终端匹配电阻, 那么电流有流入到地的路径, 终端电阻电压就一直保持在0.5V



17. 如果在终端短路的情况下。最后一个电容被负载短路。

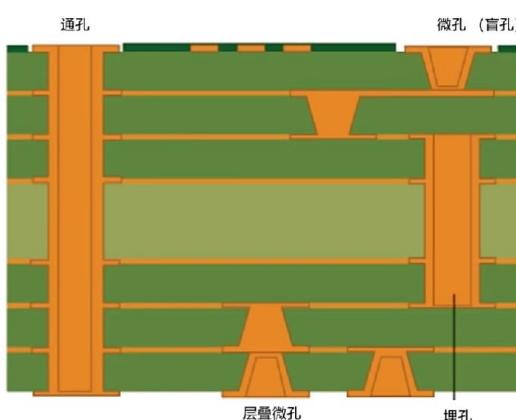


18. 电流流入地线, 传输线终端电压为0.

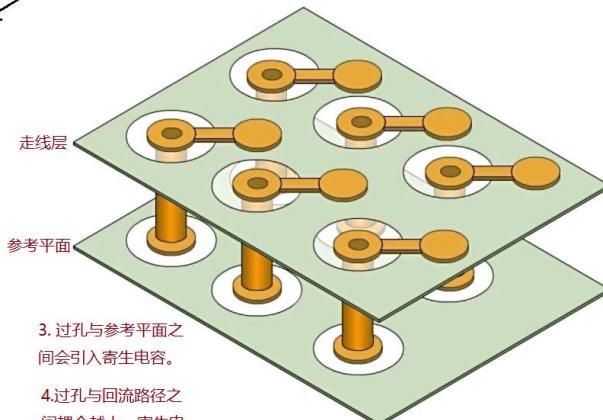
这样就造成各节点电容电压都会放电到0V

PCB 过孔对信号走线阻抗的影响

1. 过孔的阻抗主要取决于过孔直径，焊盘，和反焊盘尺寸等参数



2. PCB 上过孔主要有这些



3. 过孔与参考平面之间会引入寄生电容。

4. 过孔与回流路径之间耦合越大，寄生电容就越大。

5. 这种杂散的寄生电容会增加信号上升时间，降低信号工作频率

6. 过孔寄生电容计算公式

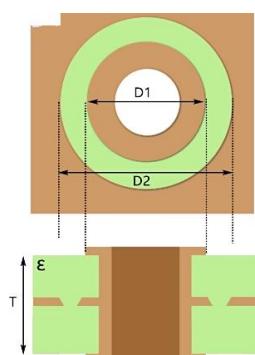
$$C = 1.41\epsilon T \frac{D_1}{D_2 - D_1} \text{ (pF)}$$

ϵ : 是过孔周围介质的介电常数，如FR4板材。

T: 是PCB板厚

D1: 是过孔焊盘直径

D2: 是反焊盘直径



8. 单个过孔对上升沿影响可能不明显，但是信号线上过孔过多时，影

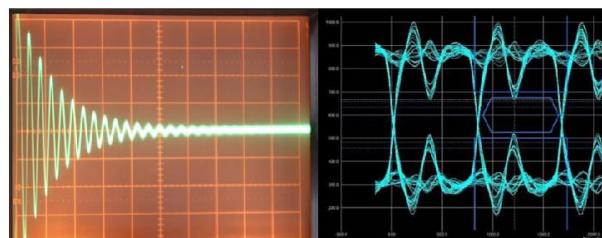
响程度就会上升。以上公式计算结果与实际PCB做出来的结果误差比较大，因为多层PCB结构复杂。

但是我们从经验公式中也获取到了减小过孔电容的对策，选择较小介电常数的PCB材料和阻焊材

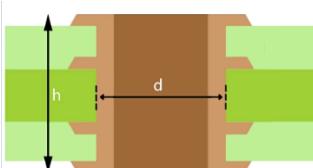
料，减小板厚，确保地平面与焊盘有足够的间距，即反焊盘直径D2-D1要足够大。

7. 对于阻抗为50Ω的传输线，信号上升沿10%~90%上升时间，与寄生电容关系如下：

$$t_{10\%-90\%} = 2.2C \frac{Z_0}{2}$$



9. 信号出现振铃和过冲往往和过孔寄生电感有关。



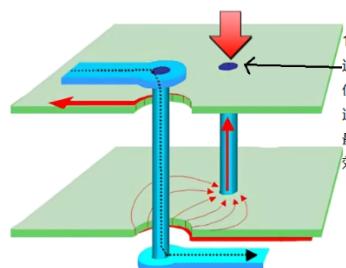
10. 过孔电感量计算公式

$$L = 5.08h \left[\ln \left(\frac{4h}{d} \right) + 1 \right]$$

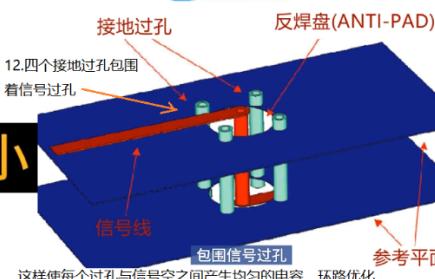
h: 是过孔的长度mm

d: 是过孔的直径mm

从这个公式看，过孔的直径对电感量很小，主要影响是过孔长度。



11. 在信号过孔附近放置回流地孔，使信号过孔与接地过孔之间回路电感最小，从而建立有效回流路径。



12. 四个接地过孔包围着信号过孔
反焊盘(ANTI-PAD)
信号线
包围信号过孔
参考平面
这样使每个过孔与信号空之间产生均匀的电容，环路优化

减小过孔阻抗的不连续

少使用过孔

减小板厚

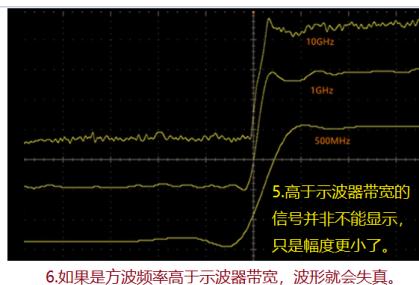
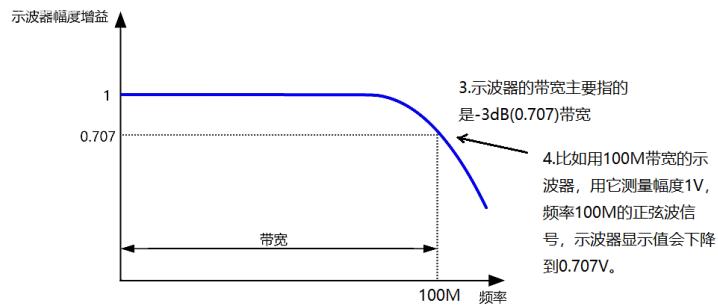
合理大小

合理的过孔尺寸

示波器能看到 PCB 信号的反射吗

1. 我用100M带宽的示波器，来测试信号线的反射，看看能否观察到。

2. 示波器能否看到反射，主要取决于示波器硬件行不行，主要是示波器的带宽和采样率



5. 高于示波器带宽的信号并非不能显示，只是幅度更小了。

6. 如果是方波频率高于示波器带宽，波形就会失真。

$$T_r = \frac{0.35}{0.1 GHz} = 3.5 \text{ ns}$$

7. 100M带宽按照经验公式换算出对应信号上升时间
10%~90%，需要3.5纳秒
带宽100M(0.1Ghz)
这个结果表明100M带宽示波器，本振上升沿是3.5ns

8. 假如输入信号的上升沿为1.5ns

$$T_r = \sqrt{1.5^2 + 3.5^2} = 3.8 \text{ ns}$$

9. 那么示波器显示出的上升沿为3.8ns

10. 对应1Ghz采样率的数字示波器，最快也就1ns采样一次，那么根据示波器上升沿为3.8ns，最多能采样4个点，波形显示很粗糙。
要显示比较好的波形，需要10个采样点，也就是10ns。

$$v_s = \frac{c}{\sqrt{\epsilon_r}} = \frac{3 \times 10^8 \text{ m/s}}{\sqrt{4}} = 1.5 \times 10^8 \text{ m/s} = 150 \text{ mm/ns}$$

$$10ns \times 150mm/ns = 1.5m$$

12. 10纳秒传播时间，对应的传播距离是1.5米，PCB走线的长度是路径的一半0.75米

$$1.5m/2 = 0.75m = 750mm$$

13. 这个计算结果说明，想用100M示波器清楚的看到完整的反射波形在PCB上是不可能的，因为一半很少有750mm这么长的走线，所以一般用更高带宽的示波器看反射。或者用几米或十几米长的同轴电缆将输入信号接到100M示波器上。

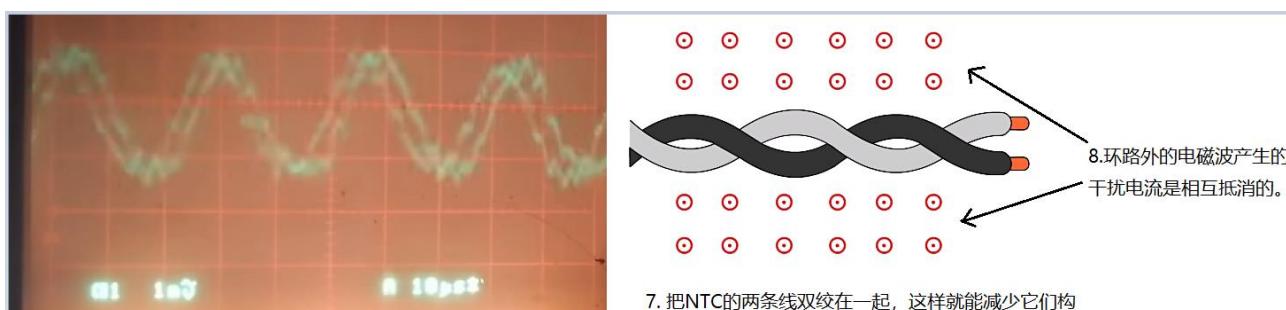


这就是方波的反射波形

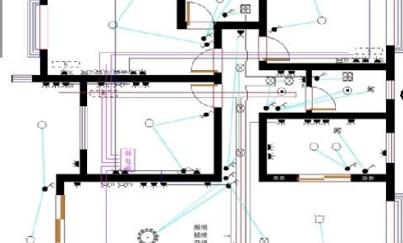


也可以用上升时间很短的信号源做测试，最好达到示波器本征上升沿时间。比如100M示波器的3.5ns~10ns

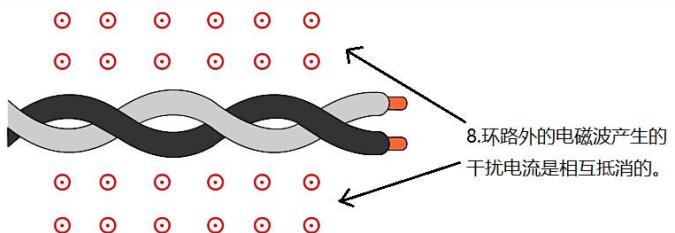
50hz 工频干扰现象



8. 使用扁平电缆，两条并排在一起的线，也能减少电磁波干扰。



5. 因为室内基本上每个角落都铺设了220V/50hz的电线，所以我们设备处于一个巨大的立体网络中



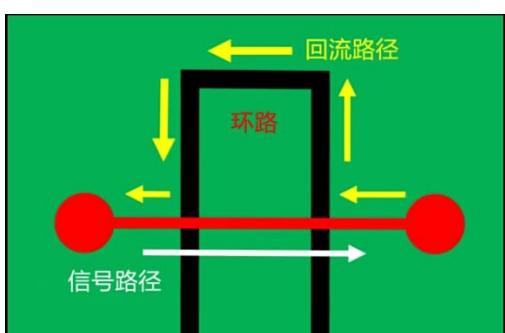
7. 把NTC的两条线双绞在一起，这样就能减少它们构成的环路面积，从环路中间通过的电磁波就少了。

9. 为什么不能把干扰完全消除呢？只能衰减干扰？这是因为双绞线还不能把环路面积减小到0. 特别是对高频干扰来说，还是能轻易穿过。



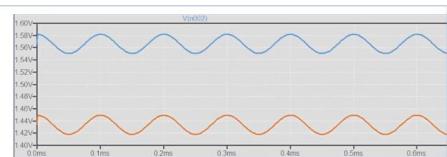
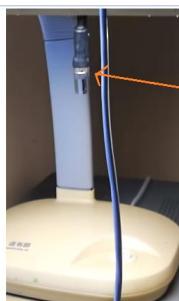
10. 采用屏蔽双绞线，50hz干扰被降低到了1mv，高频干扰也被屏蔽了很多。

多股屏蔽丝的屏蔽线波长很小，比噪声波长小很多，起到了明显的作用。剩下的噪声来源就是NTC引脚的影响了。可以给NTC电阻本身加屏蔽罩来解决。

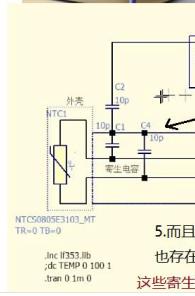
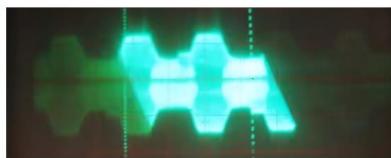


解决 50hz 干扰和 PCB 减小环路面积逻辑是一样的。

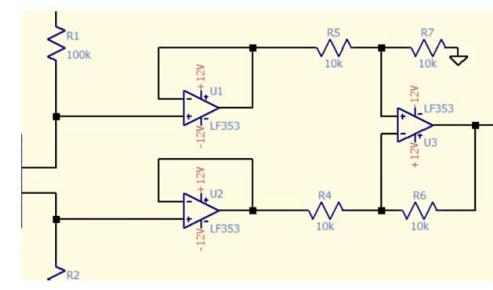
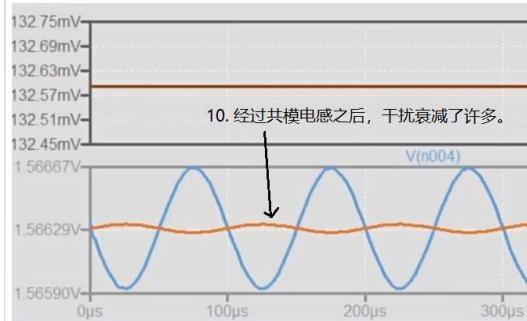
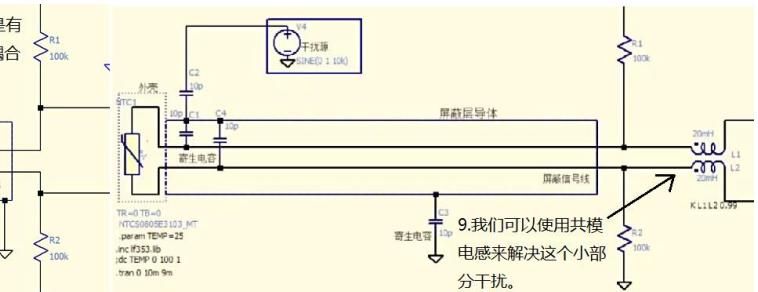
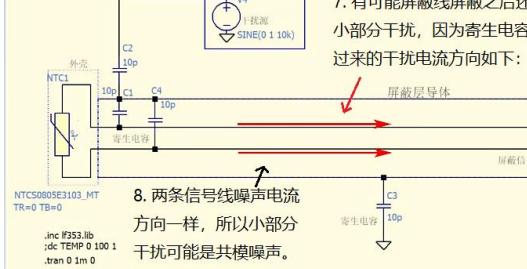
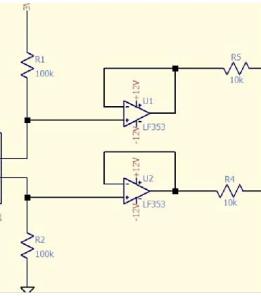
噪声消除实验



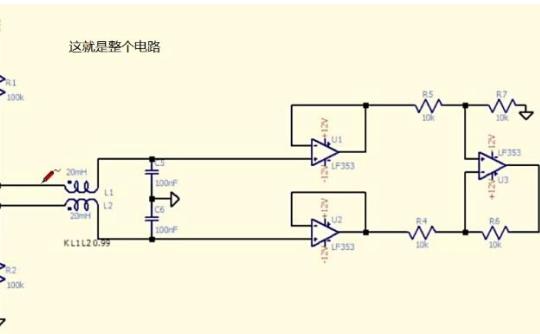
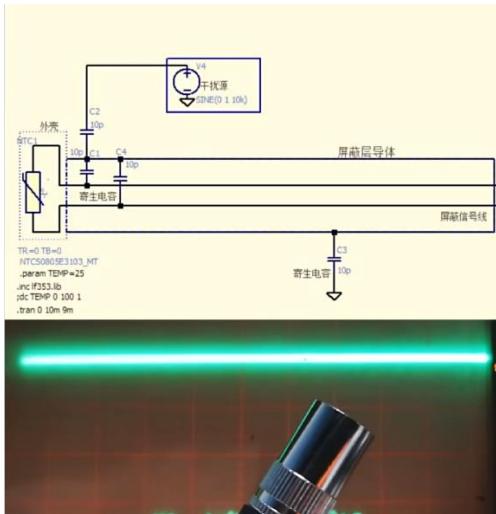
注意，金属铁壳屏蔽磁场干扰，是不需要接地的。



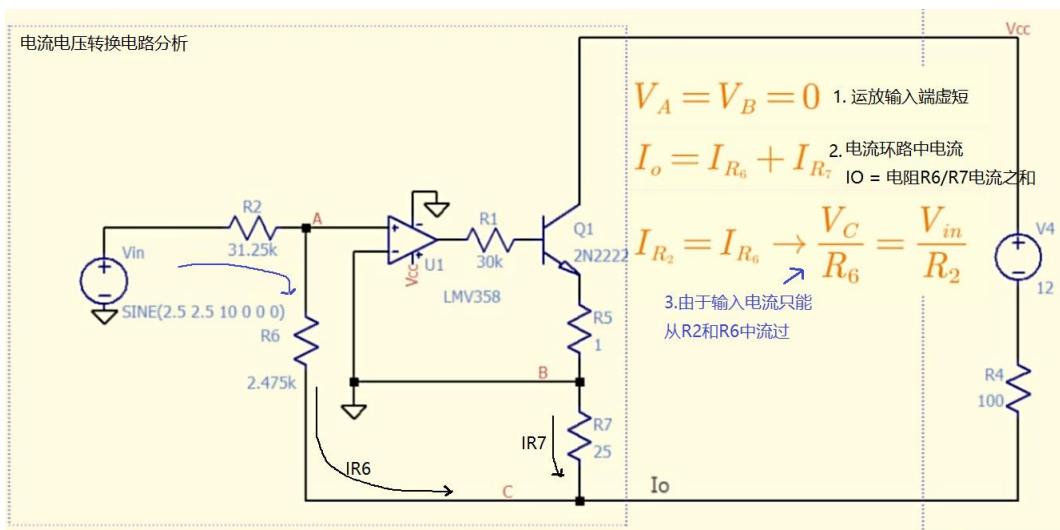
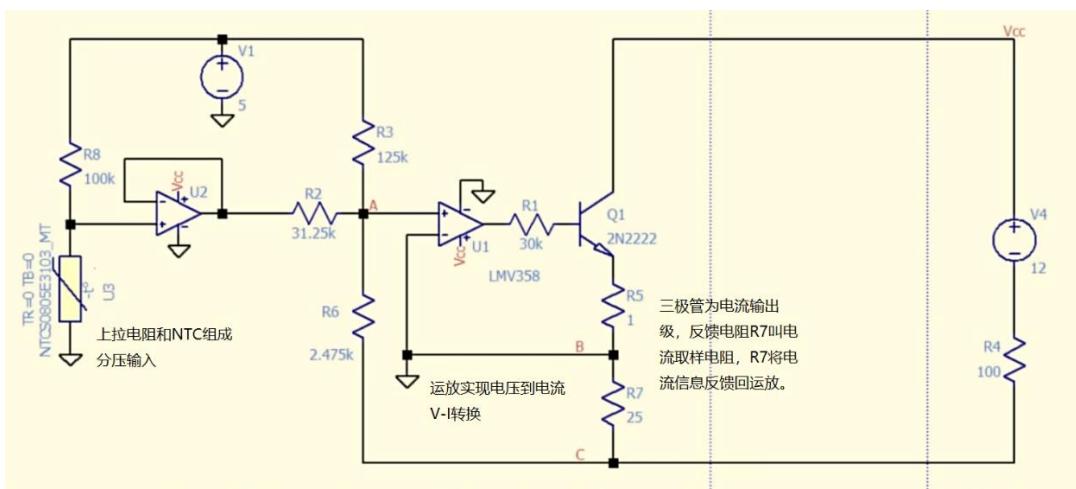
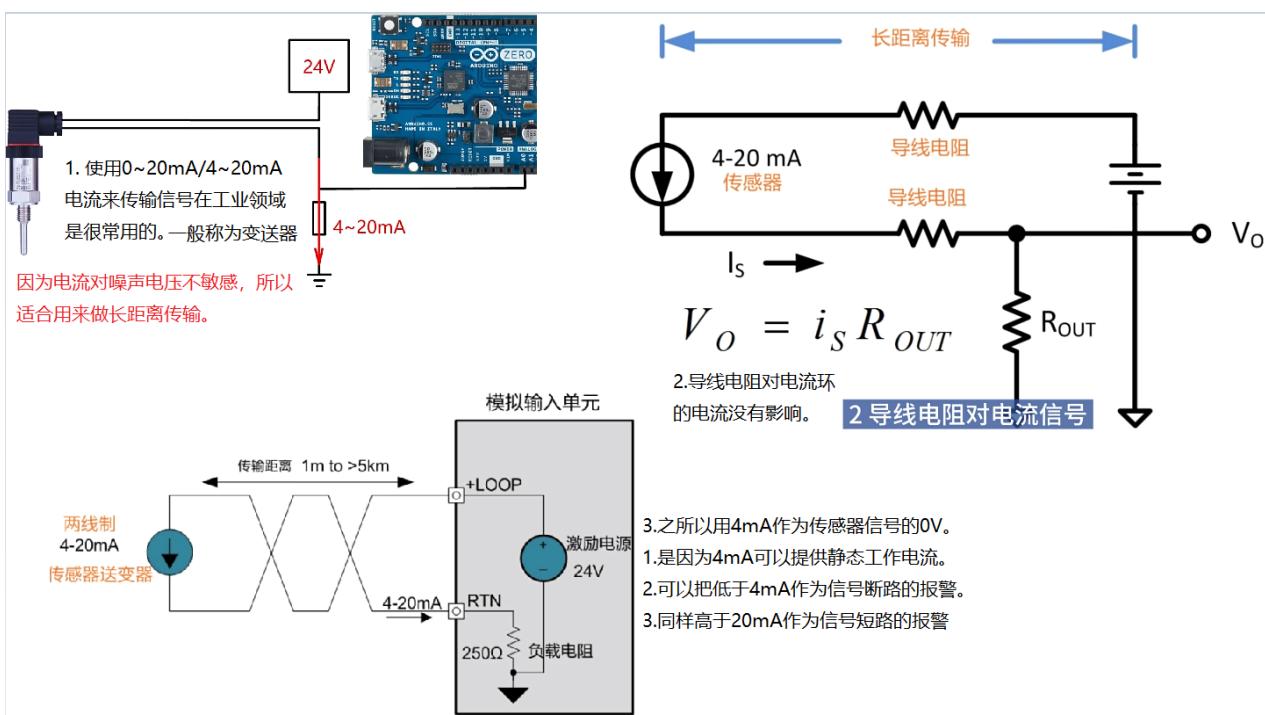
5. 而且屏蔽线与大地也存在寄生电容
这些寄生电容是高频干扰信号的通路

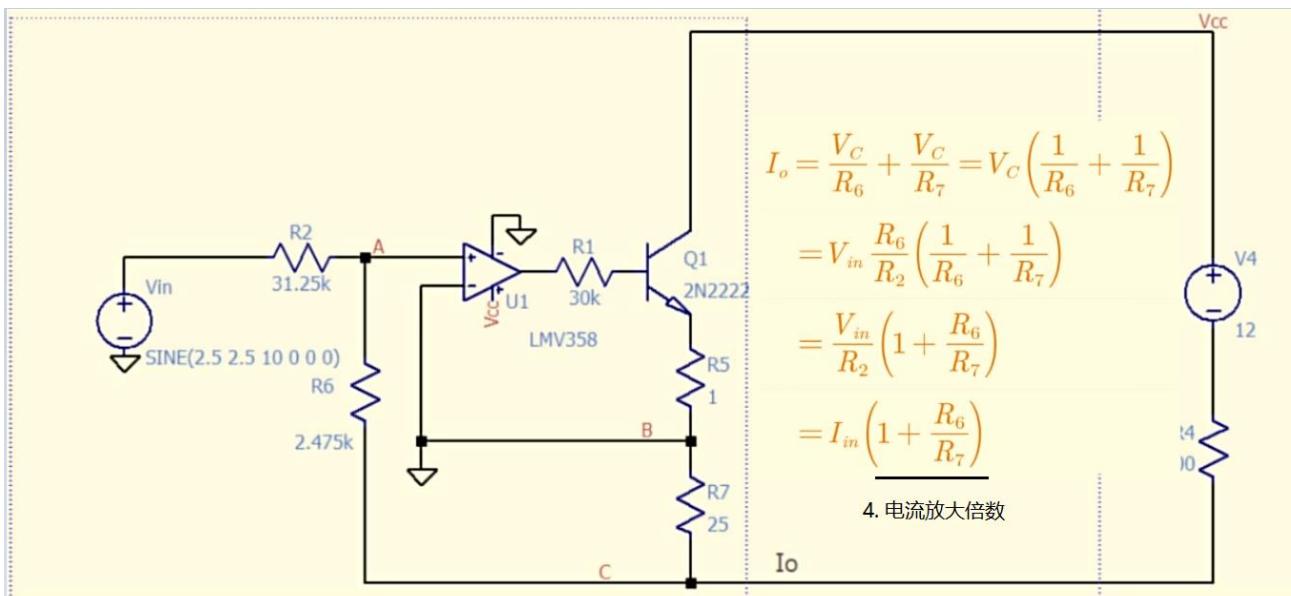


11. 最后再使用差分运放处理掉共模噪声。
信号就很赶紧了。



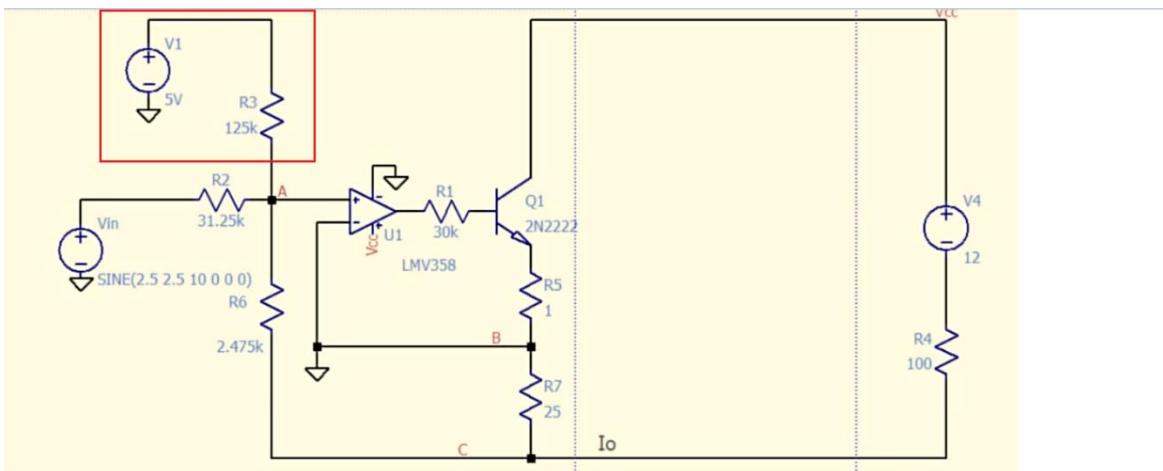
电流环抗干扰实验





5. 将电阻阻值代入
电流放大倍数=1+2.475kΩ/25Ω= 100

6. 输入电压为0~5V那么
**|in为0~ 5V/31.25k=160uA
 放大100倍，则为 0~16mA**



**要得到4~20 mA的电流范围|引入电阻R3 来加上4mA 的静态电流
 因为放大倍数是100 所以 IR3=40uA , 可得
 R3=5V/40uA = 125kΩ**