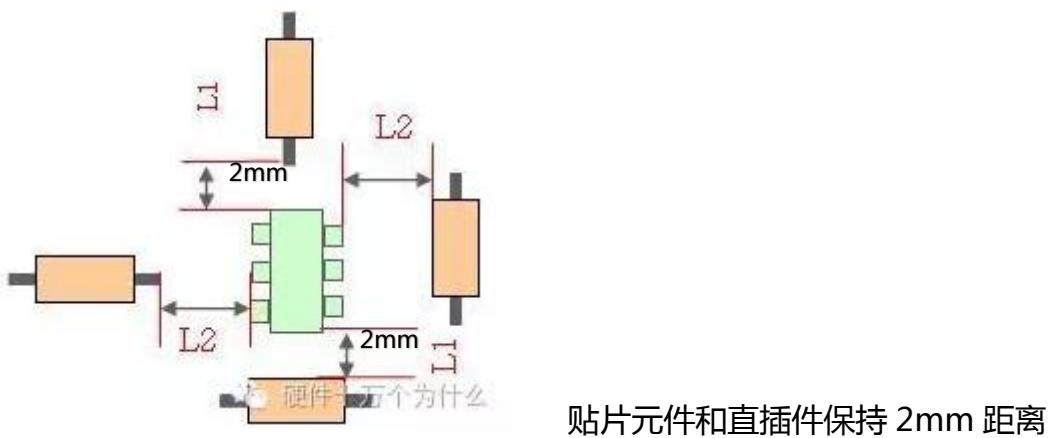
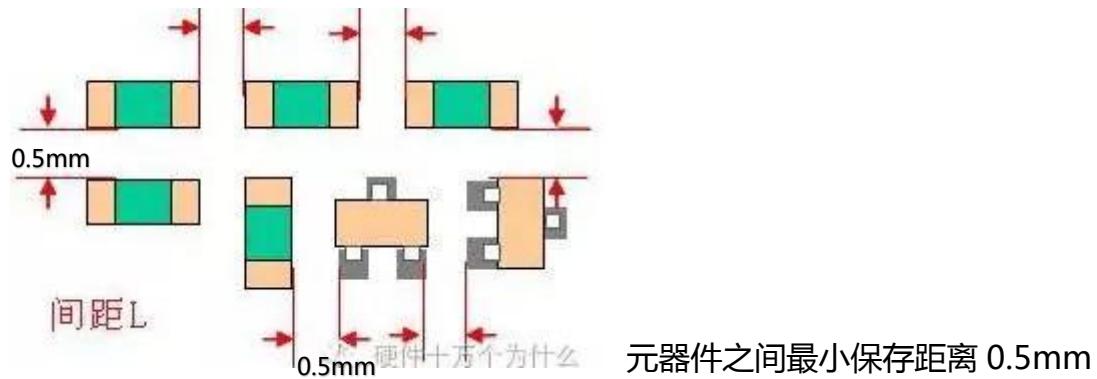


PCB 电路设计

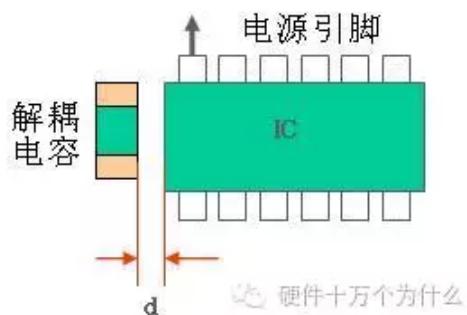
作者:向仔州

PCB 布局布线一般规则.....	2
模拟电路大小功率器件供电路径.....	4
开关电源电流路径走向控制.....	4
PCB 电路板地弹是什么意思 ?	6
开关电源 PCB 布局 , 减小 Buck 电源转换器中的 EMI 问题.....	11
运放 PCB 设计技巧.....	13
PCB 线宽电流计算公式.....	14
PCB 过孔电流计算.....	15
PCB 导线间距与导线的电压关系.....	16
RF 射频地与数字地 , 电源地隔离.....	17
同一个电源地的地线分割得太开 , 需要桥接.....	17
减小 PCB 板的边沿辐射.....	18
去耦电容放置优劣排行.....	18
直流信号和交流信号回流路径.....	19
信号地和机械地连接处理.....	19
RF 射频和数字电路的隔离布局.....	20
3W 原则 , 3 倍线距隔离的好处.....	20
晶振布线要求.....	21
ESD 静电防护问题.....	21
电磁兼容设计规范.....	22
两条平行走线的寄生电容有多大.....	25
IC 去耦电容的接地最优方法.....	26
在 PCB 同一层电源与地线要保持的距离.....	26
高速电路信号返回的参考平面怎么确定 ?	27
USB2.0 布线.....	30
USB3.0 布线.....	31
开关电源 DC-DC 布局布线.....	33
大功率元器件散热问题.....	40
开关电源纹波和 LDO 纹波对比.....	40
PCB 大功率电流过孔小数量多好 , 还是过孔大数量少好?	41
PCB 板材选择.....	42

PCB 布局布线一般规则

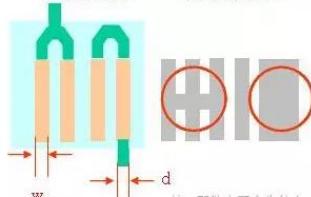


每个IC的电源端口附近都需要摆放去耦电容，且位置尽可能靠近IC的电源口，当一个芯片有多个电源口的时候，每个口都要布置去耦电容。



5.如果相邻的焊盘需要相连，首先确认在外面进行连接，防止连成一团造成桥接，同时注意此时的铜线的宽度。

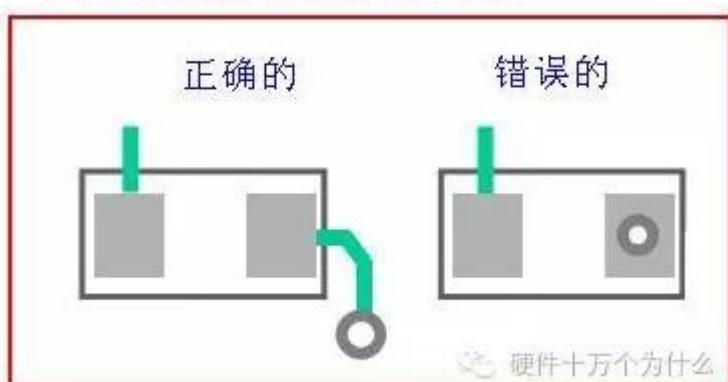
正确的做法 容易出现桥接



6. 焊盘如果在铺通区域内需要考虑热焊盘（必须能够承载足够的电流），如果引线比直插器件的焊盘小的话需要加泪滴（角度小于45度），同样适用于直插连接器的引脚。



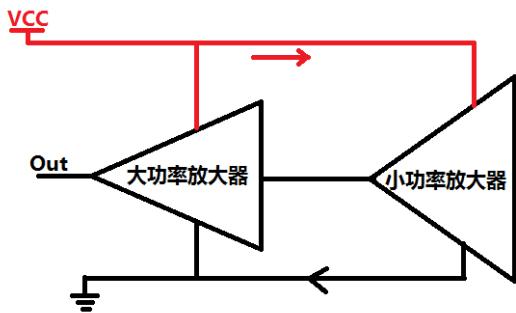
8. 注意通孔最好不要打在焊盘上。



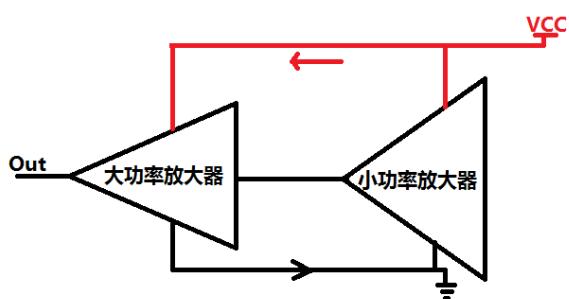
10. 大电容：首先要考虑电容的环境温度是否符合要求，其次要使电容尽可能的远离发热区域



模拟电路大小功率器件供电路径

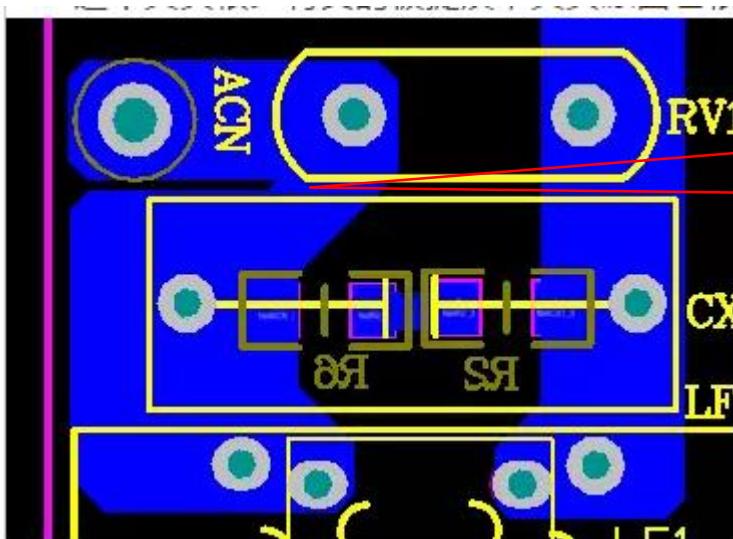


电源线给大功率供电->再给小功率供电这种路径是好的

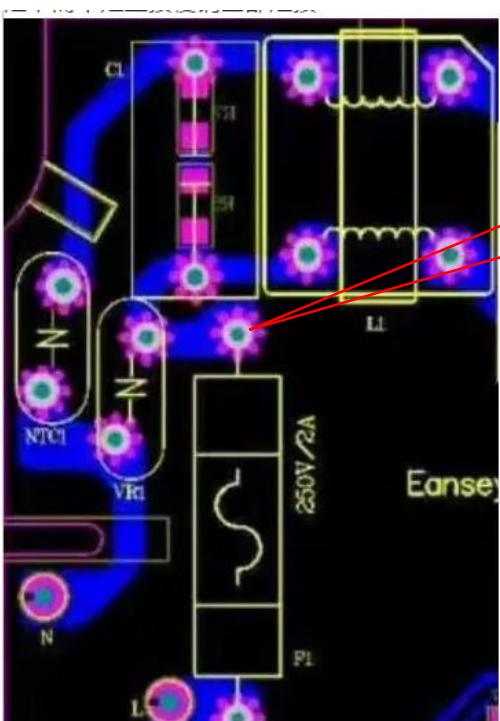


电源线先给小功率供电->再给大功率供电是错误的

开关电源电流路径走向控制

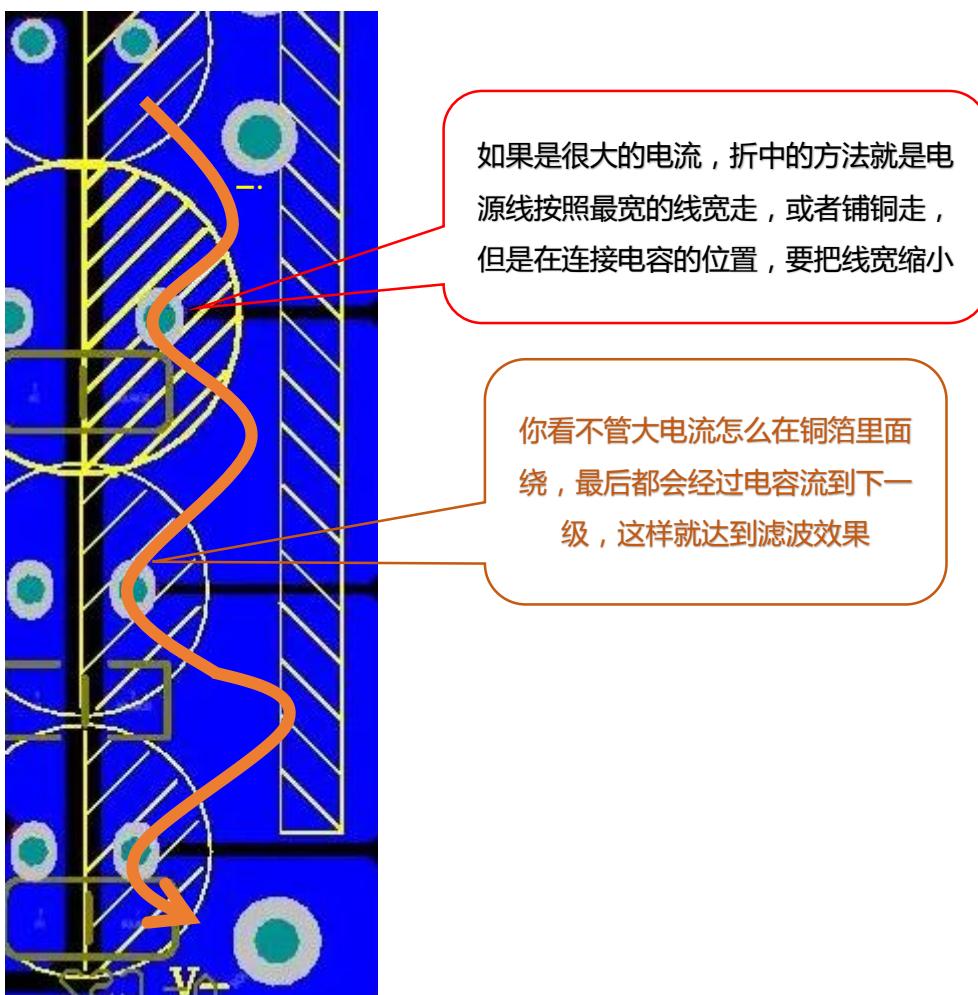
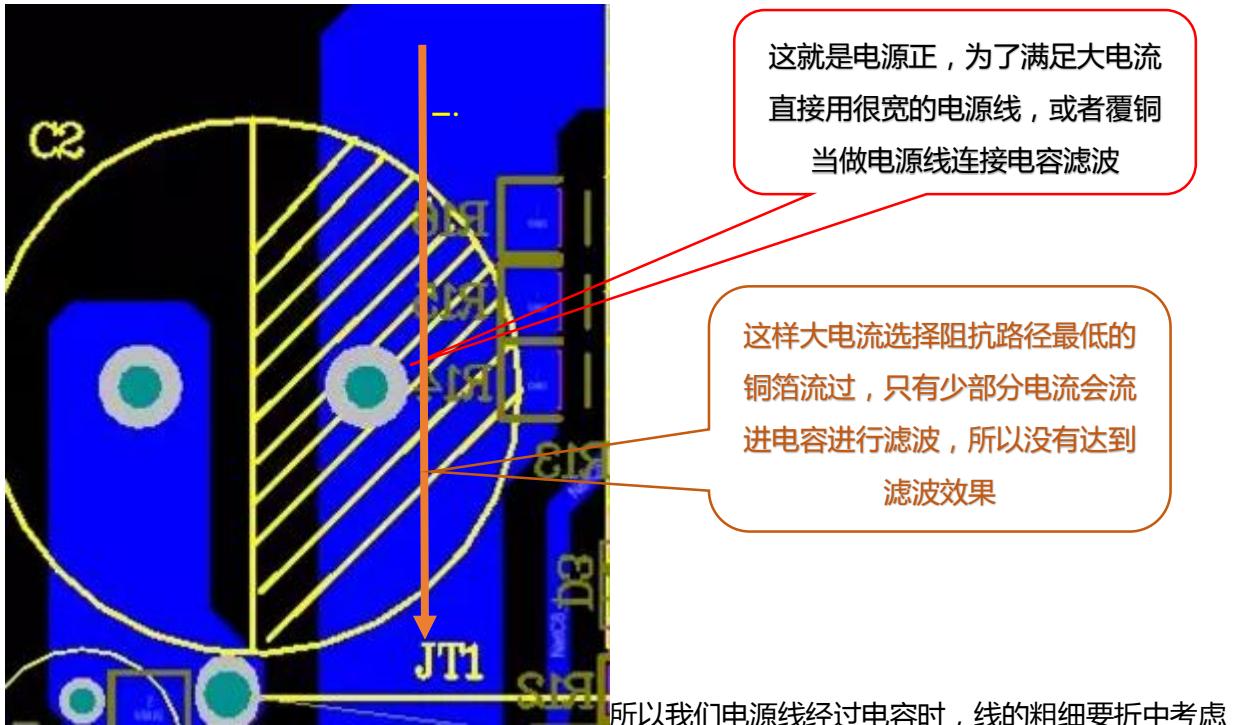


为什么电源端 RV1 到 CX
滤波电容之间不直接短路，而是留个缺口连接



为什么电源线不覆铜箔大面积连接？这里走的可是
大电流啊

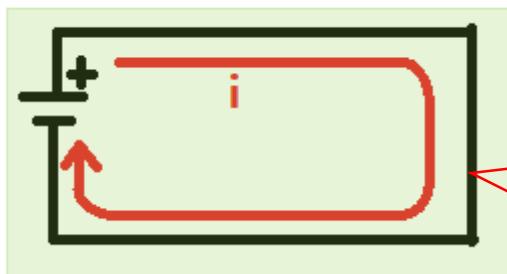
理由很简单，不让电流在 PCB 上面
有回头路可以走。电流只走阻抗最小
的部分，如果直接覆铜，必经的元器
件就有可能会被跳过，所以这样做不
可以



PCB 电路板地弹是什么意思？

首先什么电流环路面积？

电流环路面积必须要先知道什么是电流环路？



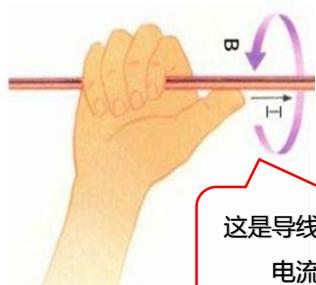
在 PCB 电路板上，画的导线就是电流流过的线，只不过这个导线必须是电源线，所以电源电流流过的导线，最后跟着导线流回到电源地/电池负极了，这个过程产生的电流路径就是电源环路



这个电流从电源正极经过导线回到电源负极，这个导线形成的环路是有面积的，你看这个导线是不是形成了长方形，或者其他方形，圆形，这个形状的面积就是电流环路面积

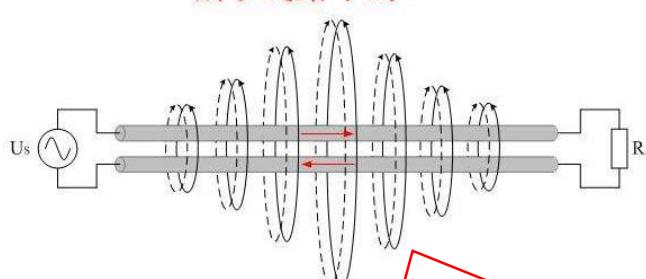
电流环路形成的面积就是电流环路面积

图1



这是导线的磁场方向与电流方向有关

减小线路中的EMI

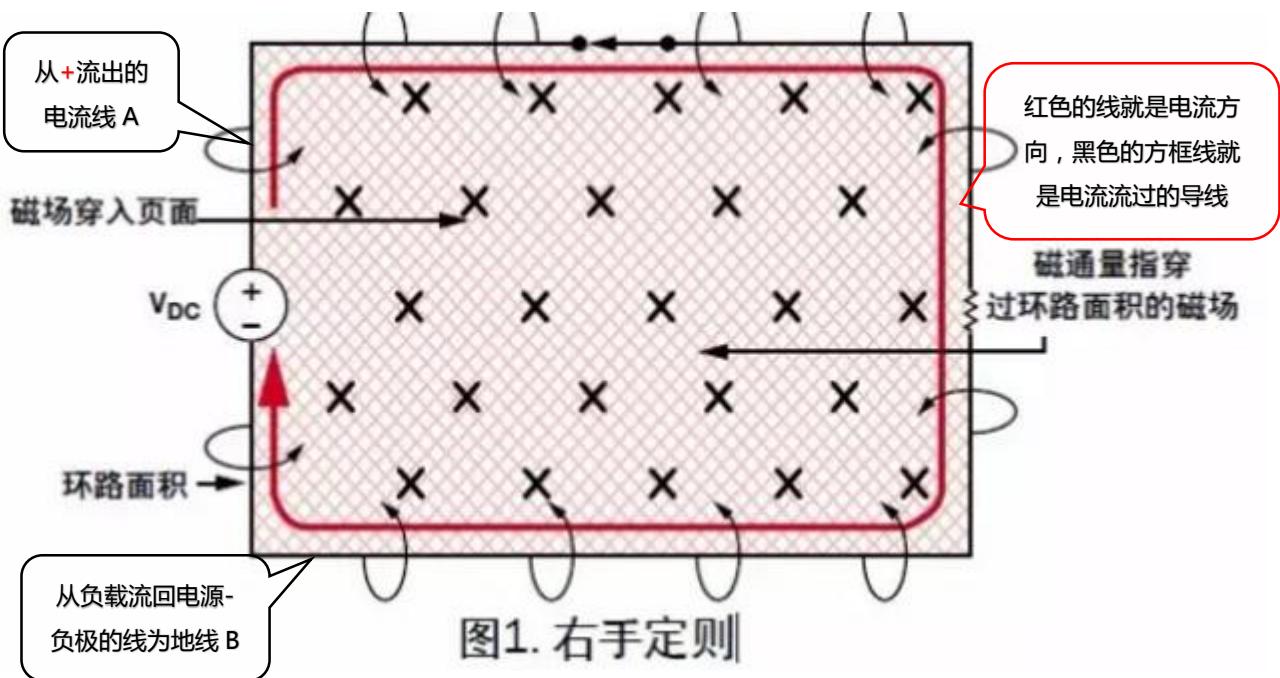


磁场强度与电流大小成正比

所以电源线和地线的距离越近，两个方向磁场就会相互抵消。
磁场抵消就不会有磁场向外辐射了，后面 PCB 布线会讲

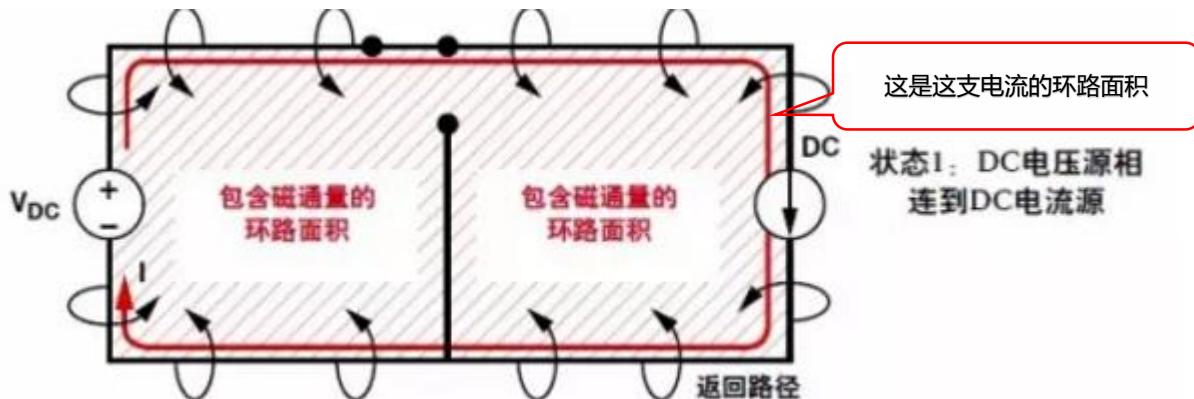
磁通量 = 磁场强度(电流大小) × 环路面积

更精确的表示是， $\Phi_B = BA \cos\varphi$



你看 A 线和 B 线的距离很远，也就是电源线和地线很远。导致两条线的磁场无法相互抵消，只有向外辐射了

那地弹是怎么产生的呢？



本来电流流的好好的环路面积也是固定的

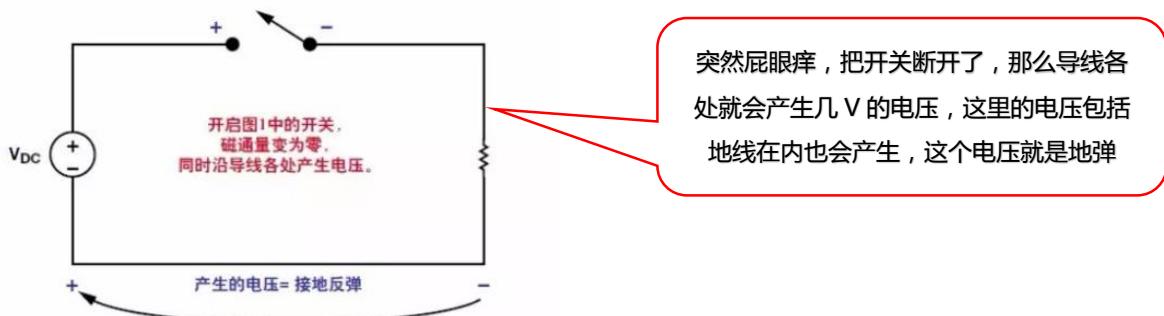
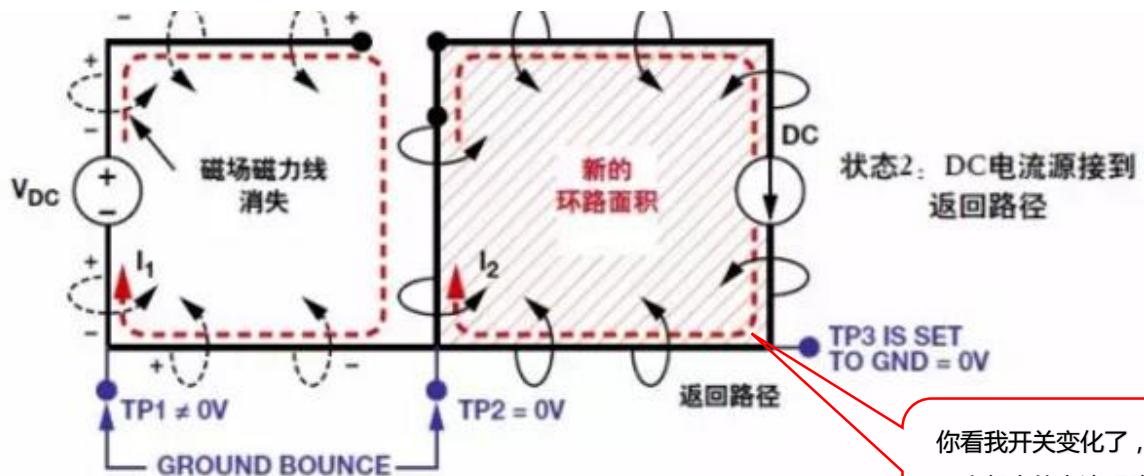


图2. 开启开关的作用

如果是普通的电源开关倒没有什么, 因为开关断开我就关闭设备了, 没什么影响

9 / 42

但是如果是开关电源，或者是高速的开关信号来回变化的设备，那么就要小心地弹了。因为设备并没有关闭，只是我在不停的切换电流大小，和电流方向而已



在开关变化的情况下，环路面积变化。在左下脚沿着导线的各处。
当电流 I_1 变为0安培（A）时，在磁场消失的地方产生电压。

从而一边的磁场消失，在消失的磁场环路面积下产生了地弹。而且产生了新的磁场

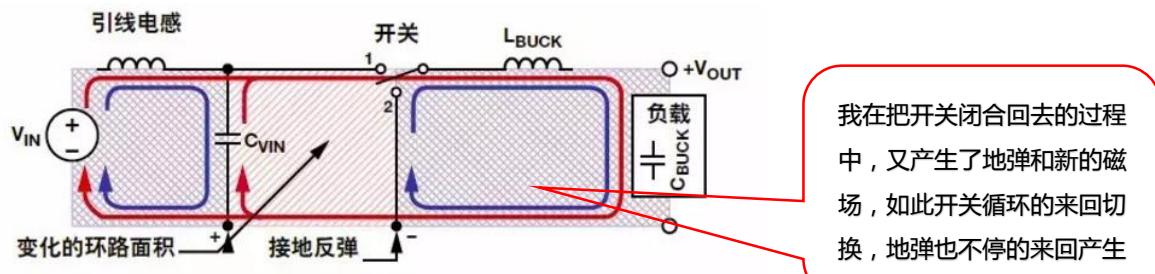
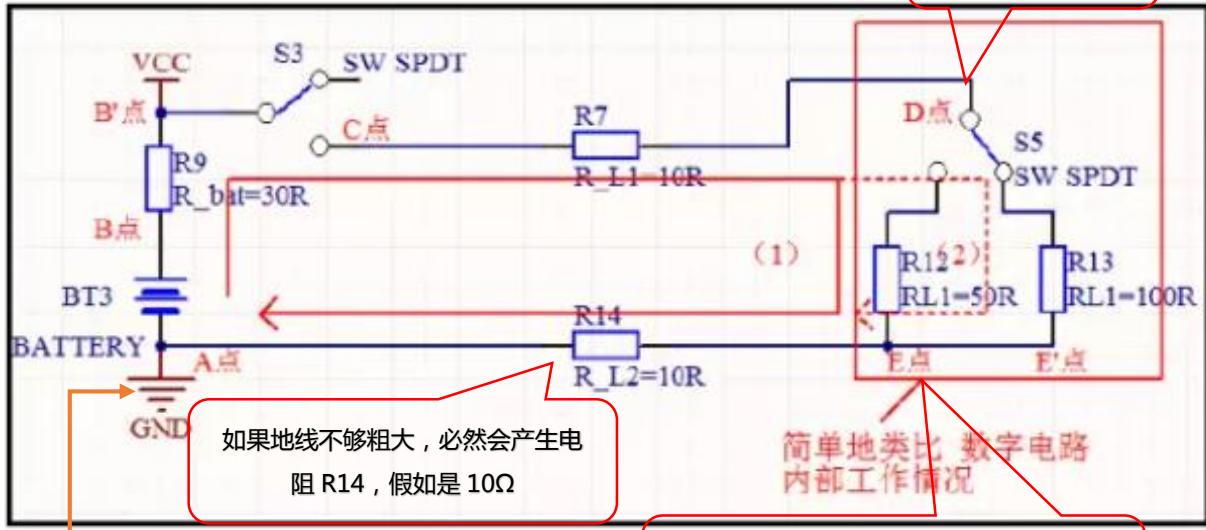


图5. 开关对环路面积的影响

下面我们就以高速信号为例说说地弹

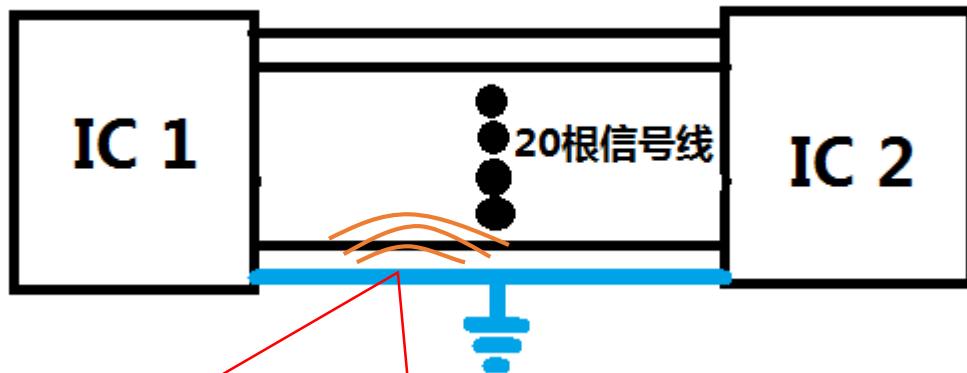
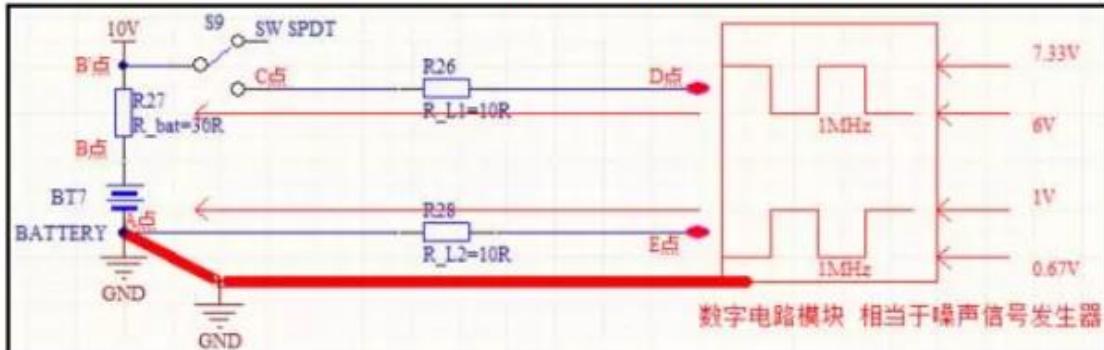


0V 就只在 A 点了，E, A 点就有电位差

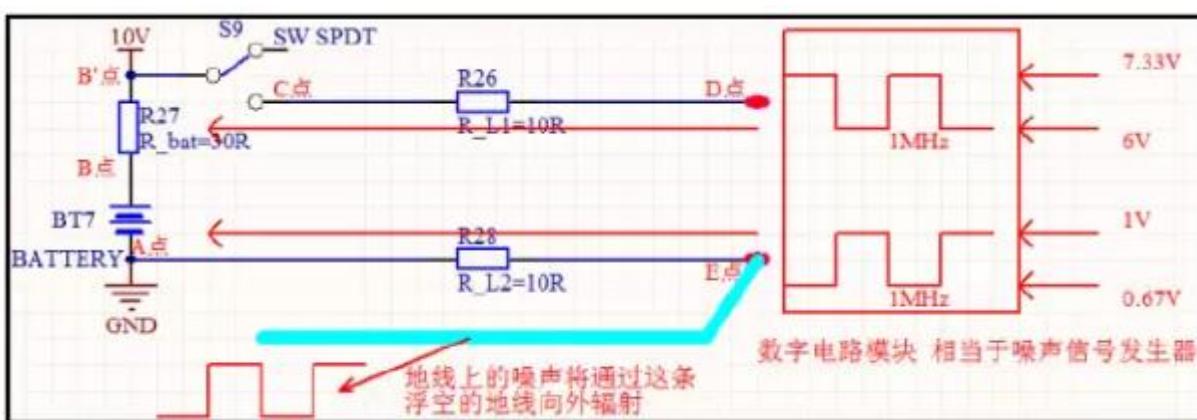
在高频状态下，E、A 电势差的主要起因不再是“E、A 间的电阻”，而是“E、A 间的电感”

2.2、地弹的危害

下图，也是“噪声的起源”章节的内容，地噪声（地弹）相当于在一个“拥有理想地”的电路中，被外部“输入地噪声”。那么，假设E点上存在着1MHz的地噪声，这会有什么危害？



地弹噪声除了影响信号质量，而且地线的噪声还会向外辐射

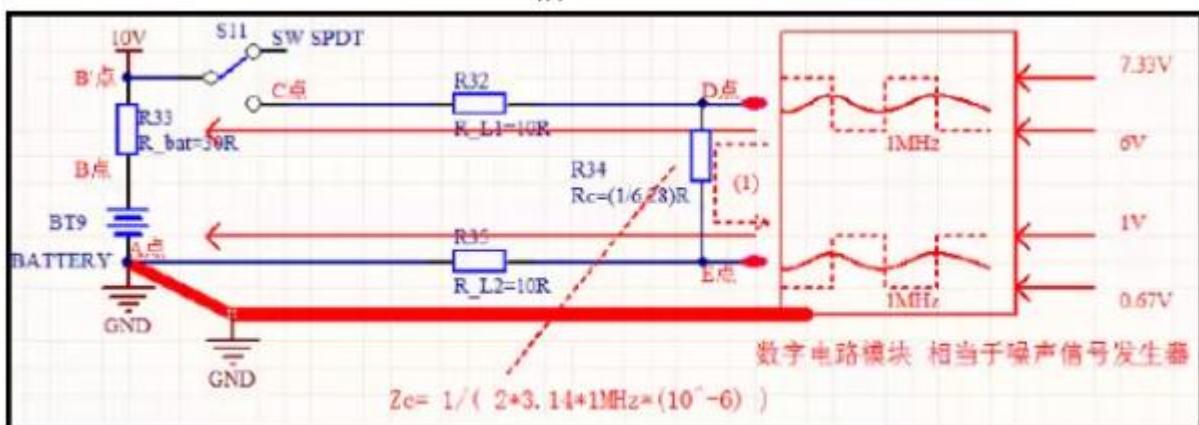
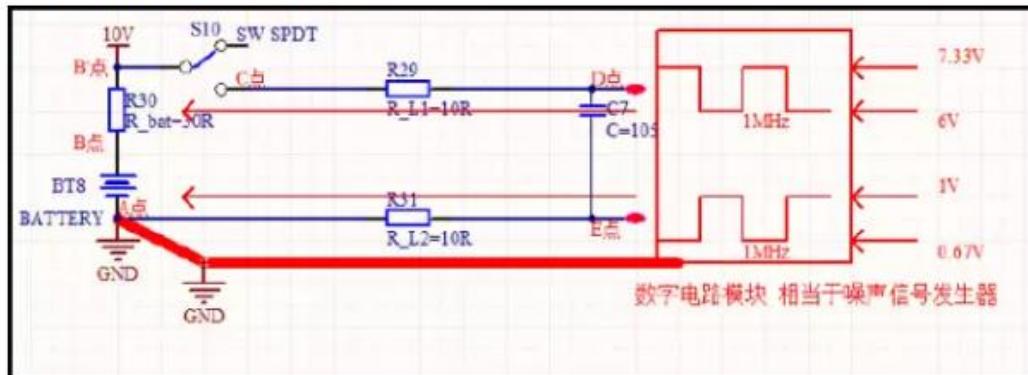


E 点相对于 A 点存在 1MHz 的地噪声，那么整条蓝色的地线都相对于 A 点存在 1MHz 的噪声。而由于这条地线长长地拉在 PCB 板的边缘，这条线像一根发射天线那样（长长的形状、上面有 1MHz 的“将要发射的信号”），不断地发射“地噪声”。

3、如何减弱“PCB地弹效应”

3.1、增加恰当的去耦电容

实际上，为了减小1MHz对整个电路的干扰，我们在D、E点间加入去耦电容C7。如图示。那么，这个电容的作用是什么？



由于 C 的容抗为： $Z_C = 1 / (2\pi f C)$ ，故对于电源和地的 1MHz 的噪声而言，等效为 R34，由于 R34 的阻抗远远小于 (R32 + R33 + R35) 所以会产生 2 个效果：

1、噪声信号源”的大部分能量将通过 R34——因而大部分噪声能量通过图中的(1)环路构成较小的环流路径而消失掉，这部分能量虽然强，但是不会干扰“(1)”以外的电路；只有小部分能量“逃出”“(1)”环路，以较弱的能量干扰其他电路。

2 , “噪声信号源”的 1MHz 方波干扰将不复存在 , 将被 C7 滤成图中实线表示的类似正弦波的变化平滑的波形。这样的好处是 : 1 、环路面积减小 , 高频的辐射能量减轻 , EMC 干扰将大大减小 ; 2 、方波干扰变成正弦波干扰 , 其高次谐波分量将大大减小 , 所以其干扰能力也大大减弱 !

还有一种方法

用粗短的“地线”，由于地线存在电阻、电感而产生地噪声。所以，我们要减小地线的“电阻、电感”。当地线增大、长度减短时，其电阻和电感会减小，从而成功减小地噪声。这样，地弹将大大减小！所以在 PCB Layout 布线时，能用粗的地线就不要用细的地线；能用短的地线就不要用长的地线。

开关电源 PCB 布局，减小 Buck 电源转换器中的 EMI 问题

做好Buck转换器PCB布局设计的关键是在一开始就要计划好关键元件的放置位置。

1. 在噪声敏感的应用中，最好是选择小型封装的、电感很低的晶圆倒装芯片。

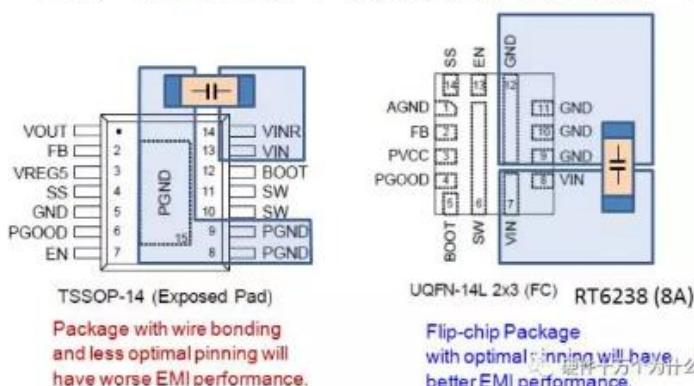


图38：不同封装将给出不同的输入回路面积和寄生电感

2. 确定开关切换回路的VIN和GND节点位置，将不同尺寸的输入电容尽可能靠近这些节点，最小的电容靠节点的位置要最近。由于这个切换回路承载了很高的电流变化率 dI/dt ，因而需要尽可能地小。

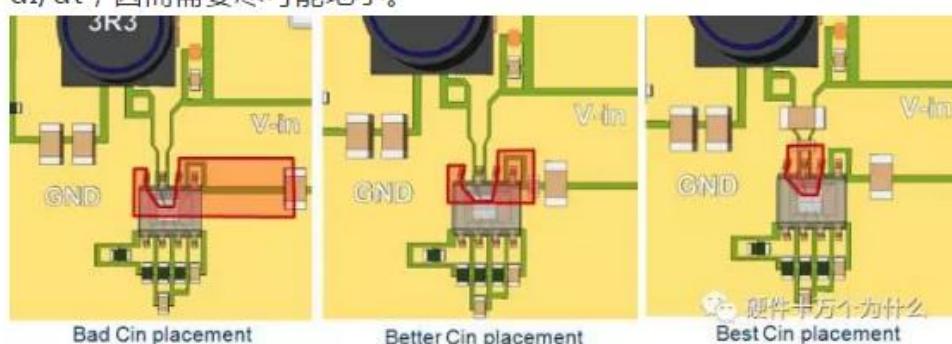


图39：不同输入电容放置位置的布局样板

3. 将输出电容地放在不与输入电容切换路径发生重叠的地方，避免高频噪声串入输出电压中。

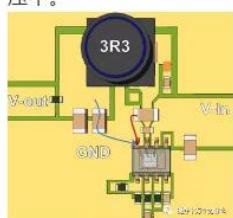


图 40

4. 开关切换节点和BOOT引脚含有很高的电压变化率 dV/dt ，可导致严重的电场辐射，因而其铜箔面积应当保持最小化，还要避开其它敏感电路。

5. 转换器的小信号部分应当与大功率的开关切换部分分开，其地线应当位于干净无噪声的地方，千万不要将输入端的电流信号和输出端的纹波电流引入其中。

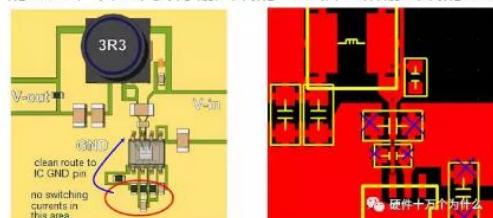
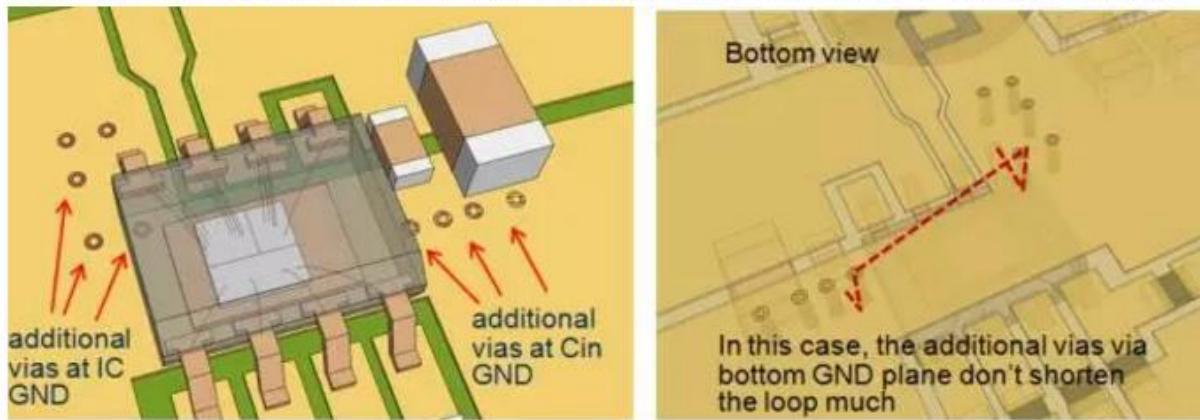
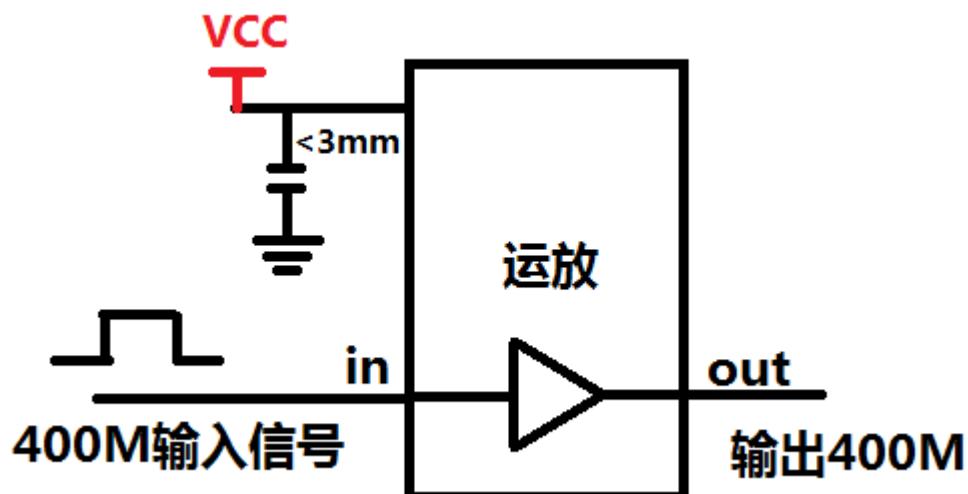
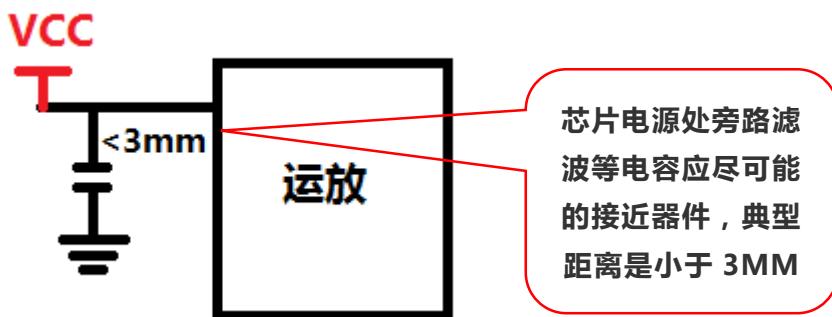


图41

6. 不要在关键回路上使用热阻焊盘，它们会引入多余的电感特性。
7. 当使用地线层的时候，要尽力保持输入切换回路下面的地层的完整性。任何对这一区域地线层的切割都会降低地线层的有效性，即使是通过地线层的信号导通孔也会增加其阻抗。
8. 导通孔可以被用于连接退耦电容和IC的地到地线层上，这可使回路最短化。但需要牢记的是导通孔的电感量大约在0.1~0.5nH之间，这会根据导通孔厚度和长度的不同而不同，它们可增加总的回路电感量。对于低阻抗的连接来说，使用多个导通孔是应该的。

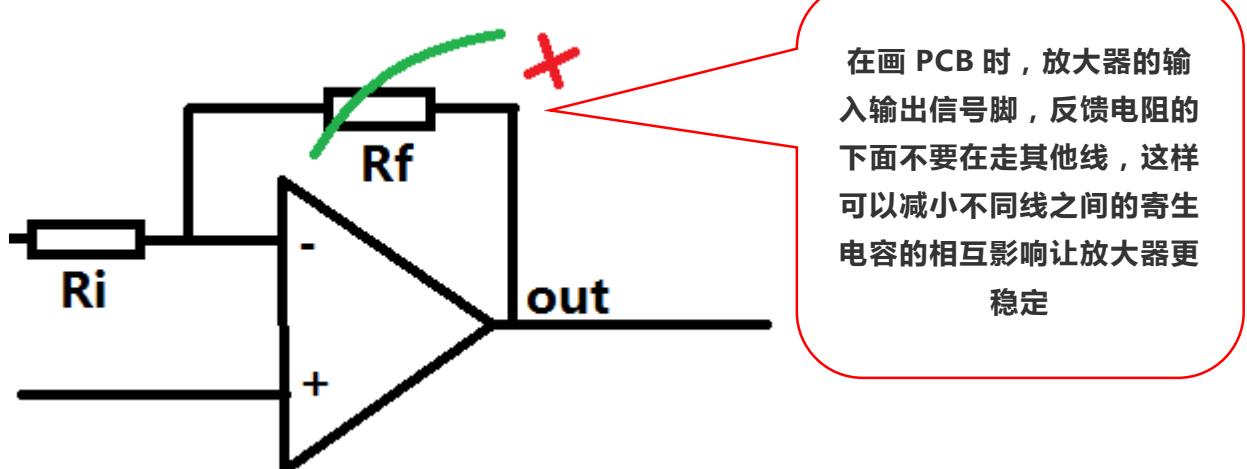


运放 PCB 设计技巧



运算放大器芯片电源处的小陶瓷旁路电容在放大器处于输入高频信号时可以为放大器的高频特性提供能量，**电容值的选择根据输入信号的频率与放大器的速度选择**例如，一个 400MHz 的放大器可能采用并连安装的 0.01uF 和 1nF 电容

当我们购买电容等器件时，还需要注意他的自谐振荡频率，自谐振频率在此频率(400MHz)上下的电容是没有用的。



表面贴装器件的高频性能比较好同时又体积小

对于电源线为了避免电源线寄生特性最坏的直流电阻与自感，我们在布电源线的时候尽可能的加宽些

PCB 线宽电流计算公式

PCB布线时首先要设置走线宽度，在此使用下式计算线宽与电流的关系：

$$I = KT^{0.44} A^{0.75}, \quad W=A/d \quad (4-1)$$

式中 K ——修正系数，一般覆铜线在内层时取0.024，在外层时取0.048；

T ——最大温升，单位为 $^{\circ}\text{C}$ (铜的熔点是 1060°C)；

A ——覆铜截面积，单位为平方mil；(注意不是mm,是square mil)

I ——容许的最大电流，单位为安培(A)。

大部分PCB的铜箔厚度为35um，即无特殊要求下d取35um，即
 $d=0.035/0.0254=1.378\text{mil}$ 。

由I、K、T导出A，由A、d导出W。

35um=0.000035m，但是为什么不是这样取呢？因为d的单位是(mm)毫米

比如我要计算导线过5A电流的能力，我叫厂家用70um的铜箔布线，导线温度控制在10度 10°C 温升、5A：

$$5=0.048*10^{0.44}*A^{0.75} \rightarrow I = KT^{0.44} A^{0.75}$$

记住得出来的截面积单位是平方毫米

$$A^{0.75}=5/(0.048*10^{0.44})=37.82\text{mil}^2$$

$$A^{0.75} = 37.82\text{mil}^2$$

$$A=126.94\text{mil}^2$$

37.82mil²不用展开，直接带着平方算

$$70\text{um}=2.7559\text{mil}=0.070\text{mm}/0.0254=2.7559\text{mil}$$

$$A = \sqrt[0.75]{37.82}$$

$$\text{线宽 } W=A/2.7559=46\text{mil}=1.17\text{mm}$$

$$A=126.94\text{mil}^2$$

这些都是算的平方，所以不用开方直接算

$$126.94/2.7559=1.17\text{mm 平方}$$

计算出来的线宽要降额50%，也就是理论得出1.17mm线宽，要用 $1.17/0.5=2.34\text{mm}$ 的线宽

PCB铜厚，1oz=35um，2oz=70um，3oz=105um

如果允许铜箔温度达到30度恒定，过5A电流，就可以把线宽变小一半

30°C温升：

$$5=0.048*30^{0.44}*A^{0.75}$$

如果反推，10mil线宽，铜厚1oz = 35um，温升10°

$$A^{0.75}=5/(0.048*10^{0.44})=23.3236\text{mil}^2$$

$W(\text{线宽})=A/d(\text{铜厚})$

$$A=66.6388\text{mil}^2$$

$$d=0.038/0.0254=1.378\text{mil}$$

$$70\text{um}=2.7559\text{mil}$$

$$A^{0.75}=10\text{mil}*1.378\text{mil}=13.78^{0.75}$$

$$\text{线宽 } W=A/2.7559=24\text{mil}=0.62\text{mm}$$

$$A=7.152\text{mil}$$

$$I = KT^{0.44} A^{0.75}$$

$$A=\frac{I}{KT^{0.44}}$$

$$I = 7.152\text{mil} \times 0.048 \times 10^{0.44} = 0.945\text{A} = 945\text{mA} \quad 945\text{mA} \times 0.5 = 472\text{mA}$$

这就是10mil线宽35um铜厚的理论最大电流

必须降额50%设计就是472mA，这才正确

铜皮厚度35um 铜皮△t=10°C		铜皮厚度50um 铜皮△t=10°C		铜皮厚度70um 铜皮△t=10°C	
宽度mm	电流A	宽度mm	电流A	宽度mm	电流A
0.15 ^{±0.05}	0.20 ^{±0.05}	0.15 ^{±0.05}	0.50 ^{±0.05}	0.15 ^{±0.05}	0.70 ^{±0.05}
0.20 ^{±0.05}	0.55 ^{±0.05}	0.20 ^{±0.05}	0.70 ^{±0.05}	0.20 ^{±0.05}	0.90 ^{±0.05}

PCB 过孔电流计算

过孔孔径	温升 10 度		温升 20 度 (不推荐使用)
	计算值	设计推荐值	
10mil	1.1848	1	1.6072
12mil	1.3415	1.2	1.8199
16mil	1.5521	1.4	2.1056
20mil	1.7646	1.5	2.3938
24mil	1.8720	1.6	2.5396
40mil	2.5287	2.3	3.4305
80mil	3.9433	3.6	5.3496

- 1、12mil 的孔径可以安全承载 1.2A 左右电流，比行业里普遍认可的 0.5A 要宽松；
 2、更大的 16mil、20mil 甚至 24mil 的孔径，在载流上优势并不明显，也就是很多人回答说并不是线性增加

表2 17.5 μm 外层/35 μm 内层铜箔的PCB上

不同孔径载流能力数据表

	0.15mm 孔径	0.25mm 孔径	0.3mm 孔径	0.5mm 孔径	0.7mm 孔径
温度 $\Delta T=20^\circ\text{C}$	12.5A	15.75A	18.75A	25.1A	27.8A
温度 $\Delta T=40^\circ\text{C}$	16.0A	22.75A	25.8A	33.0A	36.8A
温度 $\Delta T=60^\circ\text{C}$	18.75A	26.5A	30.1A	38.0A	41.6A
温度 $\Delta T=100^\circ\text{C}$	21.7A	/	35.0A	/	/
极限耐电压	22.0A	30.0A	35.0A	40.0A	45.0A

PCB 导线间距与导线的电压关系

导线间距为 1.5mm(约为 60mil 时) , 绝缘电阻>20MΩ, 导线之间最大耐压为 300V

导线间距为 1mm 时(约 40mil) , 导线之间最大耐压 200V

在线间电压不大于 200V 的电路 , 线间距取 40~60mil

数字电路低压系统不必考虑导线间击穿(爬电)电压,一般导线间距取 10mil~20mil

导线间距在 0.1mm(4mil)以下是绝对禁止使用的 , 但是有些高速电路可以根据公版来折中选取 4mil

		Bare Board						Assembly						
Internal layers		External conductors, uncoated		External conductors, uncoated, >3050 m		External conductors coated		External conductors with conformal coating		External component leads, uncoated		Component leads with conformal coating		
Vpk, V	mm	inch	mm	inch	mm	inch	mm	inch	mm	inch	mm	inch	mm	inch
15	0.05	0.002	0.1	0.004	0.1	0.004	0.05	0.002	0.13	0.006	0.13	0.006	0.13	0.006
30	0.05	0.002	0.1	0.004	0.1	0.004	0.05	0.002	0.13	0.006	0.25	0.01	0.13	0.006
50	0.1	0.004	0.6	0.024	0.6	0.024	0.13	0.006	0.13	0.006	0.4	0.016	0.13	0.006
100	0.1	0.004	0.6	0.024	1.5	0.06	0.13	0.006	0.13	0.006	0.5	0.02	0.13	0.006
150	0.2	0.008	0.6	0.024	3.2	0.13	0.4	0.016	0.4	0.016	0.8	0.032	0.4	0.016
170	0.2	0.008	1.25	0.05	3.2	0.13	0.4	0.016	0.4	0.016	0.8	0.032	0.4	0.016
250	0.2	0.008	1.25	0.05	6.4	0.26	0.4	0.016	0.4	0.016	0.8	0.032	0.4	0.016
300	0.2	0.008	1.25	0.05	12.5	0.5	0.4	0.016	0.4	0.016	0.8	0.032	0.8	0.032
500	0.25	0.01	2.5	0.1	12.5	0.5	0.8	0.032	0.8	0.032	1.5	0.06	0.8	0.032
1000	1.5	0.06	5	0.2	25	0.99	2.33	0.092	2.33	0.1	3.03	0.12	2.33	0.092
2000	4	0.158	10	0.4	50	1.97	5.38	0.22	5.38	0.22	6.08	0.24	5.38	0.22
3000	6.5	0.256	15	0.6	75	2.96	8.43	0.34	8.43	0.34	9.13	0.36	8.43	0.34
4000	9	0.355	20	0.79	100	3.94	11.48	0.46	11.48	0.46	12.18	0.48	11.48	0.46
5000	11.5	0.453	25	0.99	125	4.93	14.53	0.58	14.53	0.58	15.23	0.6	14.53	0.58

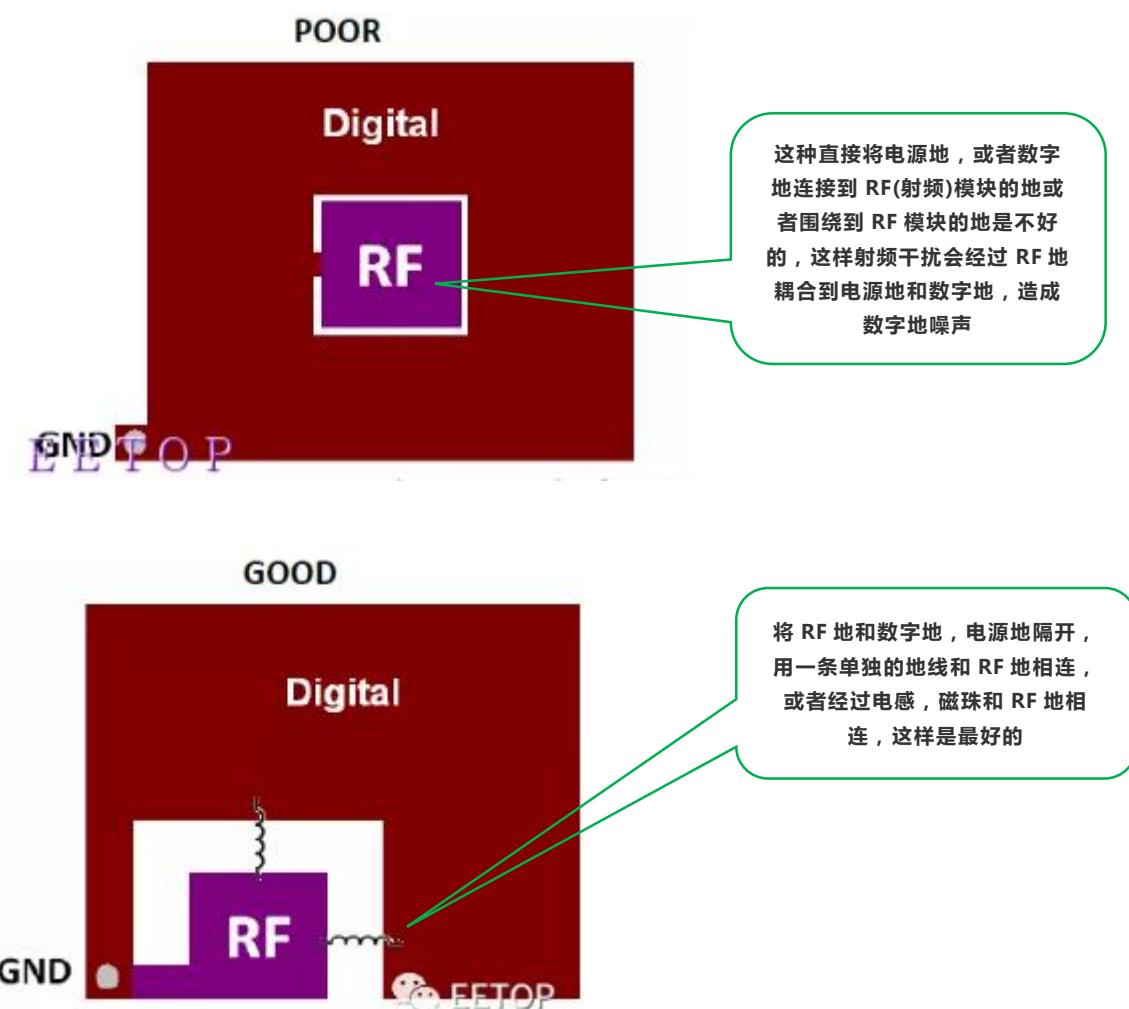
这个表 , 表示低速电路系统的线间距规范 , 高速电路得去查阅信号完整性知识

另外根据最新颁布的IPC-9592, 一个用于电源变换器电路的IPC 指导标准, 推荐了PCB 导线之间的间距应该依从于一个线性公式:

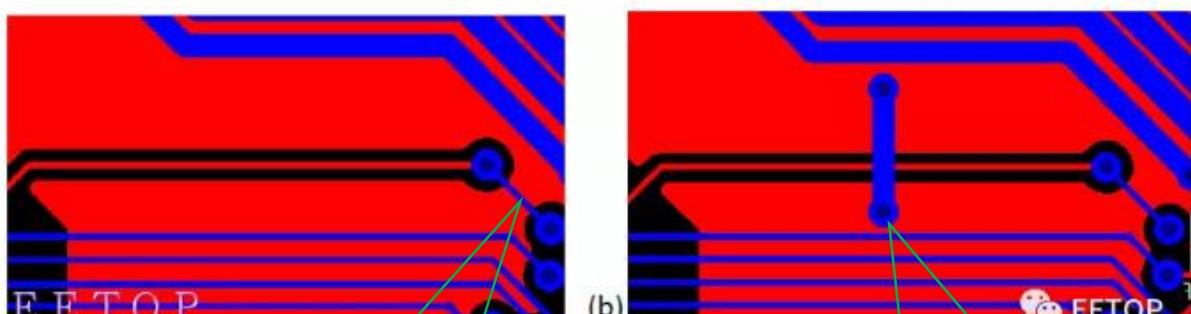
$$\text{SPACING (mm)} = 0.6 + \text{Vpeak} \times .005$$

这个公式符合电压信号变换时间在 30Khz 以内。高于 30Khz 请查阅其它高速电路资料

RF 射频地与数字地，电源地隔离



同一个电源地的地线分割得太开，需要桥接



避免形成大的源环路，进行Plane层的桥接。

地弹章节讲过，电源线和地线环路面积越小，磁场就能大面积抵消，减小干扰，这种被信号线隔离开的同一个电源地，形成了很大的环路，下面地线的电流要绕个弯才能到上面地线的电源地

我们用个其它层的线把两边红色的地线桥接起来，形成回流面积小的环路，这是处理 EMC 的一种方法

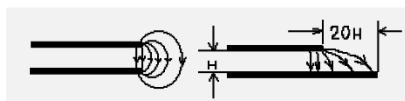
减小 PCB 板的边沿辐射



Plane层的覆铜注意在边缘留间隙，减小边缘效应的影响。

19) 20H规则：

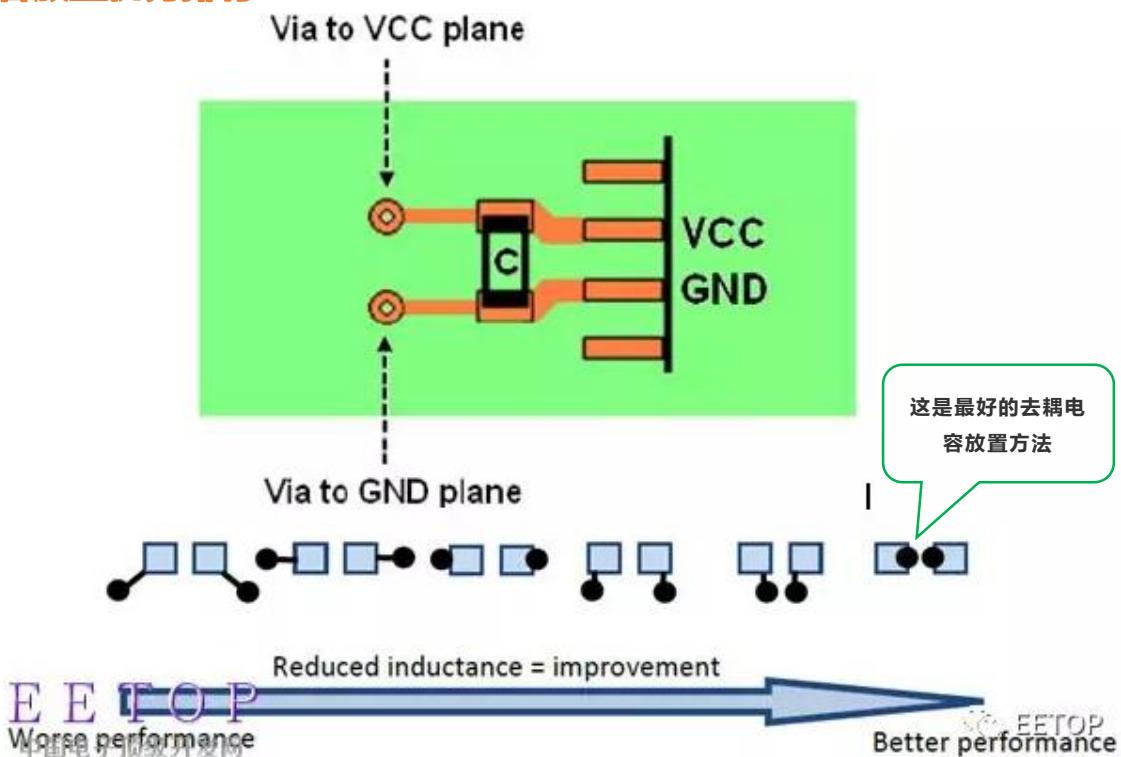
有些情况下电源线，或者铺电源铜会将 PCB 板边铺上，所以要求不要完全填满 PCB 板边，要留间隙



由于电源层与地层之间的电场是变化的，在板的边缘会向外辐射电磁干扰。称为边沿效应。

解决的办法是将电源层内缩，使得电场只在接地层的范围内传导。以一个H（电源和地之间的介质厚度）为单位，若内缩20H则可以将70%的电场限制在接地层边沿内；内缩100H则可以将98%的电场限制在内。

去耦电容放置优劣排行



去耦电容就近放置，减小寄生电感，避免去耦失效。

直流信号和交流信号回流路径

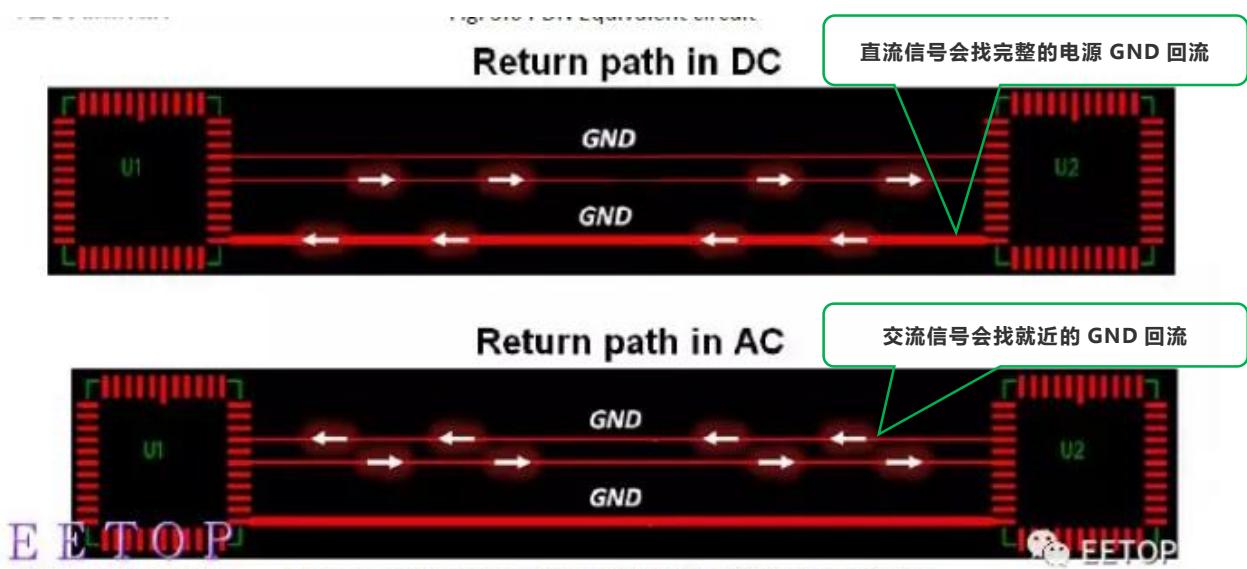


Fig. 5.5 Currents return on the path of least impedance

注意交流路径和直流路径的区别在于耦合。

信号地和机械地连接处理

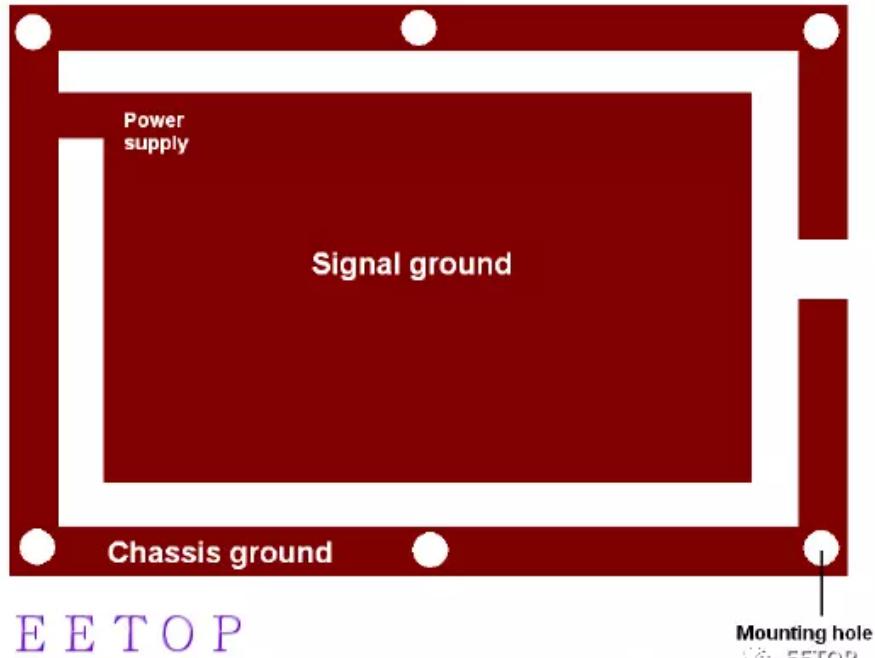


Fig. 6.8 Multi-point chassis grounding

关于信号地和支架的接地处理，接地的目的是提供干扰的泄放路径，环路开口的目的是避免形成大环路天线，造成EMI干扰。

RF 射频和数字电路的隔离布局

三、布局

RF 的电路要单独隔离出来，地也要单独隔离出来

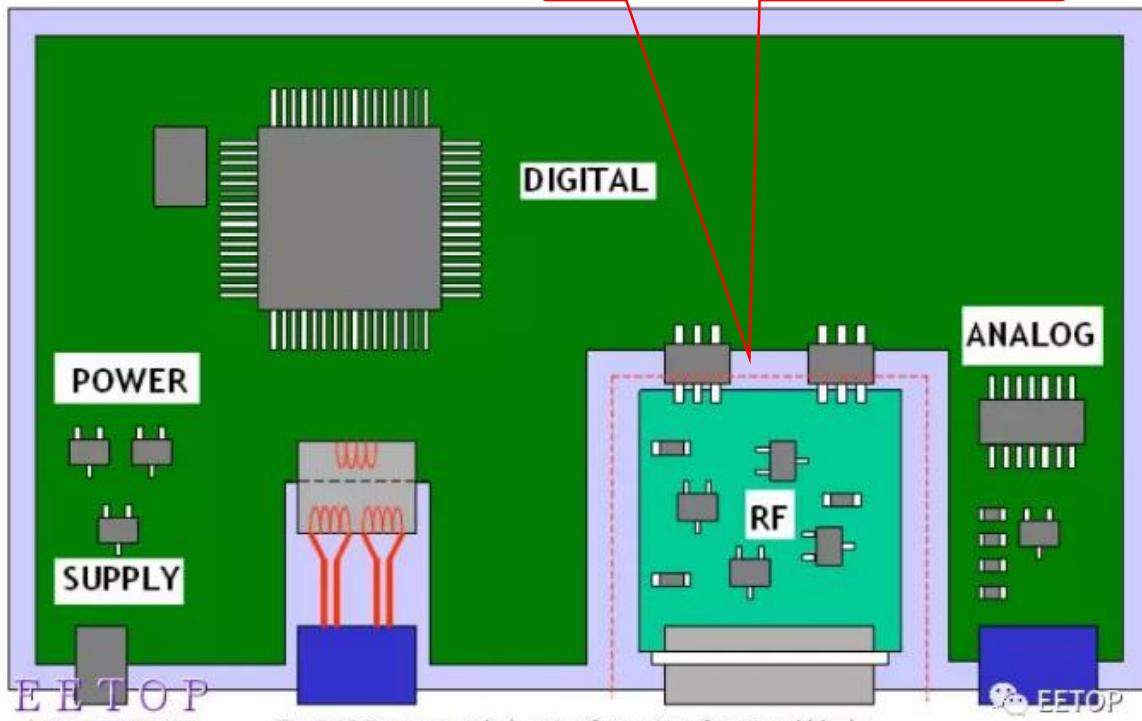


Fig. 4.10 Recommended zoning for various functional blocks

3W 原则，3 倍线距隔离的好处

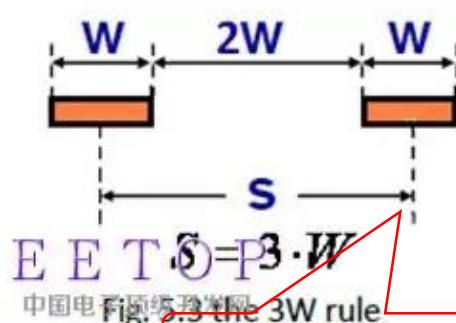


Fig. 5.3 the 3W rule

两根线要隔离 3 倍线宽的距离



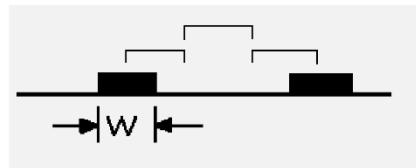
Fig. 5.4 Guarding

EETOP

简单的3W原则。

保持 3W 间距隔离，两个线就不会相互干扰，但是一般 PCB 尺寸不允许这样浪费

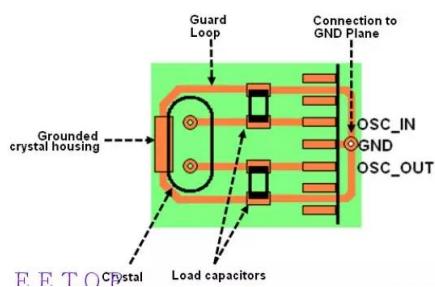
18) 3W规则:



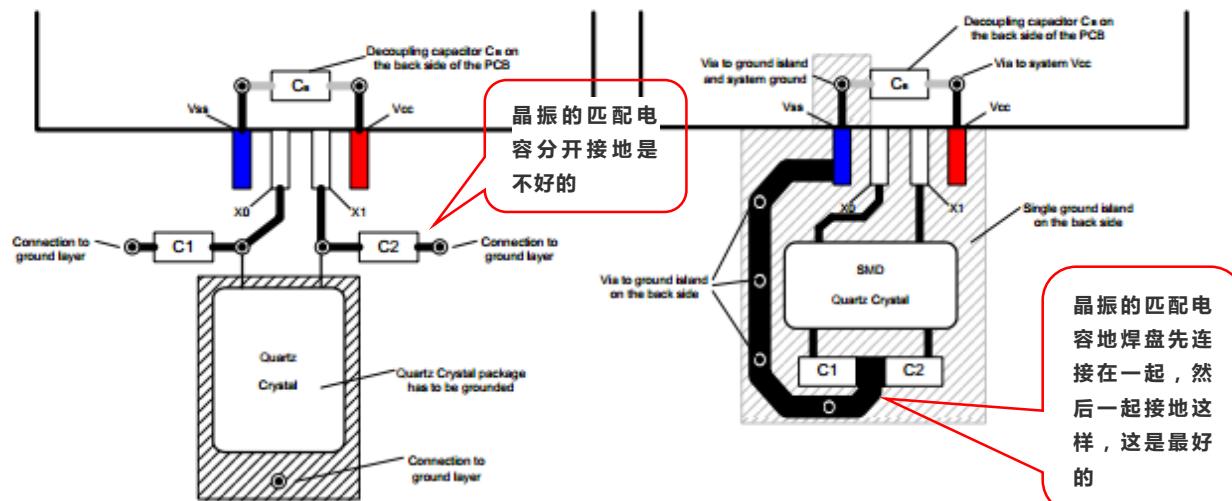
为了减少线间串扰，应保证线间距足够大，当线中心间距不少于3倍线宽时，则可保持
70%的电场不互相干扰，称为3W规则。如要达到98%的电场不互相干扰，可使用10W的
间距。

晶振布线要求

晶振的布线特殊注意：



将晶振的金属壳接电源地

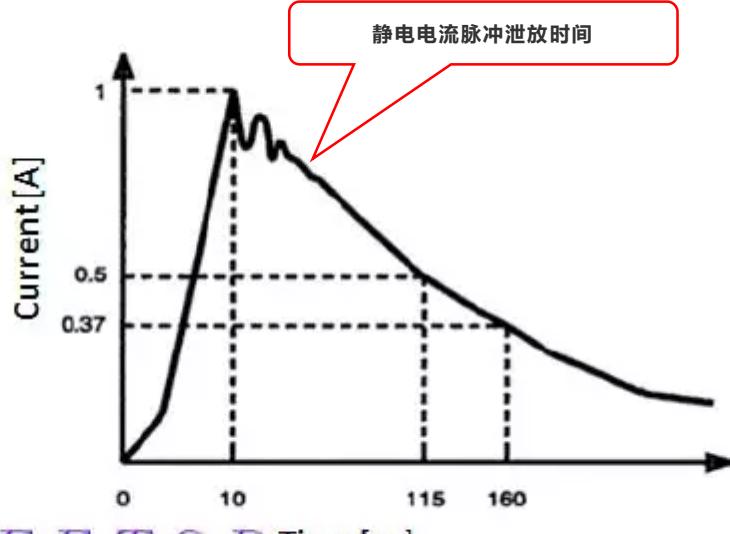


a) Layout example for a leaded quartz crystal
worse layout design, because C1 and C2
are wrong connected to VSS

b) Layout example for a SMD quartz crystal
better layout design, because C1 and C2
are connected to Vss and than after with
the system ground

ESD 静电防护问题

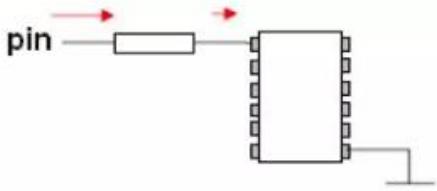
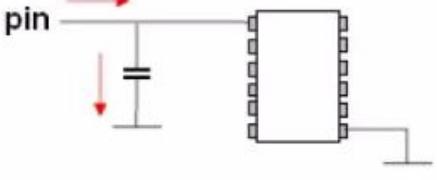
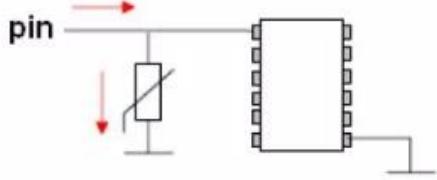
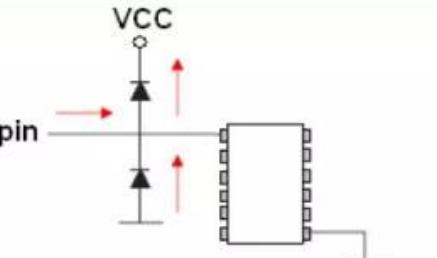
四、ESD问题



E E T O P Time [ns]

中国电子技术网 Fig. 6.10 Typical HBM discharge pulse

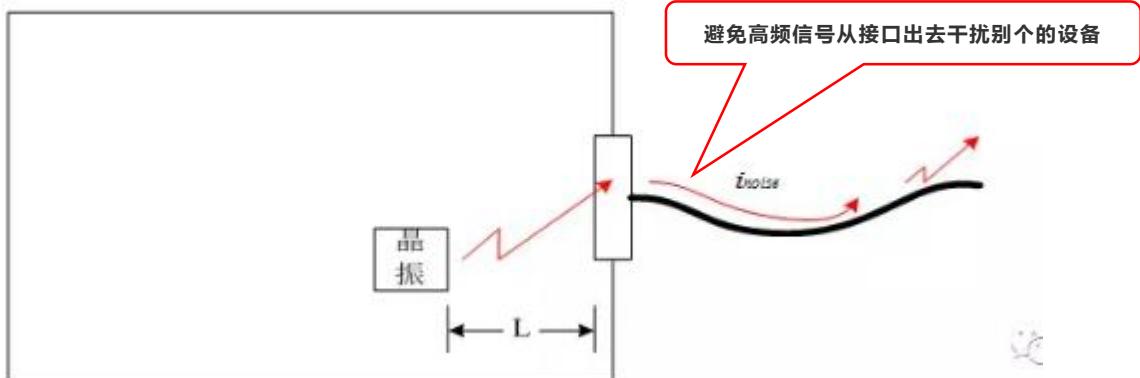
EETOP

Resistor		<ul style="list-style-type: none"> The resistor reduces the amplitude of the ESD pulse Can't divert ESD pulse to ground
Capacitor		<ul style="list-style-type: none"> The capacitor diverts the ESD pulse to ground and away from the IC The capacitor value should be 1...100 [nF] Response time: tens of [ps]
Varistor		<ul style="list-style-type: none"> Can discharge high currents Response time: hundreds of [ps] Higher cost
TVS Diode		<ul style="list-style-type: none"> Keeps a low voltage at IC pin Fast response time Higher cost Most digital ICs already have integrated TVS diodes, but the ESD pulse must be diverted at the entry point to prevent discharge along traces

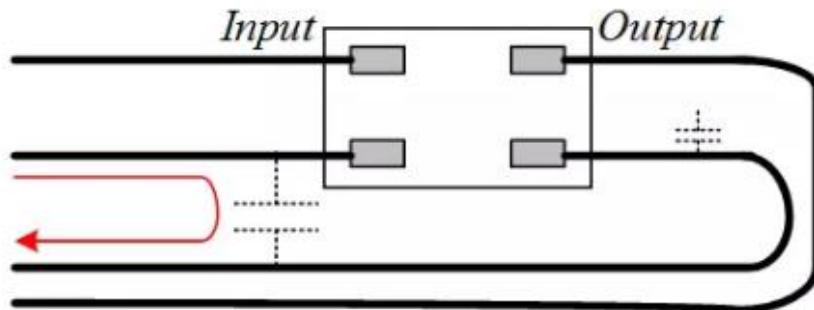
ESD问题非常常见，是造成芯片损坏的重要原因，尤其是在生产过程中，TVS是最佳防护器件。

电磁兼容设计规范

时钟线、总线、射频线等强辐射信号线远离接口外出信号线至少 1000mil

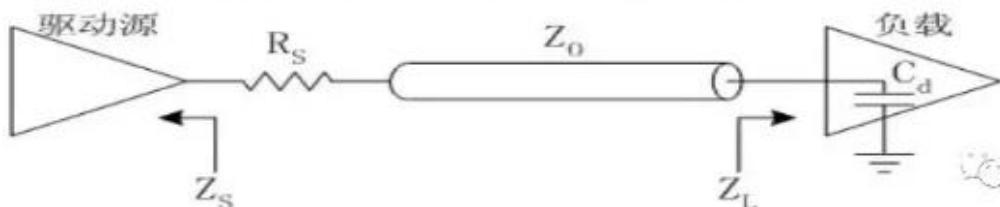


5 濾波器（濾波电路）的输入、输出信号线不能相互平行、交叉走线，避免濾波前后的走线直接噪声耦合。



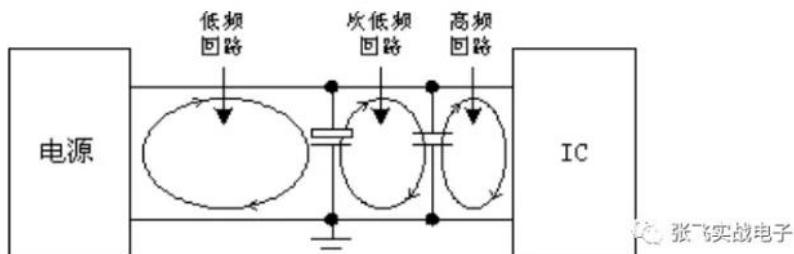
张飞实战电子

6 对于始端串联匹配电阻，应靠近其信号输出端放置，即驱动源放置。



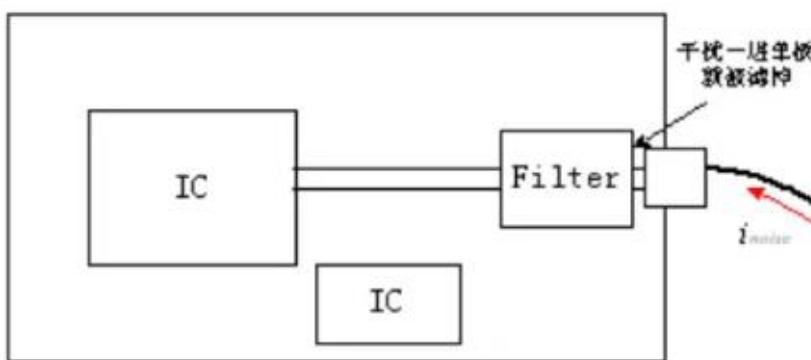
张飞实战电子

7 为IC滤波的各滤波电容应尽可能靠近芯片的供电管脚放置，减少高频回路面积，从而减少辐射。



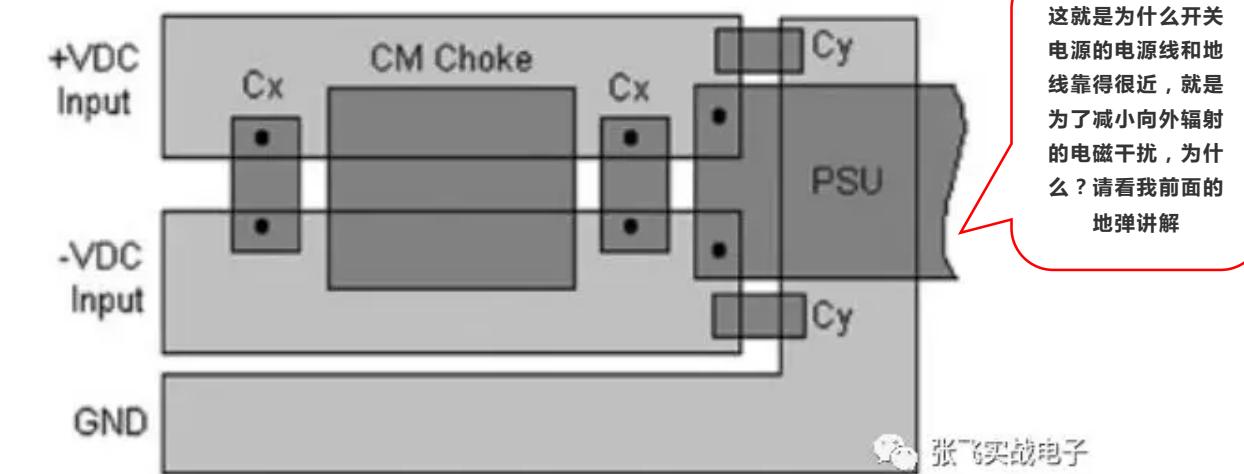
张飞实战电子

8 在PCB板上，接口电路的濾波、防护以及隔离器件应该靠近接口放置，并且遵循先防护后濾波的原则。

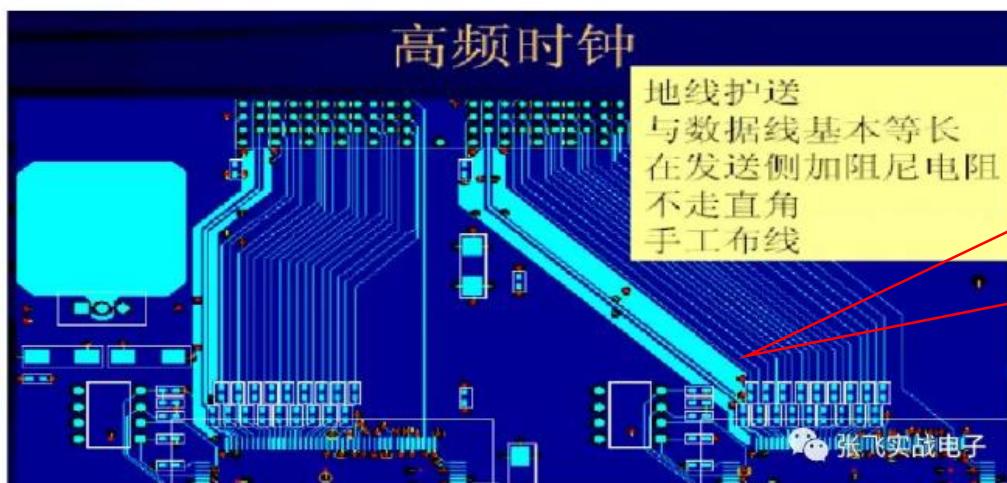


张飞实战电子

1 电源线：在考虑安全条件下，电源线应尽可能靠近地线，以减小差模辐射的环面积，也有助于减小电路的交扰。

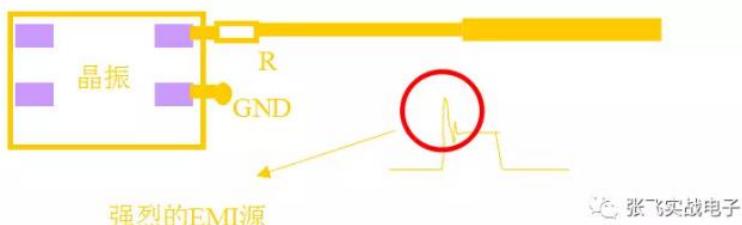


◦时钟线包地处理

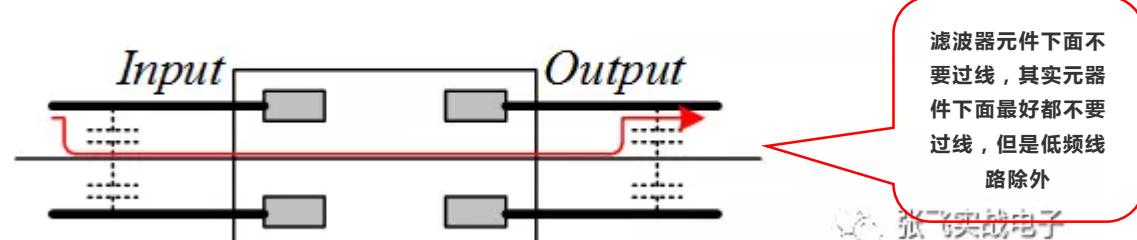


3 时钟线和信号线尽量不要换层走线，如确因实际情况需换层时，在走线过孔处，需打地过孔。

◦迹线宽度不要突变



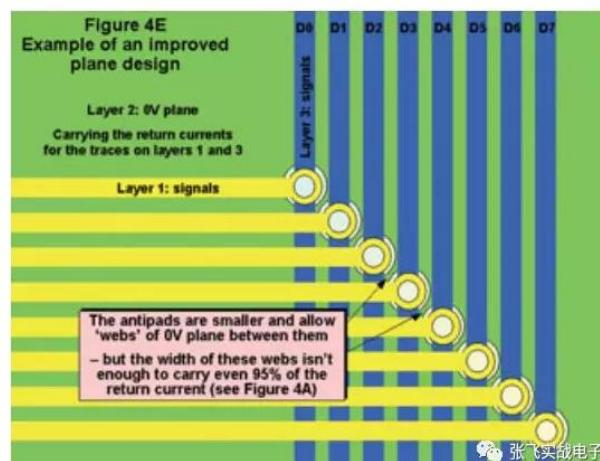
7 电路板上的滤波器（滤波电路）下方不要有其他无关信号走线。



16 电源平面应相对于其相邻地平面内缩20H，当因结构限制时，也应保证5H



17 信号线和地址线的走线应避免形成地排或地沟



两条平行走线的寄生电容有多大

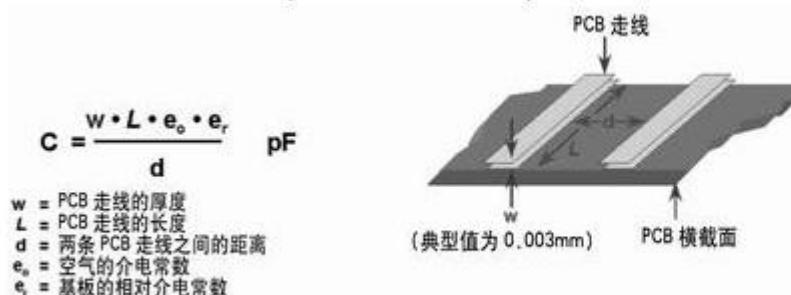
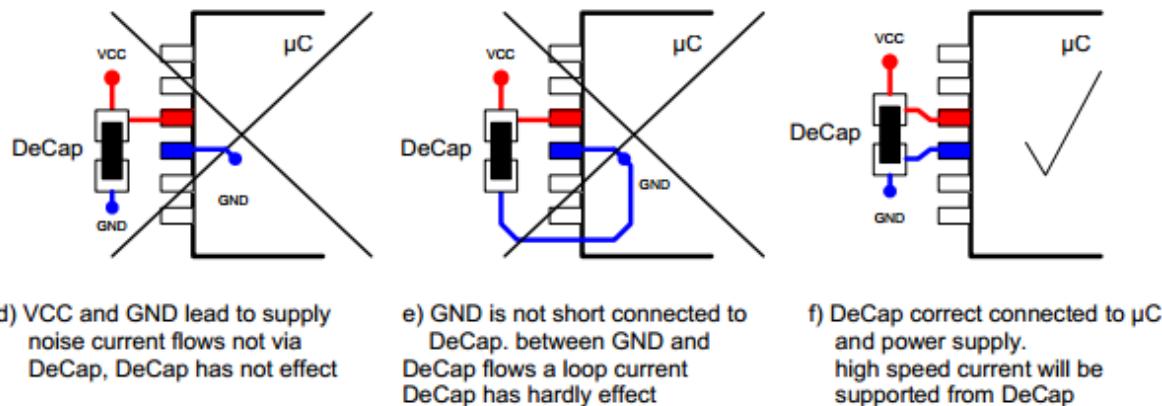


图 7 在PCB上将两条走线靠近放置，就会产生寄生电容。信号会通过这种寄生电容在走线之间耦合。

IC 去耦电容的接地最优方法



在 PCB 同一层电源与地线要保持的距离

输入150V-300V电源最小空气间隙及爬电距离

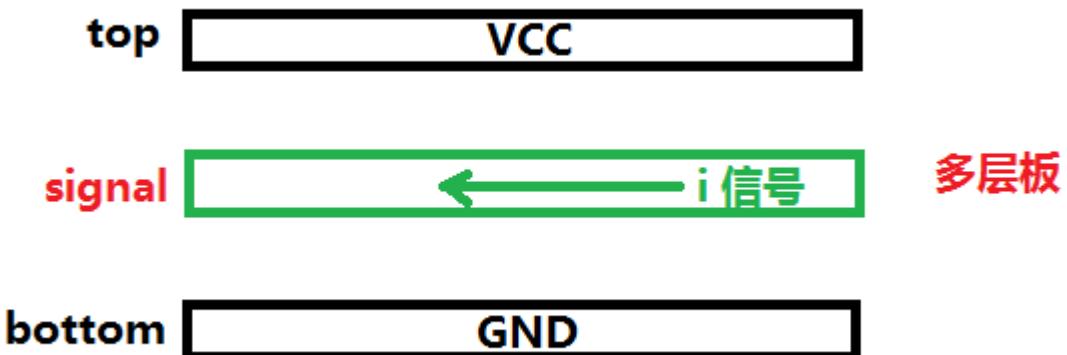
线与保护地间距 mm	一 次 侧			二 次 侧			线与保护地间距 mm
	工作电压 直流值或 有效值V	空气 间隙 mm	爬电 距离 mm	工作电压 直流值或 有效值V	空气 间隙 mm	爬电 距离 mm	
4.0	50V	1.0	1.2	71V	0.7	1.2	2.0
	150V	1.4	1.6	125V	0.7	1.5	
	200V		2.0	150V	0.7	1.6	
	250V		2.5	200V	0.7	2.0	
	300V	1.7	3.2	250V	0.7	2.5	
	400V		4.0				
	600V	3.0	6.3				

输入300V-600V电源最小空气间隙及爬电距离

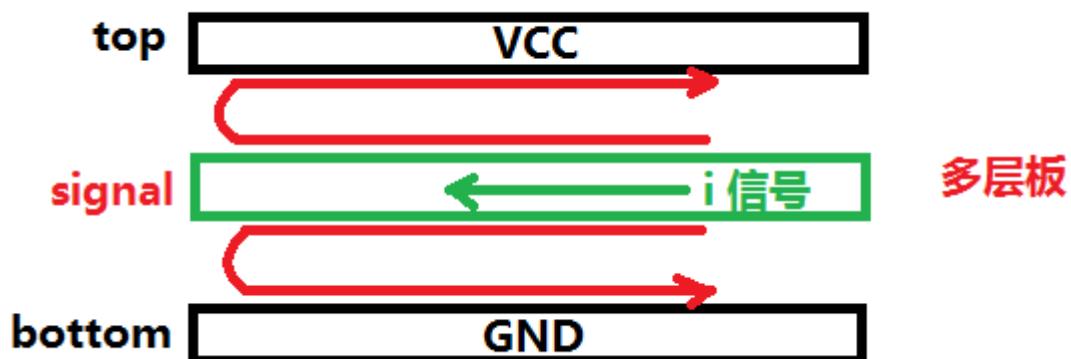
线与保护地间距 mm	一 次 侧			二 次 侧			线与保护地间距 mm
	工作电压 直流值或 有效值V	空气 间隙 mm	爬电 距离 mm	工作电压 直流值或 有效值V	空气 间隙 mm	爬电 距离 mm	
6.3	50V		1.2	71V		1.2	2.5
	150V		1.6	125V		1.5	
	200V	2.0	2.0	150V	1.7	1.6	
	250V	2.0	2.5	200V	1.7	2.0	
	300V	2.5	3.2	250V	1.7	2.5	
	400V	3.5	4.0				
	600V	5.8	6.3				

高速电路信号返回的参考平面怎么确定？

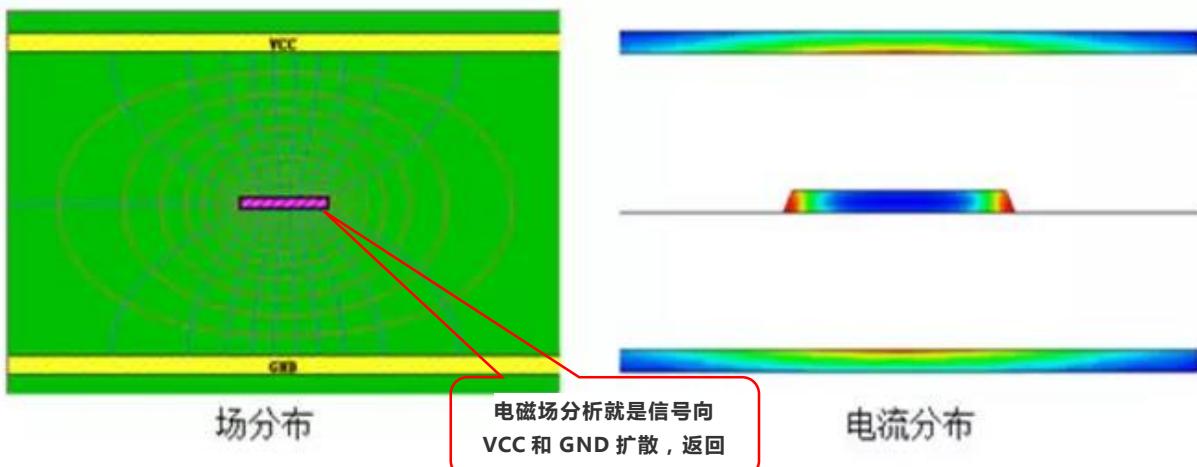
对于内层走线，如果走线一侧是 VCC，另一侧是 GND，那么哪个是参考平面



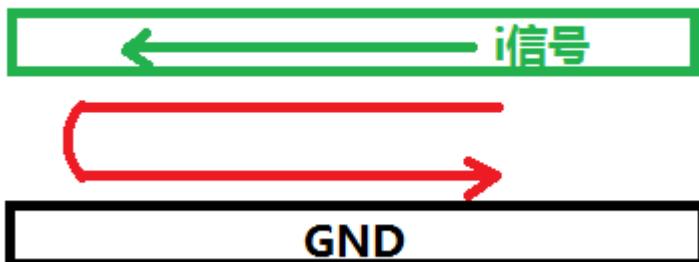
如果 PCB 上 signal 信号线与顶层 VCC 和底层 bottom 距离都相等，那么信号回流路径是两边均匀回流，就是信号电流返回路径一半流过 VCC，一半流过 GND



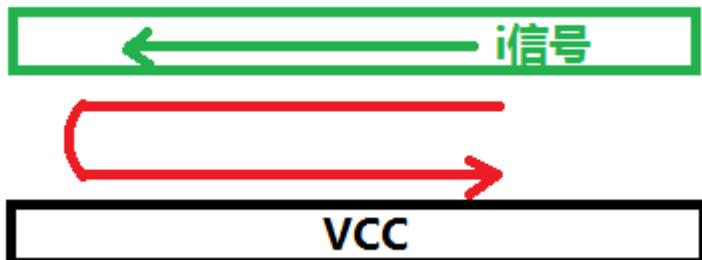
就是这样信号一部分经过 VCC 返回，一部分经过 GND 返回



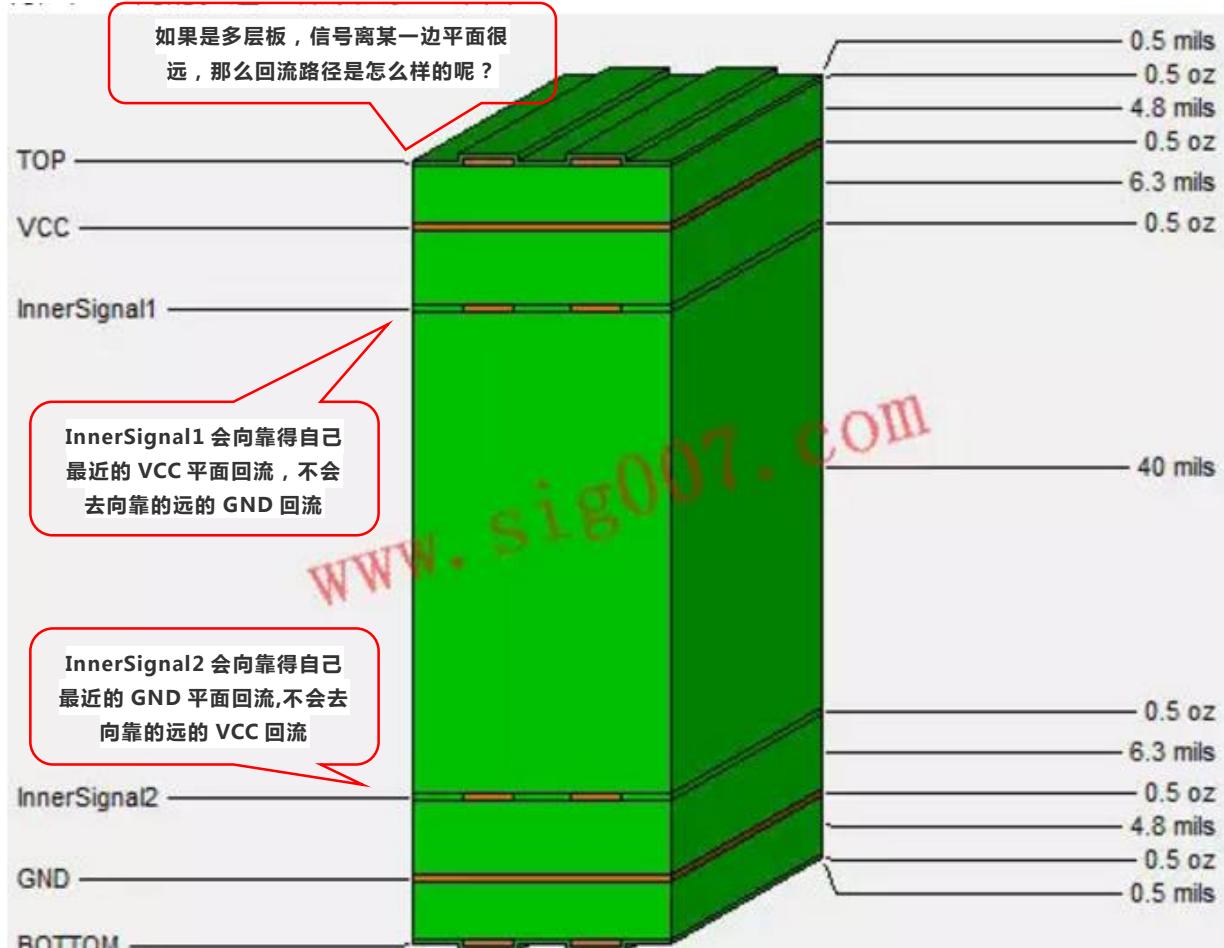
如果只有一层 VCC 或者 GND，电流怎么返回呢？



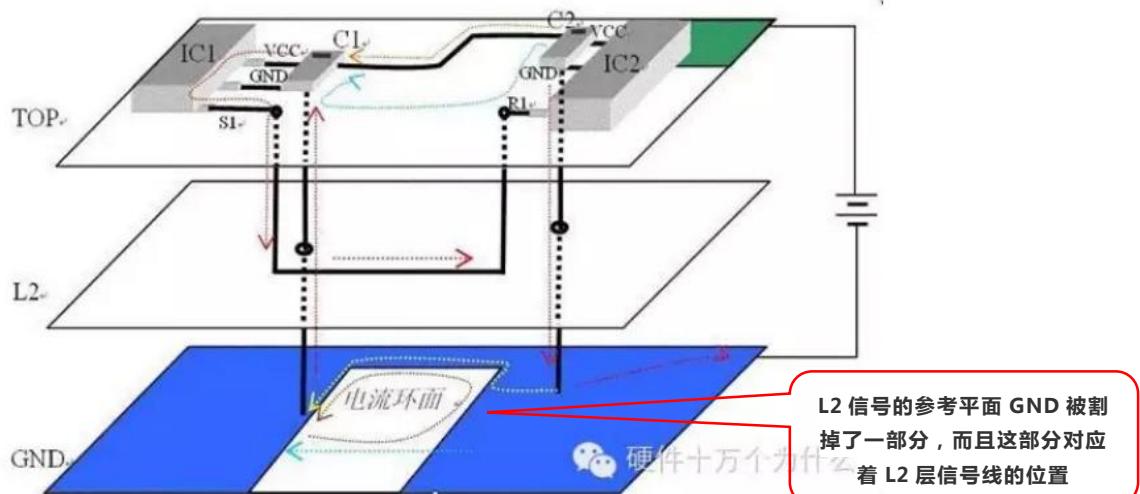
如果只有一层地，信号回流就是向地平面回流



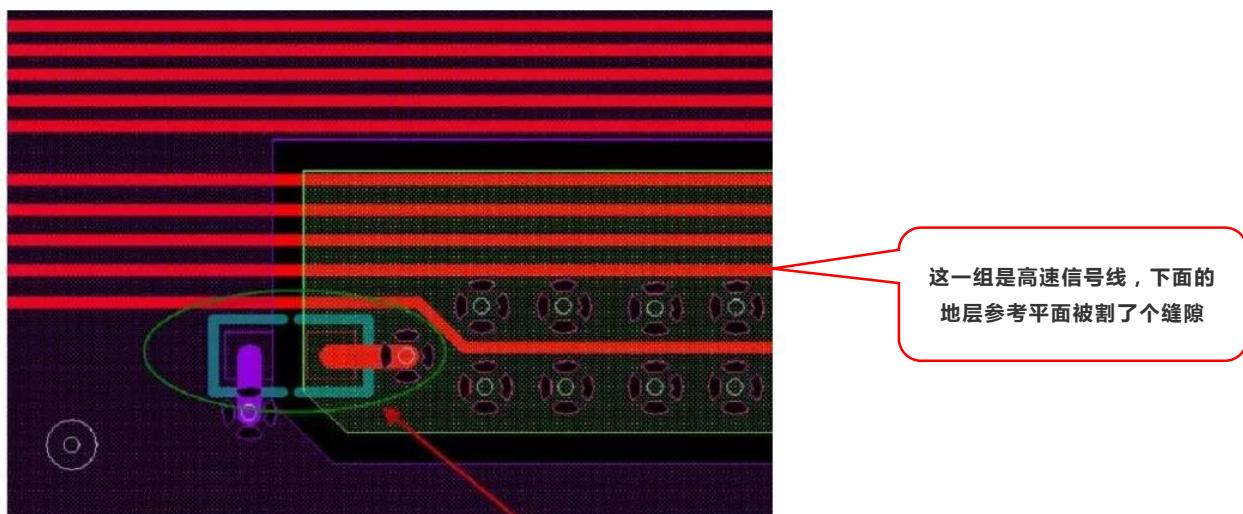
如果只有一层 VCC，信号回流就向 VCC 平面回流



那么高速电路 PCB，信号参考平面不完整，怎么跨分割完成？

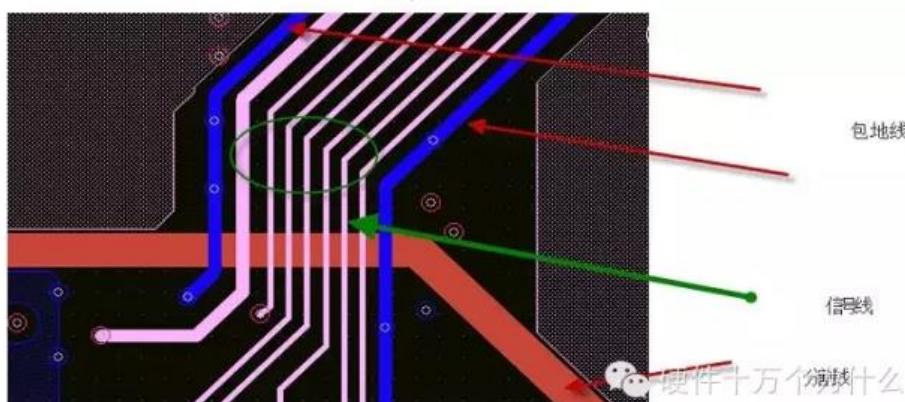


在 PCB 设计过程中，由于平面的分割，可能会导致信号参考平面不连续，对于低低频信号，可能没什么关系，而在高频数字系统中，高频信号以参考平面作返回路径，即回流路径，如果参考平面不连续，信号跨分割，这就会带来诸多的问题，如 EMI、串扰等问题



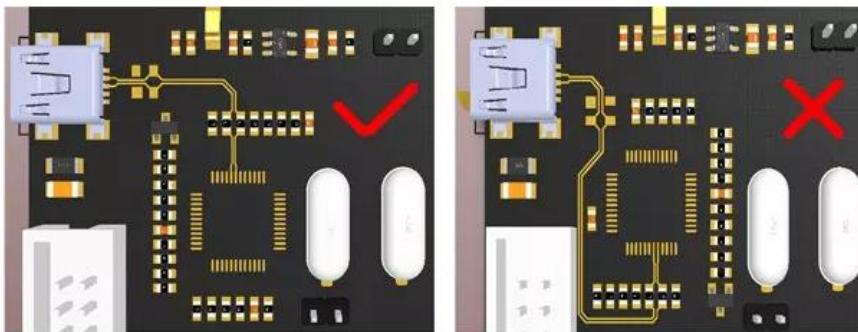
缝补电容 Stiching Capacitor.通常在信号跨分割处摆放一个 0402 或者 0603 封装的瓷片电容，电容的容值在 $0.01\mu F$ 或者是 $0.1 \mu F$ ，如果空间允许，可以多添加几个蠢样的电容-同时尽量保证信号线在缝补电容 200mil 范围内，距离越小越好

B. 跨线桥接.常见的就是在信号层对跨分割的‘信号包地处理’，也可能包的是其他网络的信号线，这个个‘包地线’尽量粗，这种处理方式，参考下图



USB2.0 布线

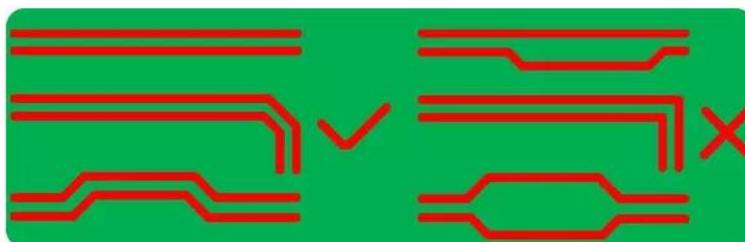
1. 在元件布局时，尽量使差分线路最短，以缩短差分线走线距离（√为合理的方式，×为不合理方式）；



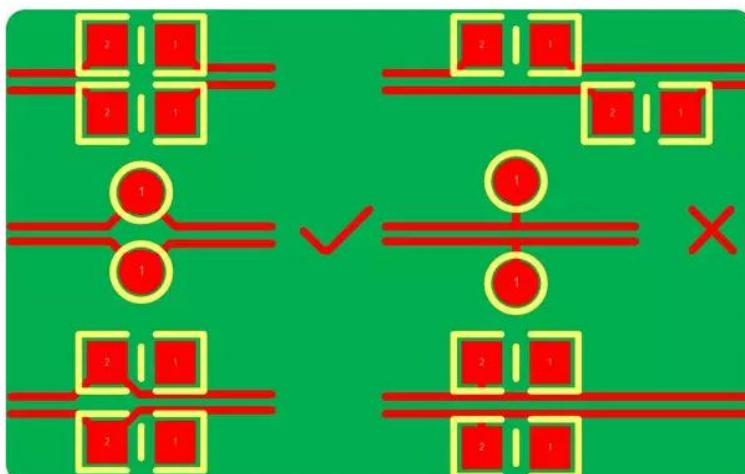
2. 优先绘制差分线，一对差分线上尽量不要超过两对过孔（过孔会增加线路的寄生电感，从而影响线路的信号完整性），且需对称放置（√为合理的方式，×为不合理方式）；

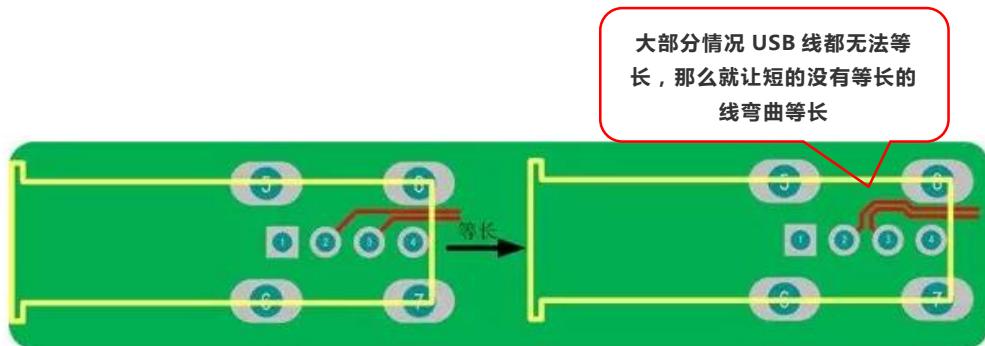


3. 对称平行走线，这样能保证两根线紧耦合，避免90°走线，弧形或45°均是较好的走线方式（√为合理的方式，×为不合理方式）；

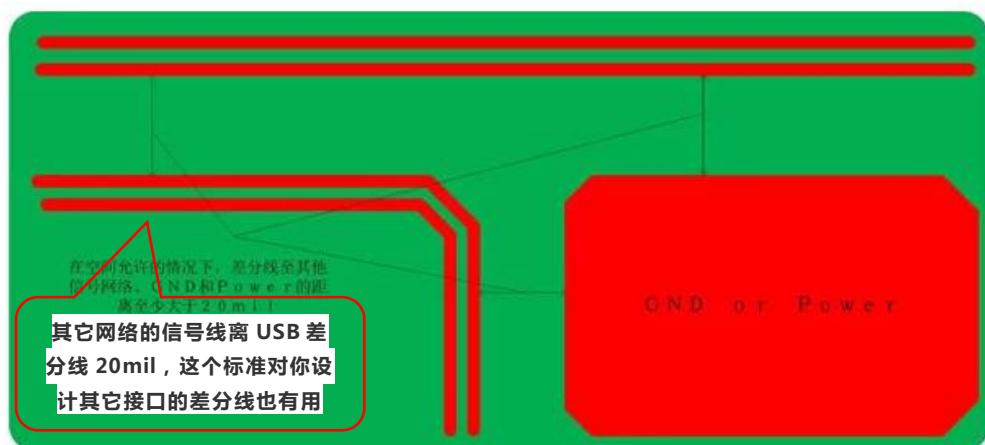


4. 差分串接阻容，测试点，上下拉电阻的摆放（√为合理的方式，×为不合理方式）；



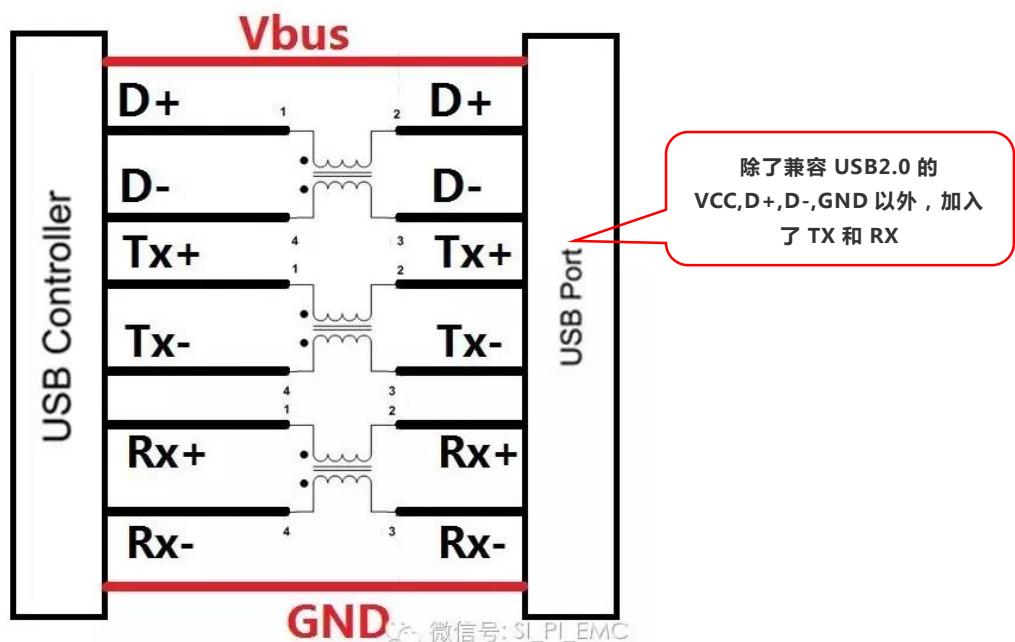


6. 为了减少串扰，在空间允许的情况下，其他信号网络及地离差分线的间距至少 20mil(20mil是经验值)，覆地与差分线的距离过近将对差分线的阻抗产生影响；



USB3.0 布线

2 USB3.0简单的原理框图



USB3.0 不仅包含了 USB2.0 的全部功能 (HS、 FS 和 LS)，而且提供了名为超高速度 (SuperSpeed) 的单独的全新超高速数据链路。超高速度链路为下载 (主机=>器件，被称为发送方向 TX) 和接收方向上的上传 (器件=>主机 RX) 提供了单独的差分数据线路。超高速度模式可提供的最高数据率为 5 Gb/s 所以不像 USB2.0 只有 D+,D-半双工传输，速度最多也就 480Mbps。USB3.0 是全双工传输，RX 和 TX 各传各的速度高达 5Gb/s

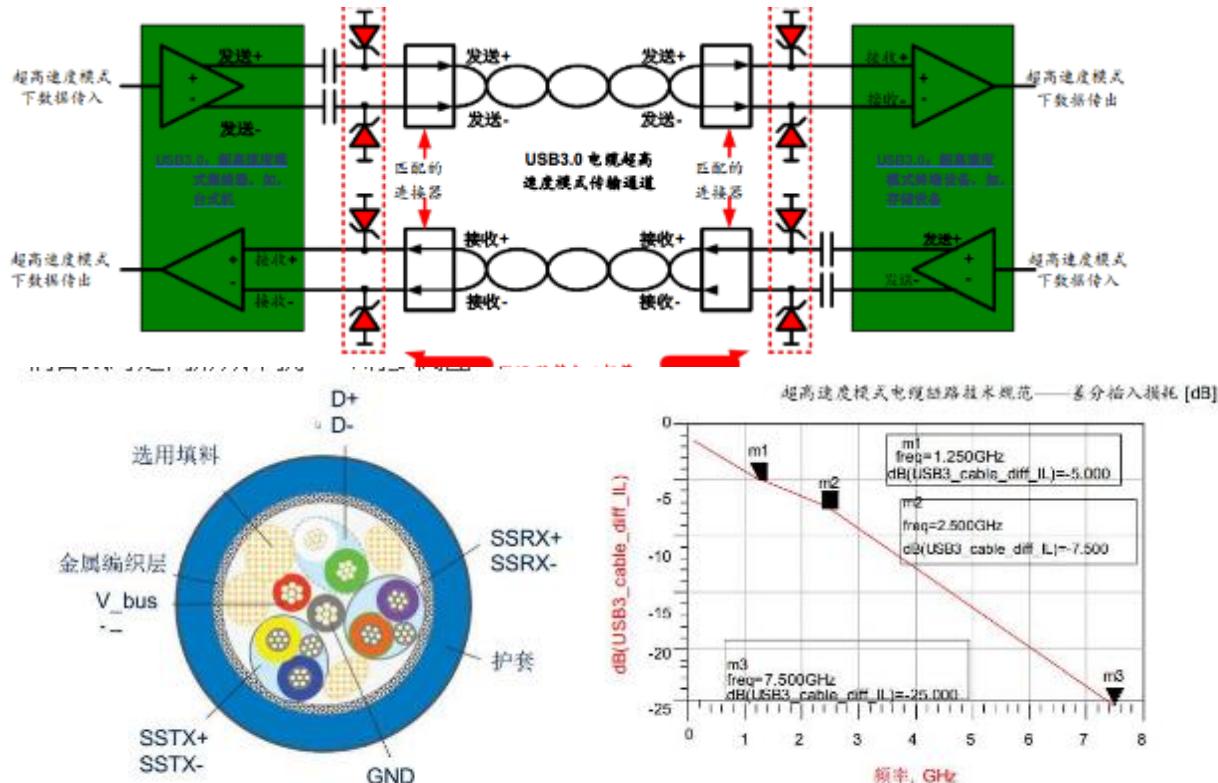


图 2 USB3.0 电缆结构和电缆衰减 (差分模式)

为了支持 USB3.0 电缆所包含的全部线路，必须采用一种新的连接器形状。新的 USB3.0 连接器的基本要求是，必须向下兼容 USB2.0 连接器。从静电防护的角度而言，这导致标准 A 连接器的超高速度模式线路很容易被静电击中 (在主机侧和器件侧)。所以要用 USB3.0 的标准连接器

这些措施均有助于加快处于上升和下降边缘的信号的速度，从而得到张得更开的眼图 (即，更高信号完整性) (请参阅图 3)。要实现适当的信号完整性性能，TVS 二极管的电容必须很低，但另一方面，TVS 二极管必须提供很高的静电防护能力。

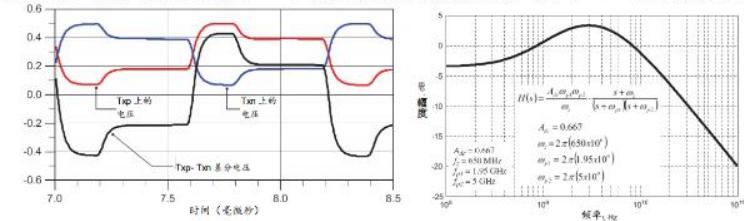


图 3 发送端信号还原 (3.5dB 标准参数) 和接收端线性均衡器 (标准参数)

图4所示为整个USB3.0链路的眼图模拟 (误码率为1E6时)。在图4 (左图)中，接收信号是在未经接收端均衡器处理之前测得的。轮廓线为USB3.0技术规范中规定的超高速度模式合规测试的有效值。比较两个眼图，在接收端使用均衡器的效果显而易见。

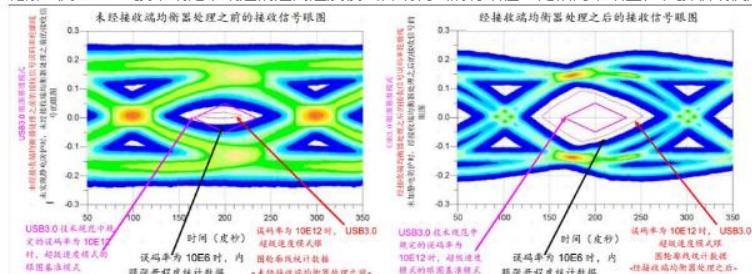


图 5 所示为兼具静电防护电路的 USB3.0 标准 A 连接器横截面布局设计示例。

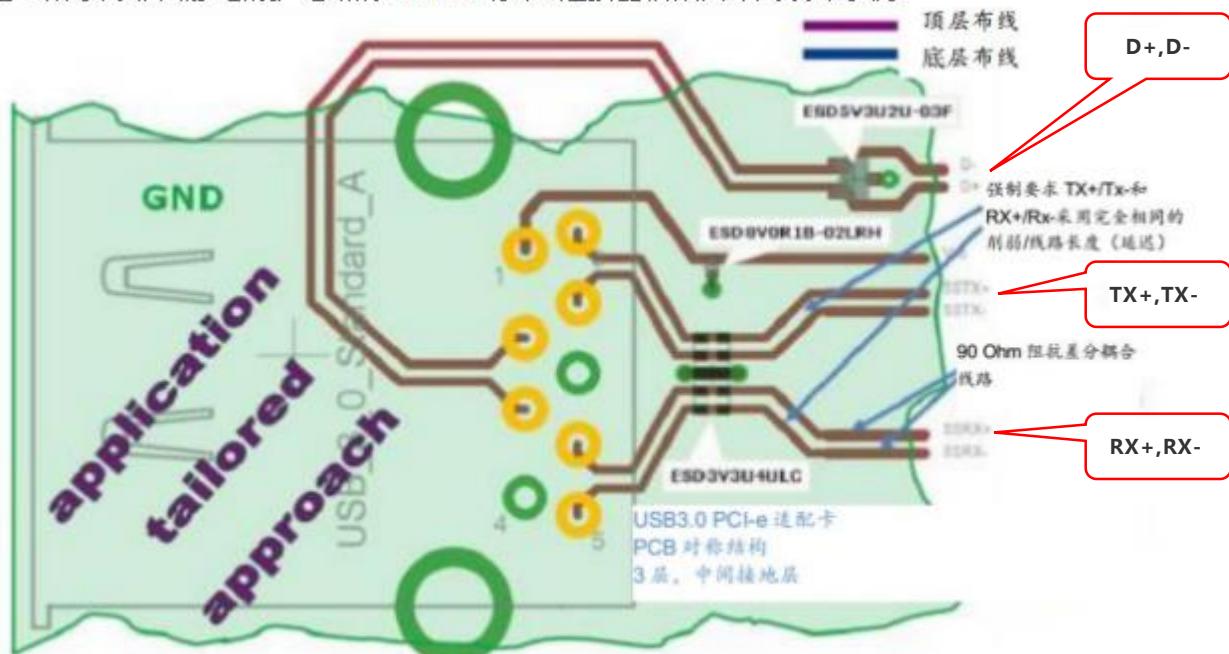


图 5 标准 A 连接器+英飞凌静电防护装置 USB3.0 布局设计建议

开关电源 DC-DC 布局布线

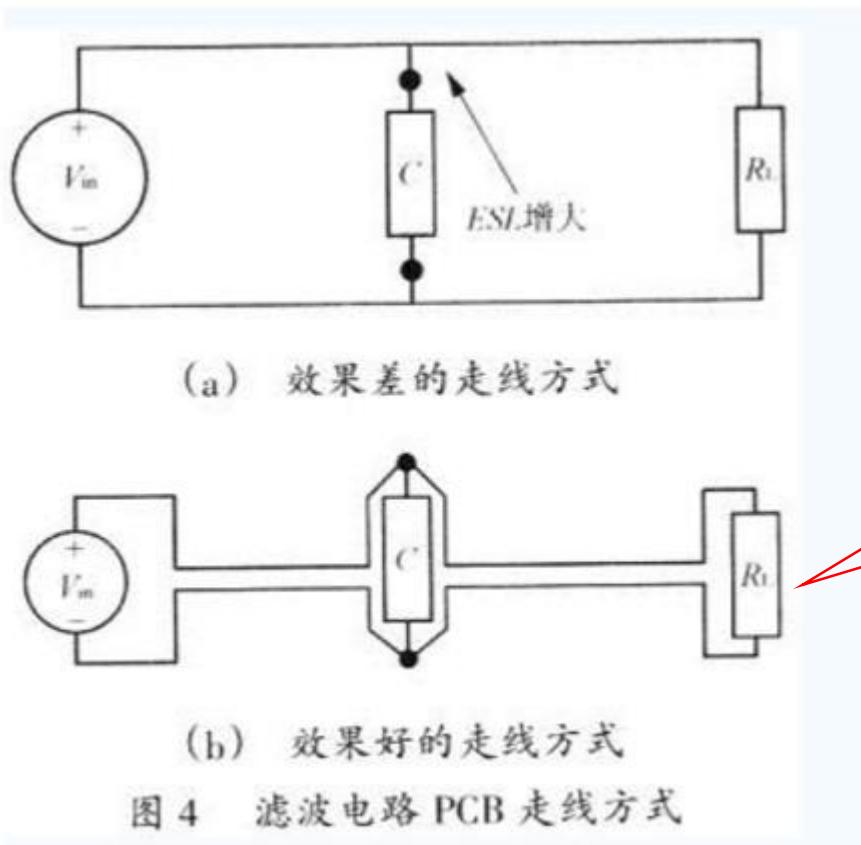


图 4 滤波电路 PCB 走线方式

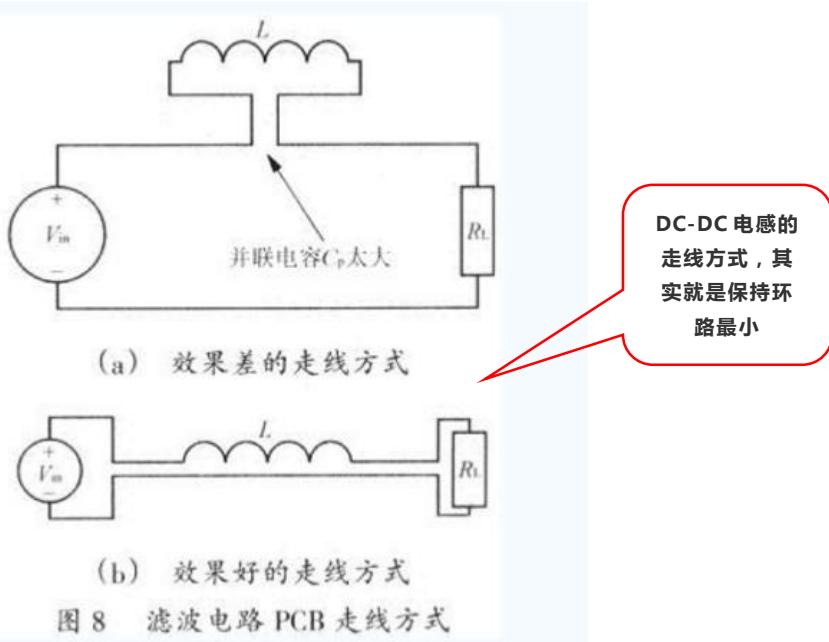
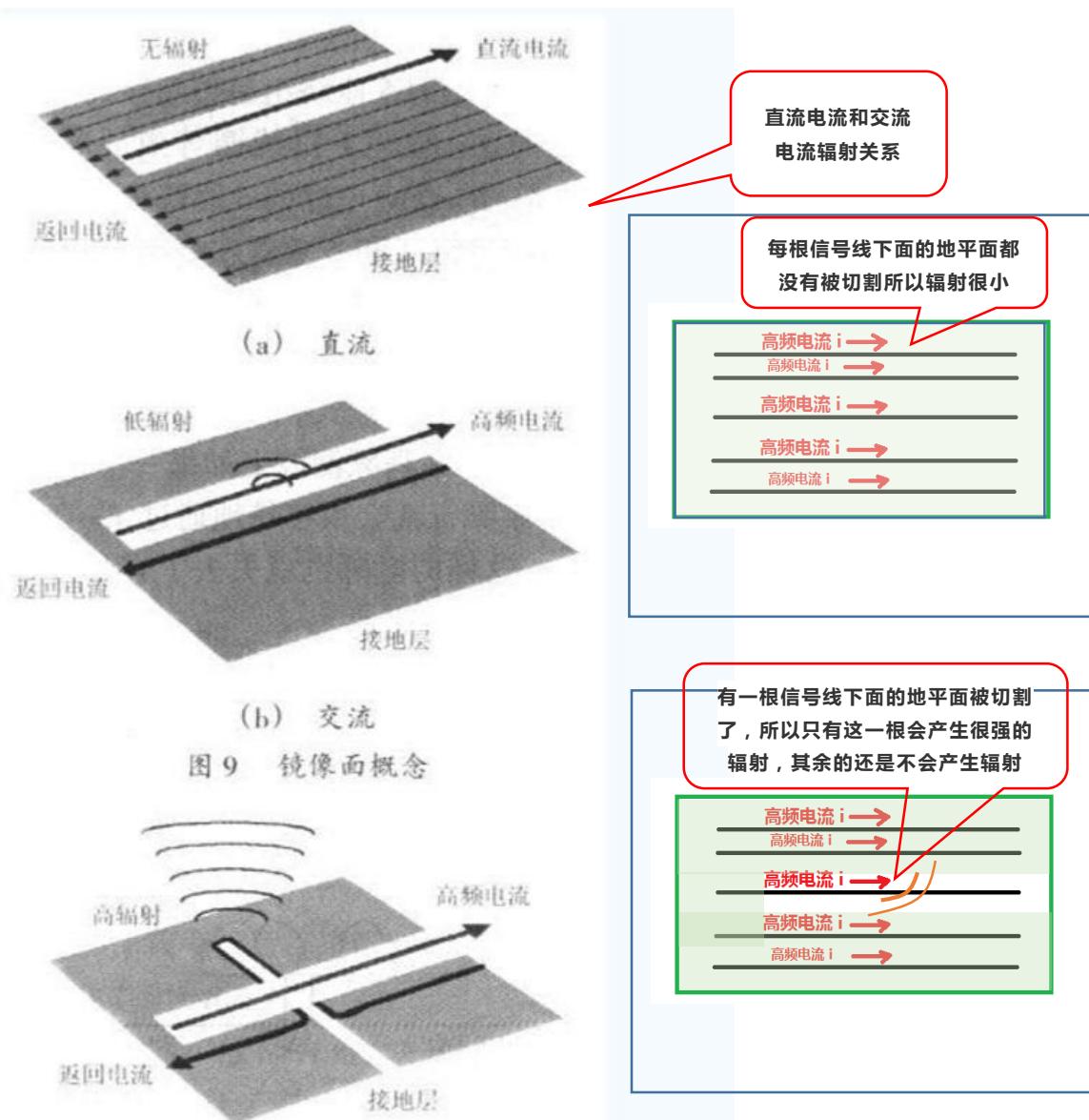
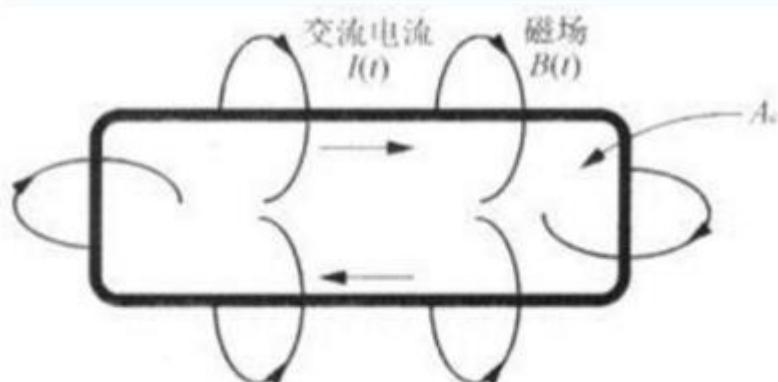


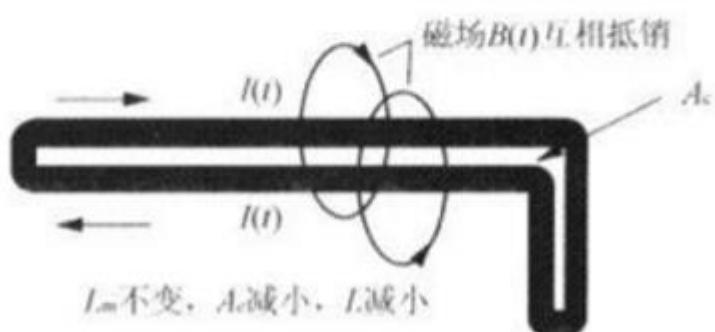
图 8 滤波电路 PCB 走线方式



电源排版基本要点4 高频环路的面积应尽可能减小。



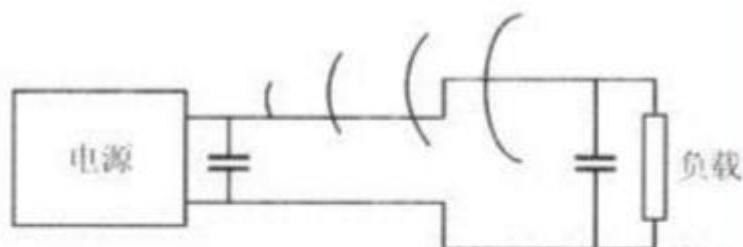
(a) 环路面积大



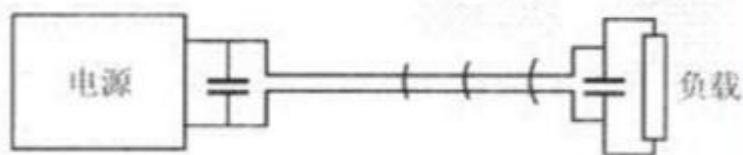
这个已经说过很多次了

(b) 环路面积小

图 11 高频环路



(a) 较大的电流环路



(b) 较小的电流环路

图 15 电源输出直流电流环路

电源排版基本要点6 系统板上不同电路需要不同接地层，不同电路的接地层通过单点与电源接地层相连接。

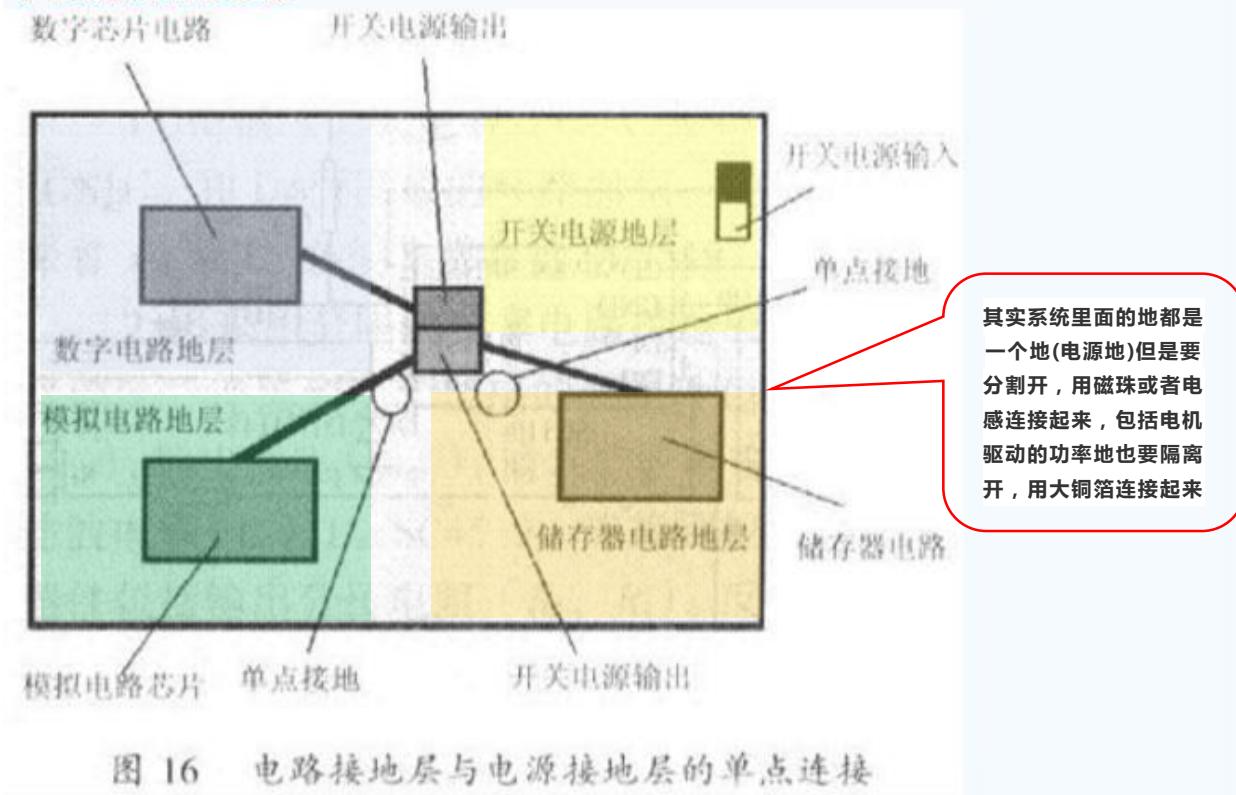


图 16 电路接地层与电源接地层的单点连接

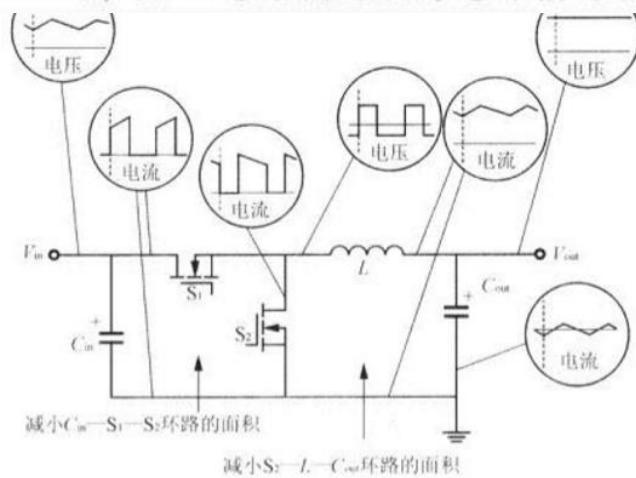


图 18 开关电源功率电路上的电流和电压

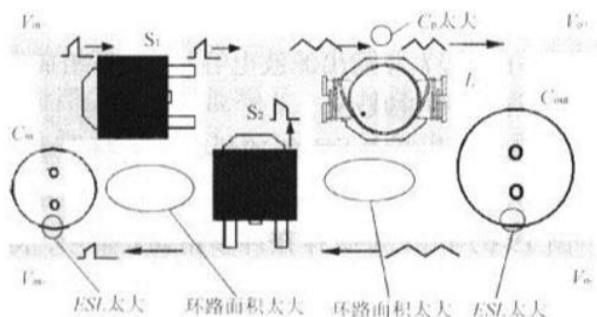


图 19 不正确的开关电源功率器件放置和走线

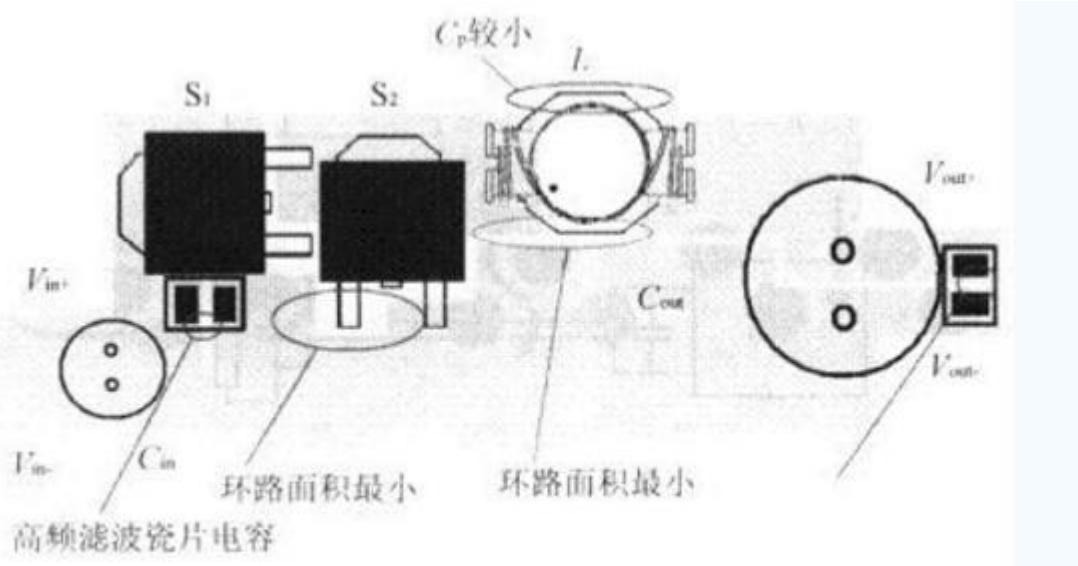


图 20 正确的开关电源功率器件放置和走线

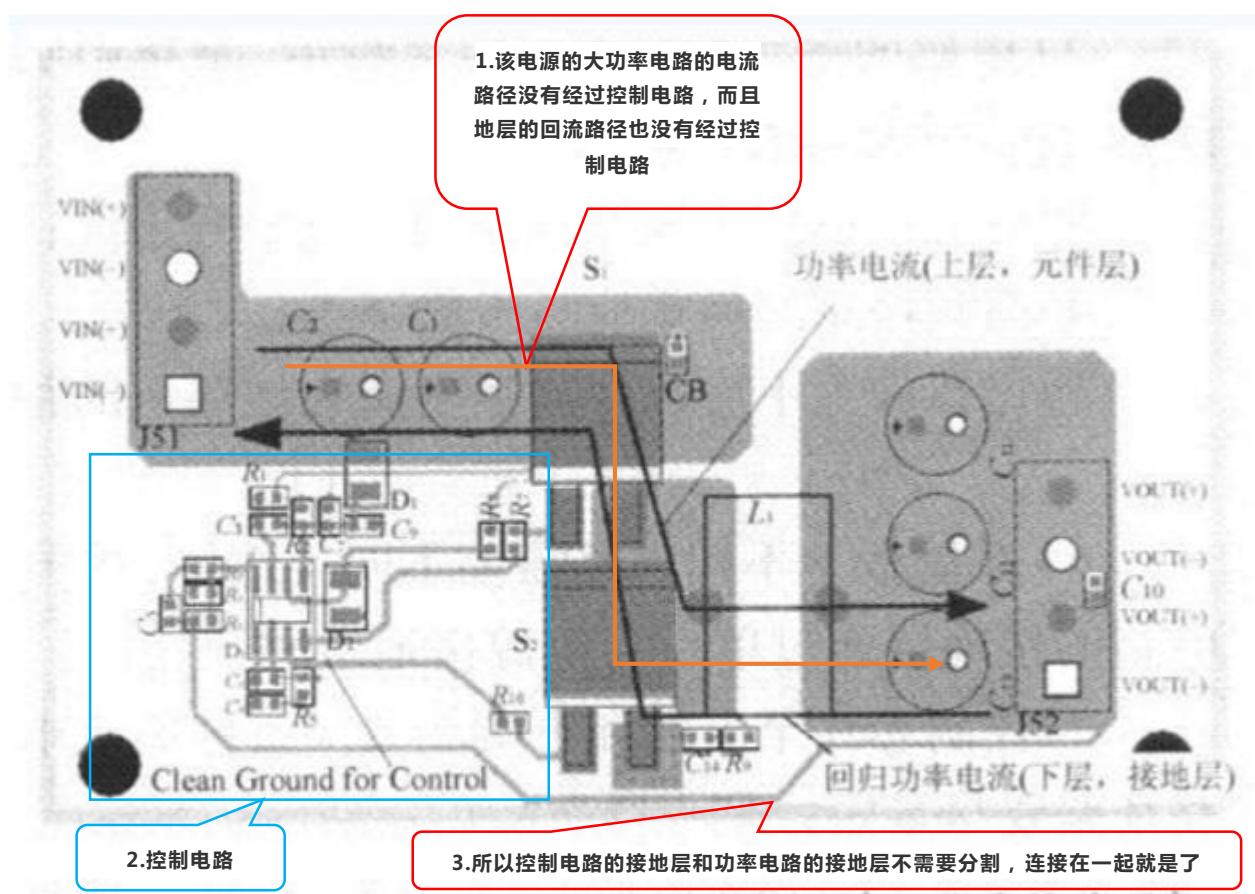


图 21 降压式开关电源 PCB 上层图(下层是接地层)

如果功率电路的地，也大面积铺在控制电路下面，那么就需要分割功率地和控制电路地

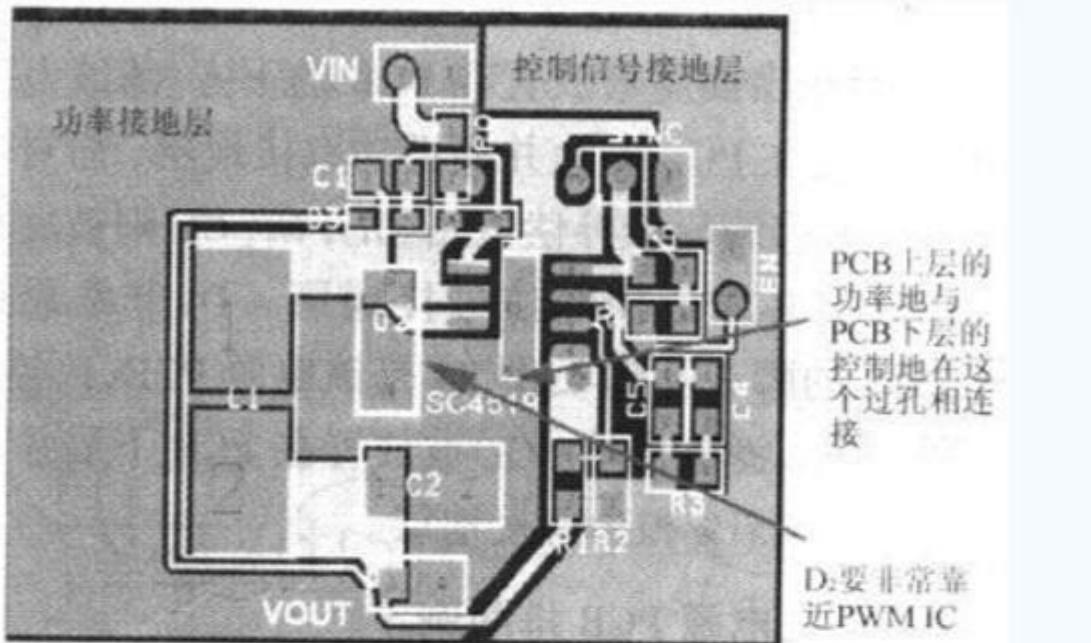


图 23 电源 PCB 上层走线
(除 C_3 外所有元器件都放置在此面)

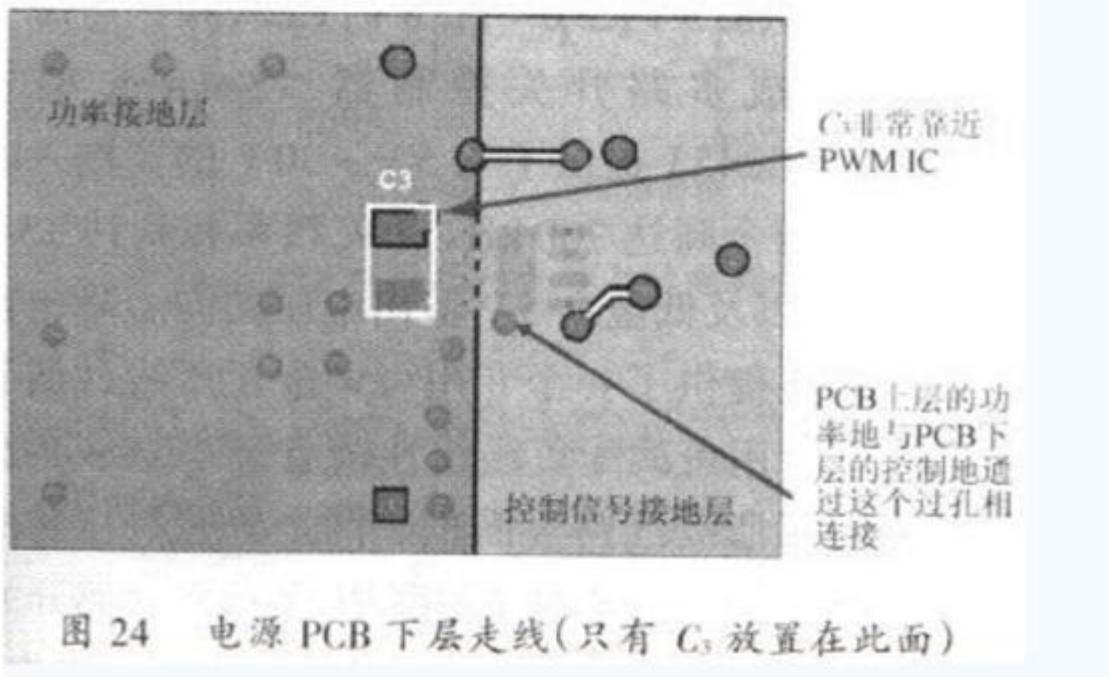
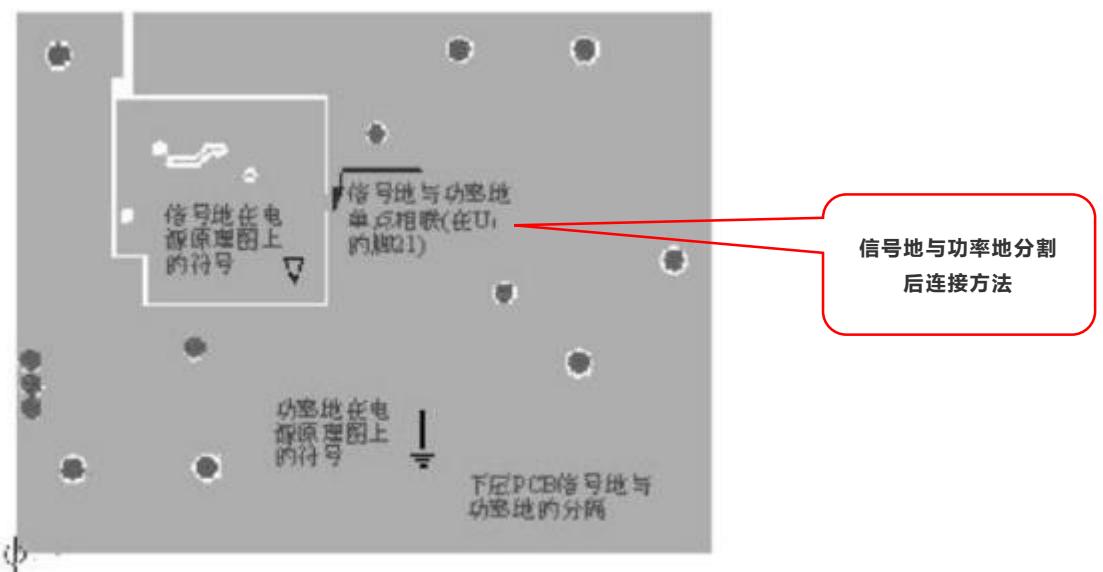
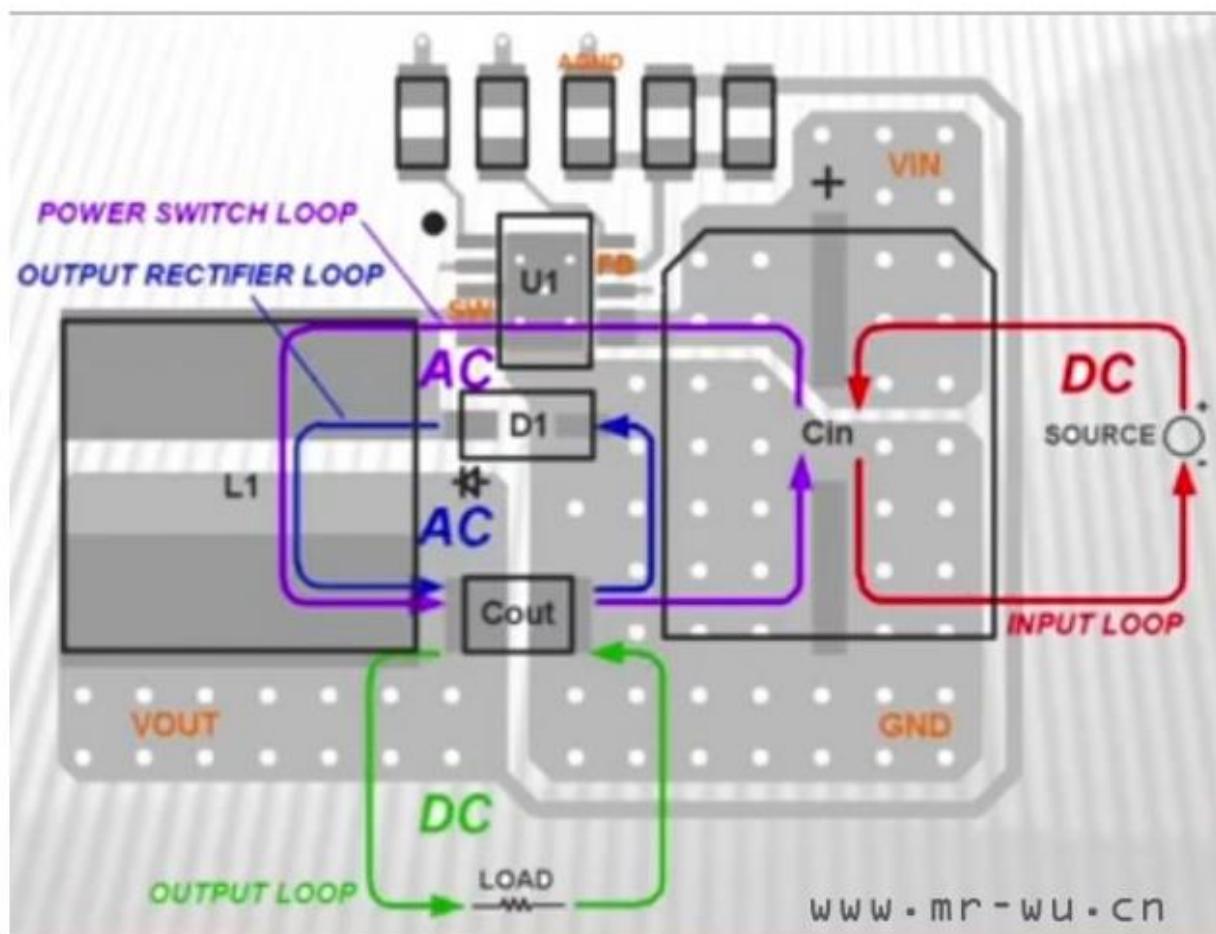


图 24 电源 PCB 下层走线(只有 C_3 放置在此面)

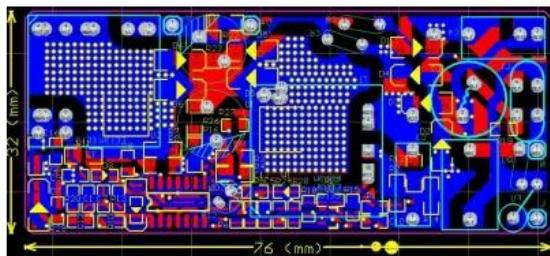


(b) 功率地与控制的分隔

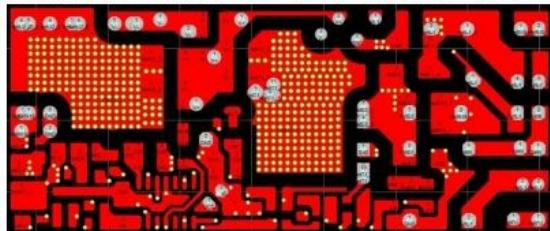
下图是开关电源经典布局案例



大功率元器件散热问题

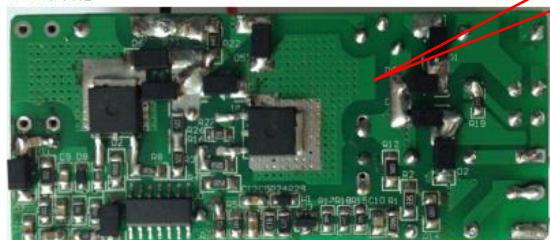


散热面积已经挪到极限，每一毫米敷铜都利用完（除了间距就是敷铜）：

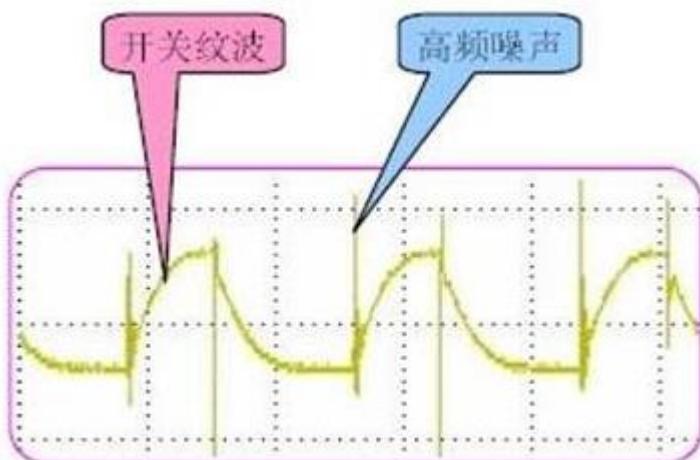


小功率元器件散热焊盘
可以和元器件一样大，
但是大功率元器件散热
焊盘必须比元器件大

手工焊的：

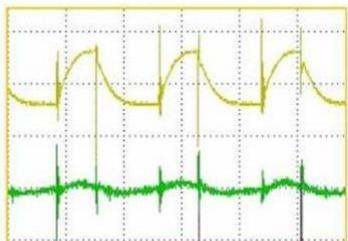


开关电源纹波和 LDO 纹波对比



加入 LDO 稳压芯片后的纹波(绿色)

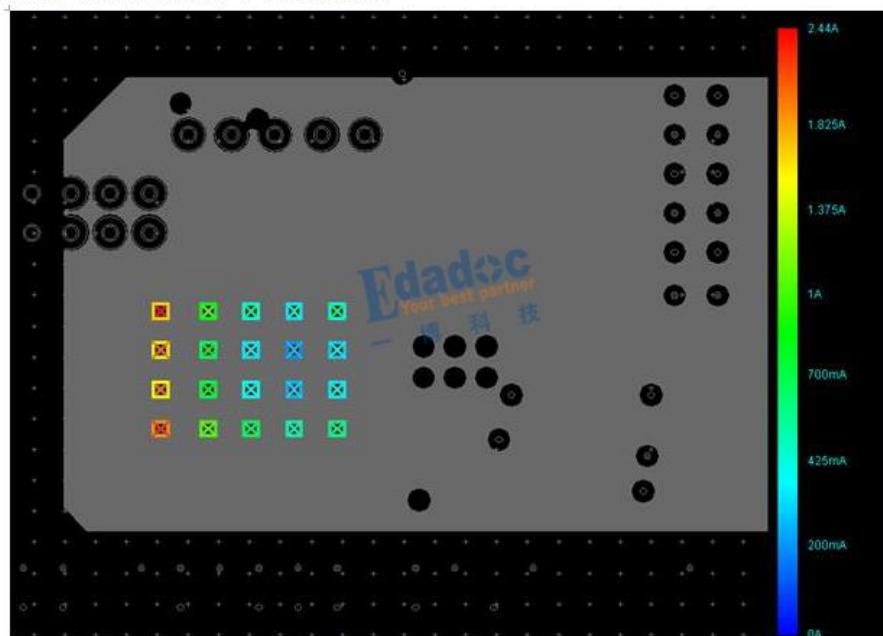
下图是LDO前后的纹波对比：



绿色有 10mV 的噪声脉冲，所以 LDO 还是有纹波的，要进一步滤波

PCB 大功率电流过孔小数量多好，还是过孔大数量少好？

所以我个人会比较推荐使用10~12mil的孔径来承载电流，效率更高，也更方便设计。那么，是不是知道这个过孔载流数据，然后就可以安全的进行设计了呢？我们来看看一些仿真的案例：



20A电流，打了20个12mil过孔，按照每个孔承载1.2A来计算，感觉非常安全。但是实际上电流并没有你想象的听话，并不是在20个过孔里面平均分配的。简单的DC仿真，就可以看到过孔电流的情况。有些过孔走了2.4A的电流，有些才200mA。当然，这个设计可能最终并不会有太大风险。因为12mil的过孔在温升30度的时候是可以承载2A以上电流的。但是，如果不均匀性进一步放大呢？这个是和你电流的通道，过孔的分布、数量都有关系的，万一某个过孔走了3A甚至4A的电流呢？并且这时候你打25个或者30个过孔，只要没有在电流的关键位置，提供的帮助并不会很大。原因就还是那句话：电流没有你想象的听话。

选 20~24mil 大孔	选 10~12mil 小孔
12 人, 60%	8 人, 40%
<ul style="list-style-type: none">➢ 省空间，很多规范也是这么要求的➢ 孔径大，镀铜就厚，载流就大➢ 建议使用较大过孔以减小阻抗➢ 因为电流总是找阻抗最小的路径走，打一片过孔每个过孔的载流是不一样的➢ 相同载流量，用大孔省空间点，不用把平面都打断了➢ 保证通流的前提下，哪个占用的面积小，就优选哪个➢ 太多的小孔径占用 PCB 空间比大孔径过孔多，PCB 加工时容易爆板	<ul style="list-style-type: none">➢ 大的过孔不利于散热和通流设计➢ 寄生电感小，能有效降低电源路径阻抗➢ 使用小的孔径，数目多，散热快➢ 小孔能使热量散发得也越快，寄生的串联电感更小，寄生的并联到地的电容更大，EMC 辐射也会小些➢ 尽量使用小而数量多的孔，这样的电源寄生电感更低，电源纹波很小，热量散得也越快➢ 大孔无法塞孔，小孔可以塞孔
10~12mil 小孔数量	>20 个 15 个 20 个 25 个 30 个
20~24mil 小孔数量	8 个 10 个
12mil 过孔 载流	0.5A 2.145A 1.2~1.5A 0.6A 1.5A

PCB 板材选择

环氧树脂玻璃布层压板 FR4： 用于 600Mhz 以下的混合信号电路，介电常数不同（4.2-5.4）且不稳定

FR4 六层板结构



改性环氧树脂材料 S1139： 工作在 622Mb/s 以上的光纤通信产品和 1G 以上 3GHz 以下的小信号微波收发信机，可以选用改性环氧树脂材料如 S1139，由于其介电常数在 10GHz 时比较稳定、成本较低、多层压制板工艺与 FR4 相同

这种板材不同板厚品种数量不齐全，由于板厚尺寸要求，不便于制作多层印制板

3GHz 以下的大信号微波电路如功率放大器和低噪声放大器建议选用类似 RO4350 的双面板材，

RO4350 介电常数相当稳定、损耗因子较低、耐热特性好、加工工艺与 FR4 相当。其板材成本略高于 FR4

无线手机多层板 PCB 板材要求板材介电常数稳定性、损耗因子较低、成本较低、介质屏蔽要求高，建议选用性能类似 PTFE（美国/欧洲等多用）的板材，或 FR4 和高频板组合粘接组成低成本、高性能层压板

