

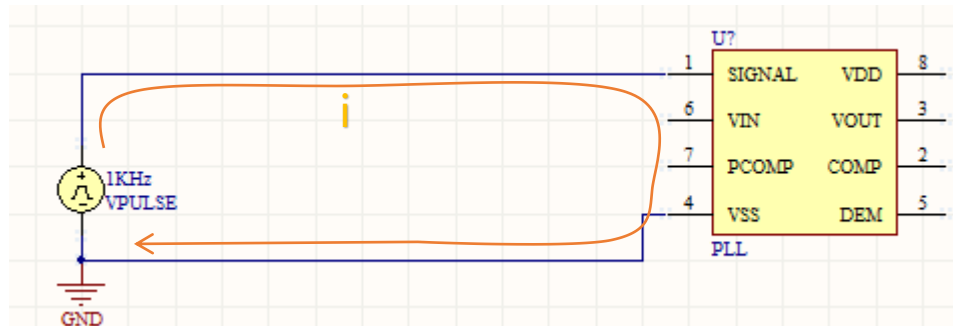
高速电路设计

作者：向仔州

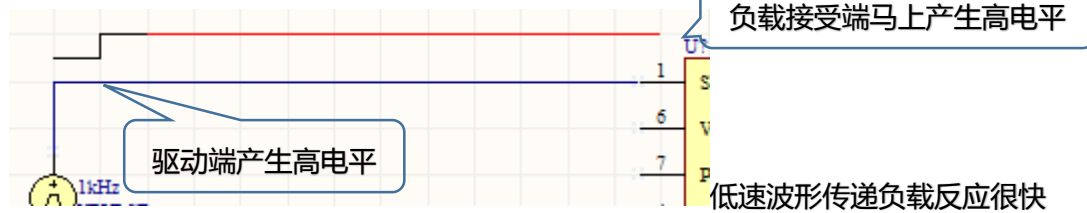
传输线.....	2
传输线分部电容影响.....	4
传输线电感量.....	6
电容电感.....	9
电路板去耦电容滤波电容计算.....	12
反射问题.....	15
正选波反射(反射波形形成).....	19

传输线

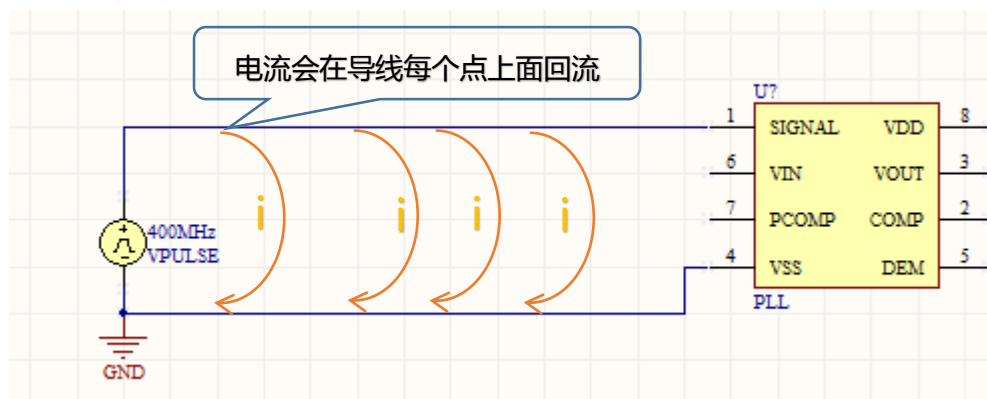
高速信号在导线上传播和普通低速信号不一样，



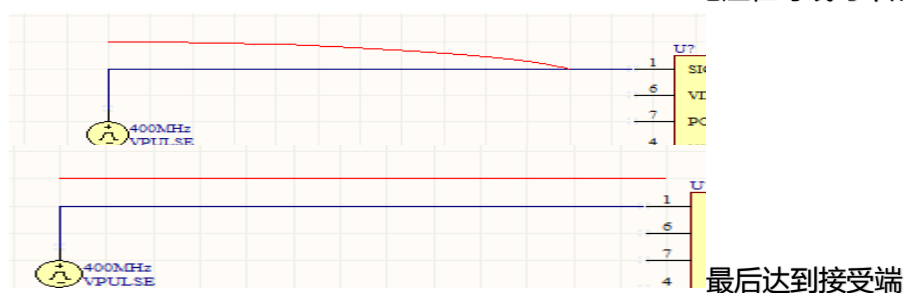
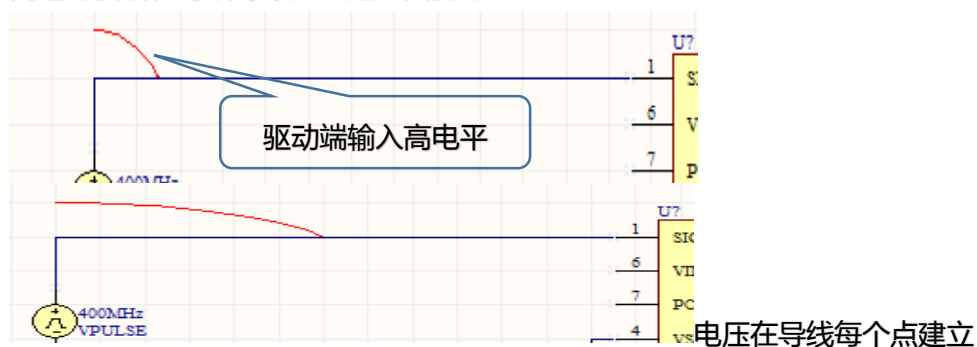
低速电流 i 是流到负载在回到地



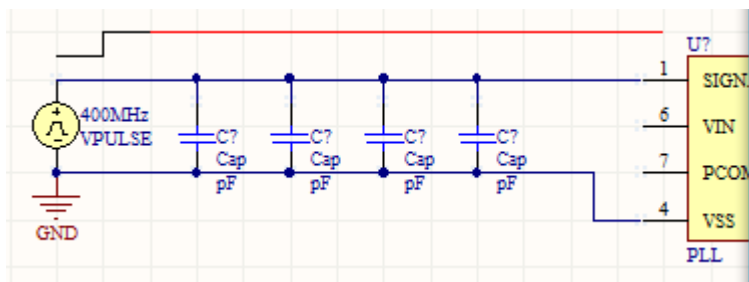
高速电路就不一样了



高速电流会在导线每个点上建立回流电压



当然高速电路我是用微观方式让你理解，宏观来说高速电流到达负载绝对比低速快



为什么高速电路导线每个点都有电流回流到地？

就是因为高速电路中每个点都有 pf 级别的电容在作怪，这个电容只有高速才会体现出来，低速体现不出来，因为小容量电容通高频

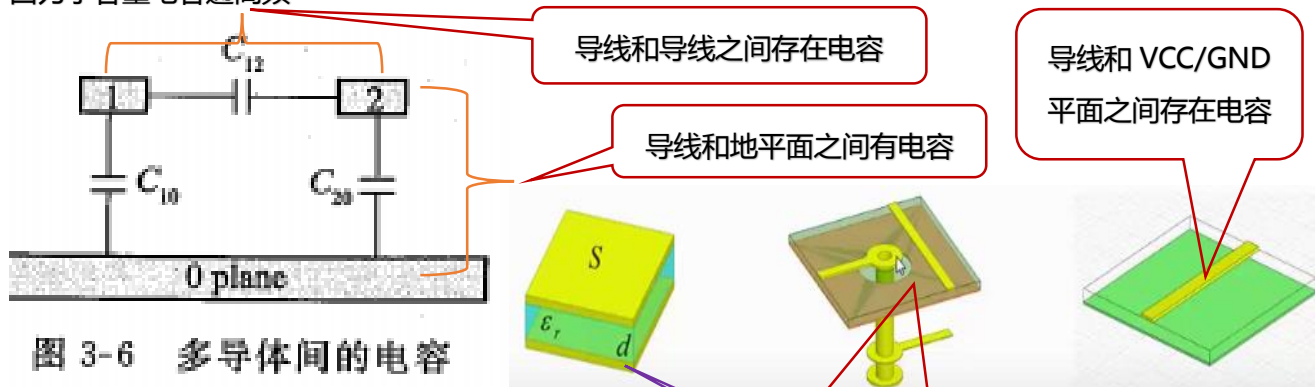
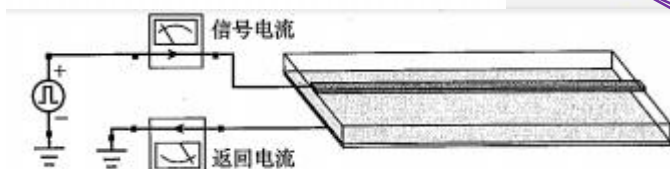


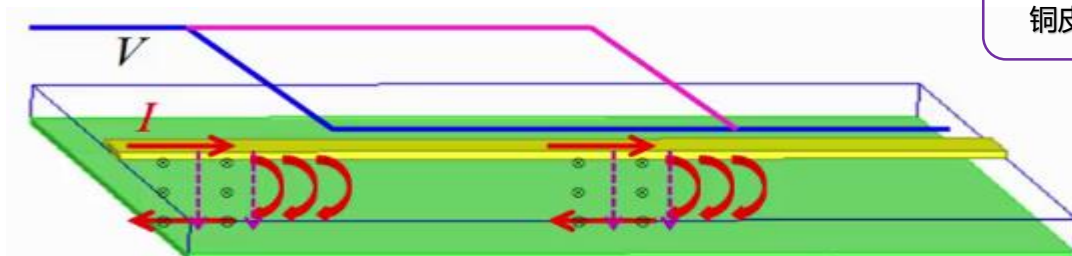
图 3-6 多导体间的电容



导线和过孔距离太近也有电容

这就是电流路径

电容的制作就是两个铜皮之间加入介质



加深影响

单位换算公式：

1 inch(英寸)=25.4mm(毫米)=1000mil

信号在导体中的传播速度公式为：

Ur：相对磁导率
U0：真空磁导率
Er：相对介电常数
E0：真空介电常数


实际 PCB 板材制作都是用相对磁导率，**相对介电常数**来设计，因为地球不是真空的

$$v_p = \frac{1}{\sqrt{\mu_r \mu_0 \epsilon_r \epsilon_0}}$$

$$c = \frac{1}{\sqrt{\mu_0 \epsilon_0}}$$

$$v_p = \frac{c}{\sqrt{\mu_r \epsilon_r}}$$

$$v_p = \frac{c}{\sqrt{\epsilon_r}} = \frac{11.8}{\sqrt{\epsilon_r}} \text{ inch/ns}$$



真空磁导率和真空介电常数，表示出真空里的光速

如果 PCB 的介质不是导体，那么 μ_r 就是 1，PCB 介质都是来绝缘的

因为光速是每秒 30W 公里，换算成 inch 就是 11.8inch/ns

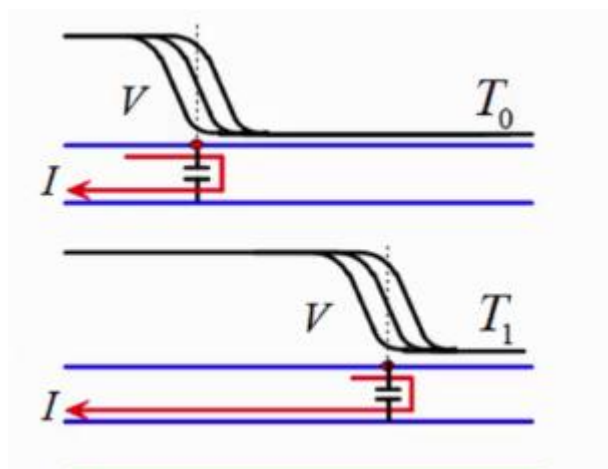
$$v_p = \frac{c}{\sqrt{\epsilon_r}} = \frac{11.8}{\sqrt{\epsilon_r}} \text{ inch/ns}$$

$$v_p \approx \frac{c}{\sqrt{4}} = \frac{c}{2} \approx 6 \text{ inch/ns}$$

因为常用的 FR4 在地球上介电常数是 4.2，所以我们 ϵ_r 取 4 近似估计

我们就知道信号在 PCB 导线上传输速度为光速的一半。6 inch/ns = 6mil/ps

传输线分布电容的影响

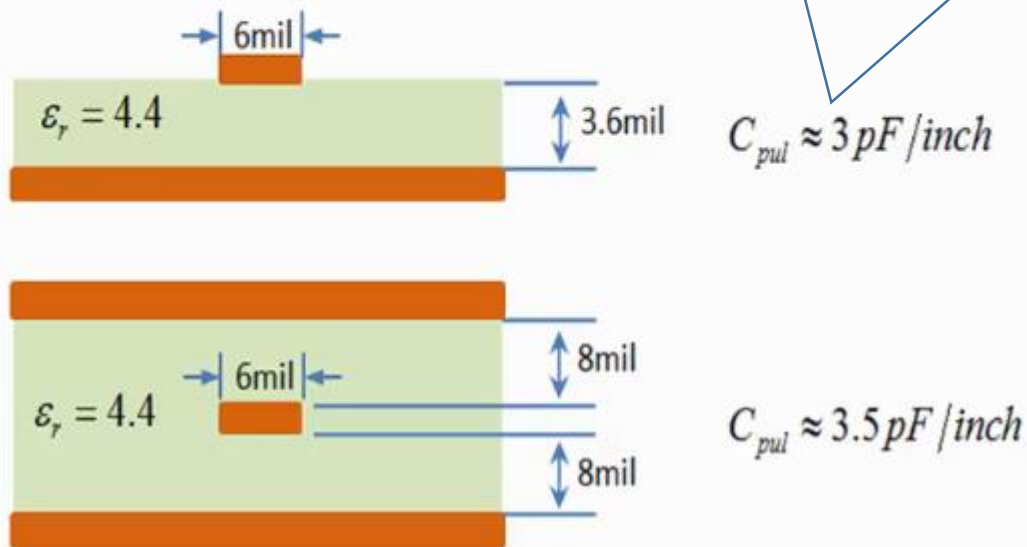


导线每一小段都有电容，我们叫做单位长度电容

如何计算传输印制线上面的电容大小，

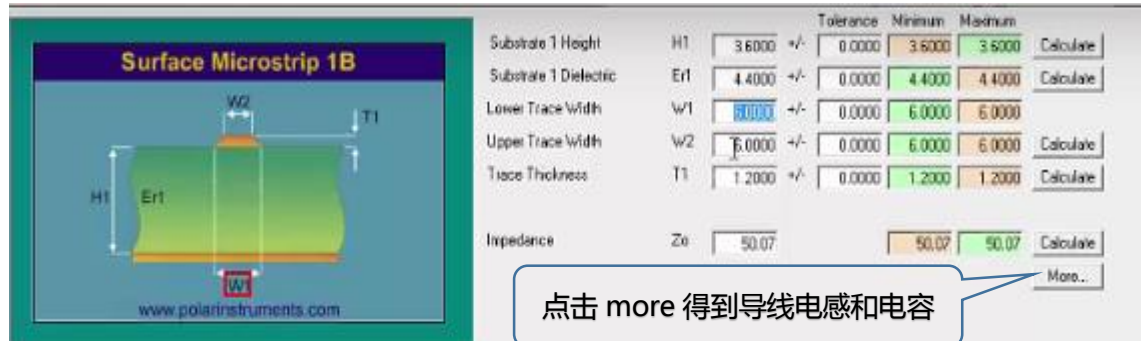
单位长度电容多大

确定了板材介质，导线宽度和厚度，就可以计算出来每 inch 长度的印制线多少电容

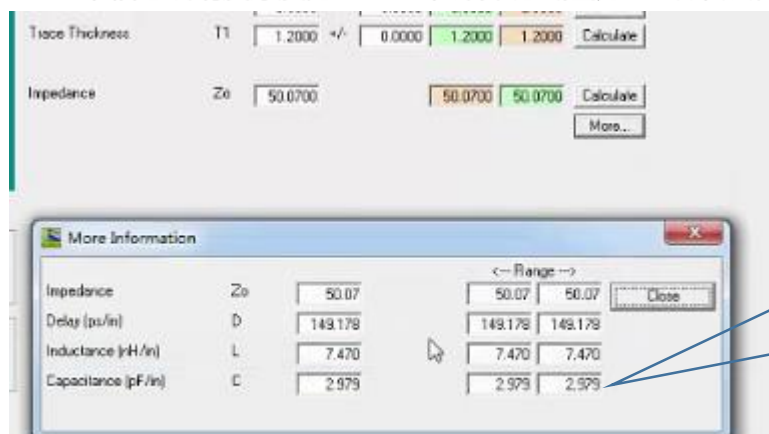


这个电路板走线电容计算不是很精确，但是可以反映出在 50 欧姆阻抗的情况下，内层走线比表层走线在每 inch 长度下多 0.5pf。

精确走线计算还是要下面软件计算。

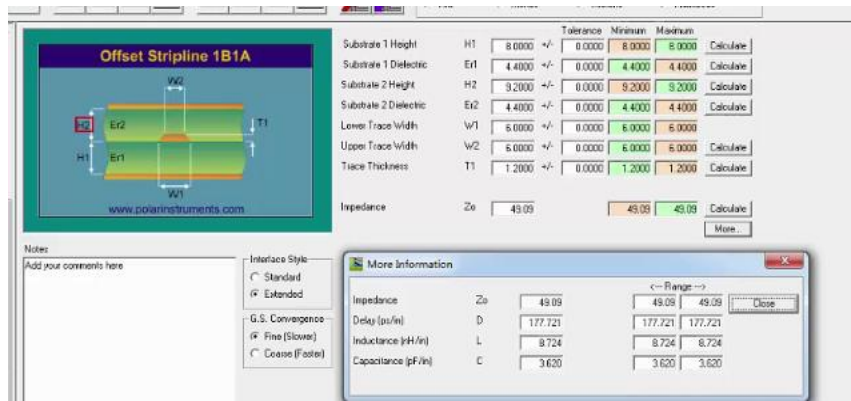


比如我的电路板顶层导线到下面一层铜箔距离是 3.6mil，介电常数 4.4，我要画一根数据信号线，信号线宽 5mil，信号线铜皮厚度为 1.2mil，计算呢出阻抗 50 欧，然后点击 more



这里计算出导线每 inch 多少 pf，记住是每 inch 多少 pf，也就是导线长度画 1000mil 才会有 2.9pf 导线电容

上面这是表层走线计算



电路板内层走线计算和上面表层走线计算差不多

根据走线电容大小就可以计算出传输线走了多长，也可以根据走线长度来计算传输线上的总电容大小。

- 直观方法：可用信号速度间接获得

	Impedance	Zo	50.38
	Delay (ps/in)	D	150.463
	Inductance (nH/in)	L	7.580
	Capacitance (pF/in)	C	2.987
	Impedance	Zo	50.05
	Delay (ps/in)	D	179.729
	Inductance (nH/in)	L	8.995
	Capacitance (pF/in)	C	3.591

$$v_p = \frac{c}{\sqrt{\epsilon_r}} = \frac{11.8}{\sqrt{\epsilon_r}} \text{ inch/ns}$$

$$\epsilon_{r_eff} = \left(\frac{11.8 \times 150}{1000} \right)^2 \approx 3.13$$

$$\epsilon_{r_eff} = \left(\frac{11.8 \times 179.7}{1000} \right)^2 \approx 4.5$$

表层等效介电常数比内层小

传输线电感量

信号在导线上传输，导线不仅会产生电容，还会产生电感

- 电流 I 越大， ψ 越大。

$$L = \frac{\psi}{I}$$

磁通量单位韦伯

电感跟电流大小没有关系，你电流大了磁通量会增大，但是电感值是不变的。

- 一旦导体周围的磁力线数量变化，或者说磁场发生变化，导体上就会产生感应电压。无论这种变化是什么原因引起的。

感应电压的大小取决于磁通量变化的快与慢

$$V = -\frac{\Delta\psi}{\Delta t}$$

只要导体周围磁场发生变化，导体上面就会产生感应电压

- 电压大小取决于电流变化快慢。

$$V = \frac{\Delta\psi}{\Delta t} = \frac{L \cdot \Delta I}{\Delta t} = L \frac{dI}{dt}$$

磁通量的变化根源就在与电流的变化。所以电压的大小与电流变化的快慢有关

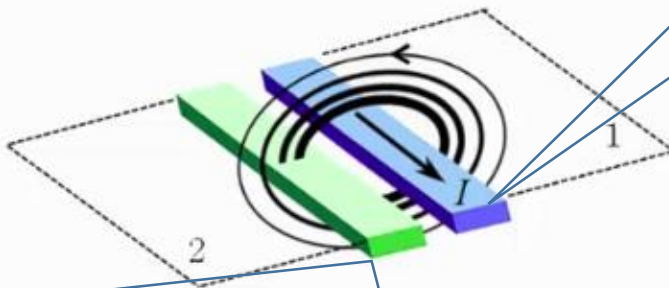
导体自感、互感

$$L_{11} = \frac{\psi_1}{I_1}$$

$$L_{21} = \frac{\psi_2}{I_1}$$

绿色导体受蓝色导体电流变化的影响

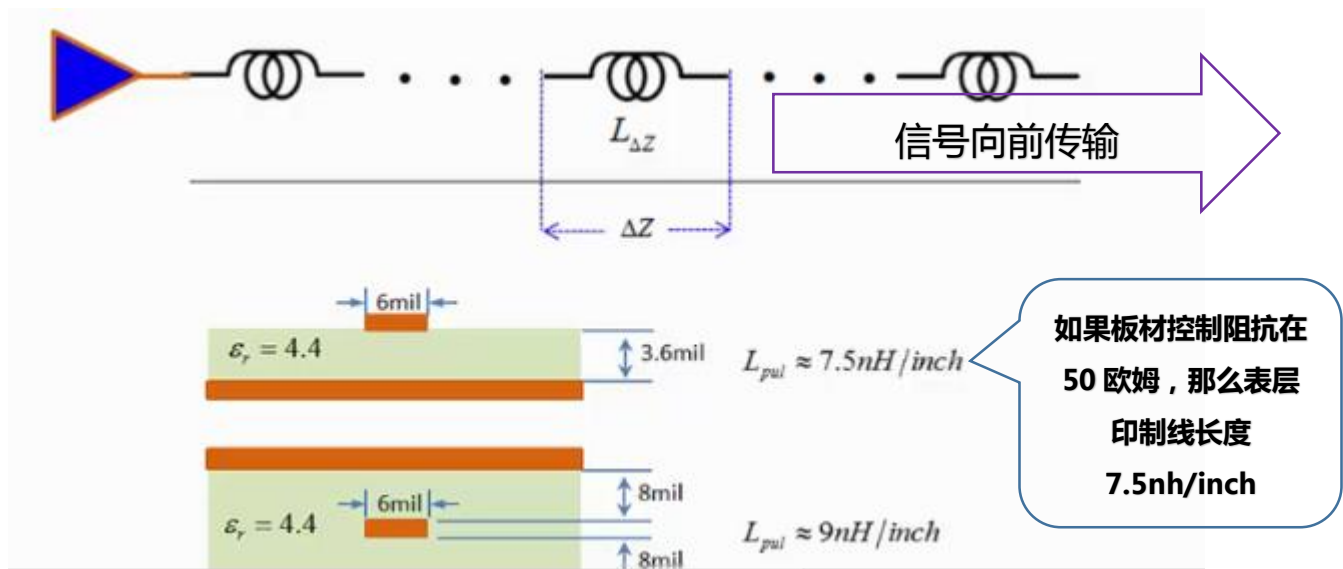
如果该导体电流突然发生变化 ΔI_1



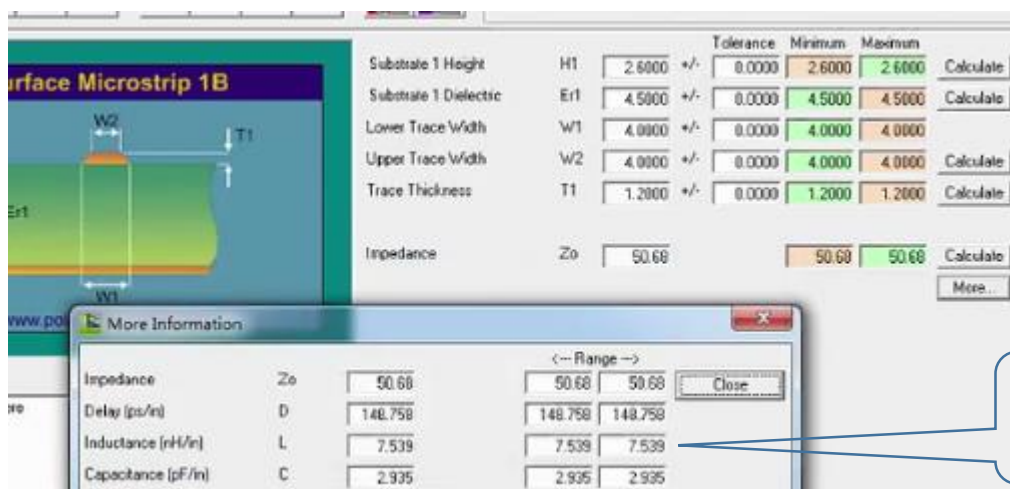
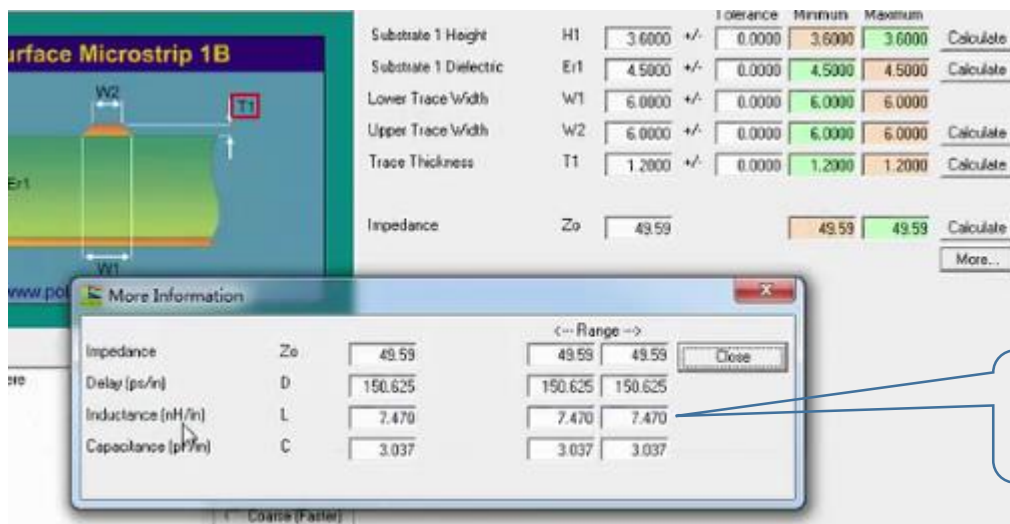
$$V_1 = \frac{\Delta\psi_1}{\Delta t} = \frac{L_{11} \cdot \Delta I_1}{\Delta t} = L_{11} \frac{dI_1}{dt}$$

$$V_2 = \frac{\Delta\psi_2}{\Delta t} = \frac{L_{21} \cdot \Delta I_1}{\Delta t} = L_{21} \frac{dI_1}{dt}$$

那么这个导体就会受到蓝色导体电流变化的影响，从而在原来的信号上产生噪声



这个导线电感是信号在导线上向前传输，也就是变化的时候，导线电感对信号质量的影响，当信号再也不变化了，那么导线电感也就没有了。



我们只要阻抗控制是一样的，介电常数不变，那么导线的电感量和 w1，w2 的线宽没有任何关系。

内层导线电感量控制也和上面的方法一样的。

电容电感

我们将上面的知识总结一下，先看看电感

电感电容

如果走线长度远大于铜箔厚度，和线宽。
那么导线电感量就有这项公式决定

$$Z_0 = \sqrt{\frac{L}{C}} \quad L = \frac{\mu_0}{2\pi} l \left[\ln\left(\frac{2l}{w+t}\right) + \frac{1}{2} + \frac{2}{9}\left(\frac{w+t}{l}\right) \right]$$

其中： l 为走线长度， w 为线宽， t 为铜箔厚度。当 $l \gg w+t$ 时，电感大小主要由 $\ln\left(\frac{2l}{w+t}\right)$

其实导线长度一般都是远远大于铜箔厚度和线宽的。你画 PCB 的时候，把线画的比铜箔厚度还短，你焊接都没法焊接。

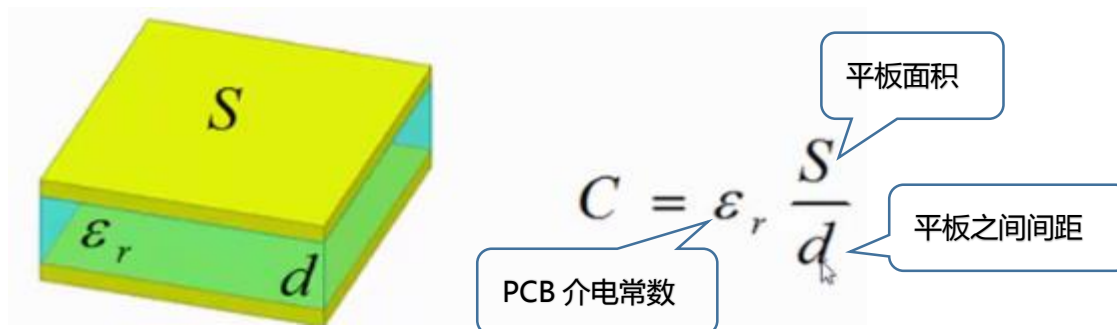
所以走线越长，电感越大，因为你走线越长，导线周围磁力线越多。所以阻抗就越大。电感越小阻抗越小。

$$L = \frac{\mu_0}{2\pi} l \left[\ln\left(\frac{2l}{w+t}\right) + \frac{1}{2} + \frac{2}{9}\left(\frac{w+t}{l}\right) \right]$$

根据这个公式我们还可以看出来，为什么线宽边宽了，铜箔变厚了，电感越小呢？

我们可以直观的理解一下，电流越分散电感越小，电流越集中电感越大，你线宽很小，或者铜箔很薄，那么电流是不是就很集中呢。线宽越宽，铜箔越厚，横截面积就很大，所以电流是不是就很分散呢。

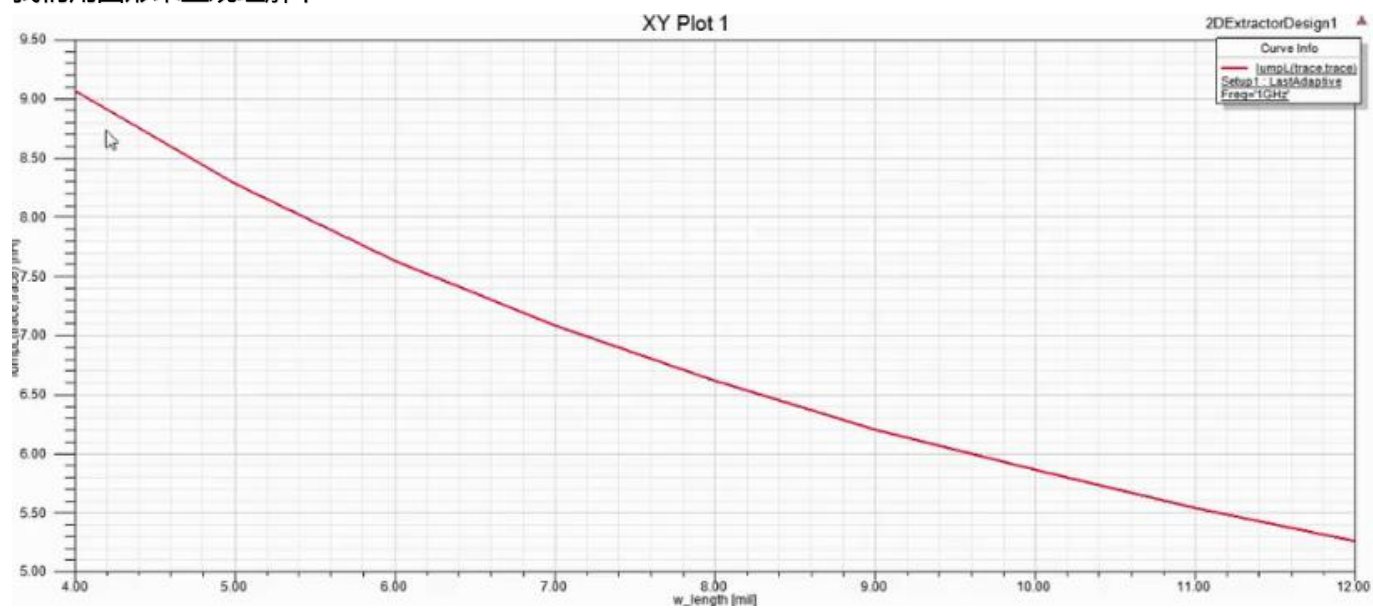
我们再来看看电容



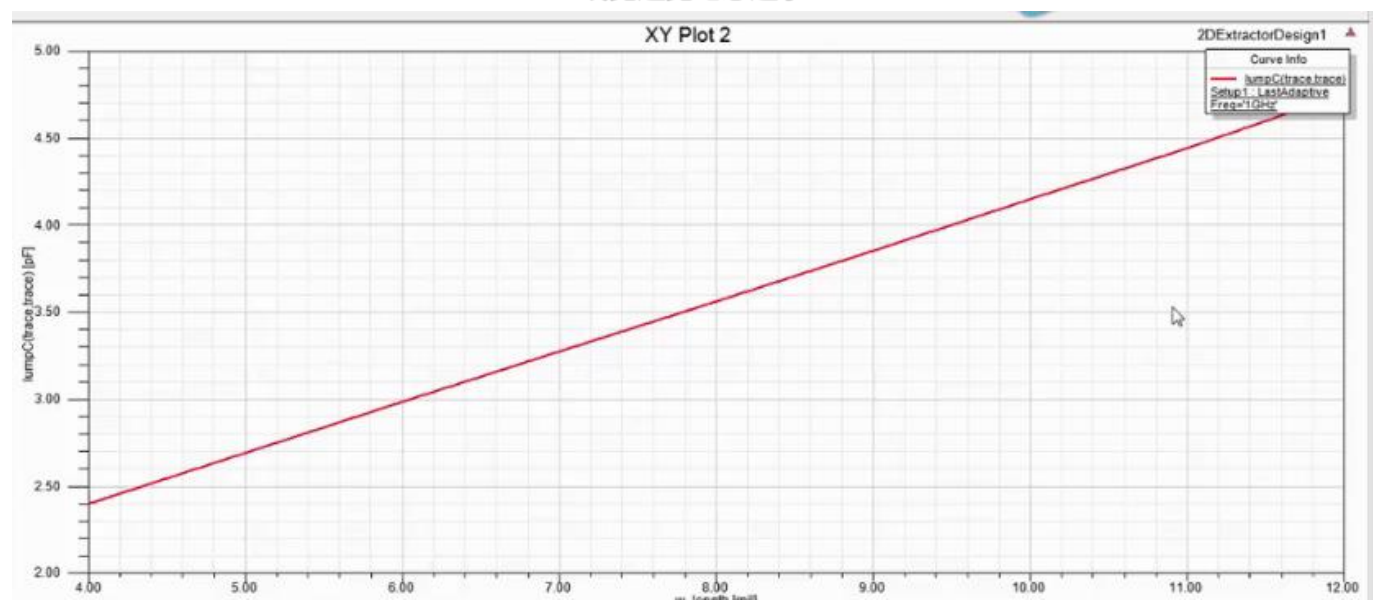
平板面积越大，电容就会越大，也就是走线越宽，电容越大。但是走线越宽 $\ln\left(\frac{2l}{w+t}\right)$ 电感是下降的，所以根据公式 $Z_0 = \sqrt{\frac{L}{C}}$ 阻抗也是越小的。PCB 介质厚度越大，电容也越小。那么阻抗会变高，介电常数越

大，电容越大，阻抗会下来

我们用图形来直观理解下



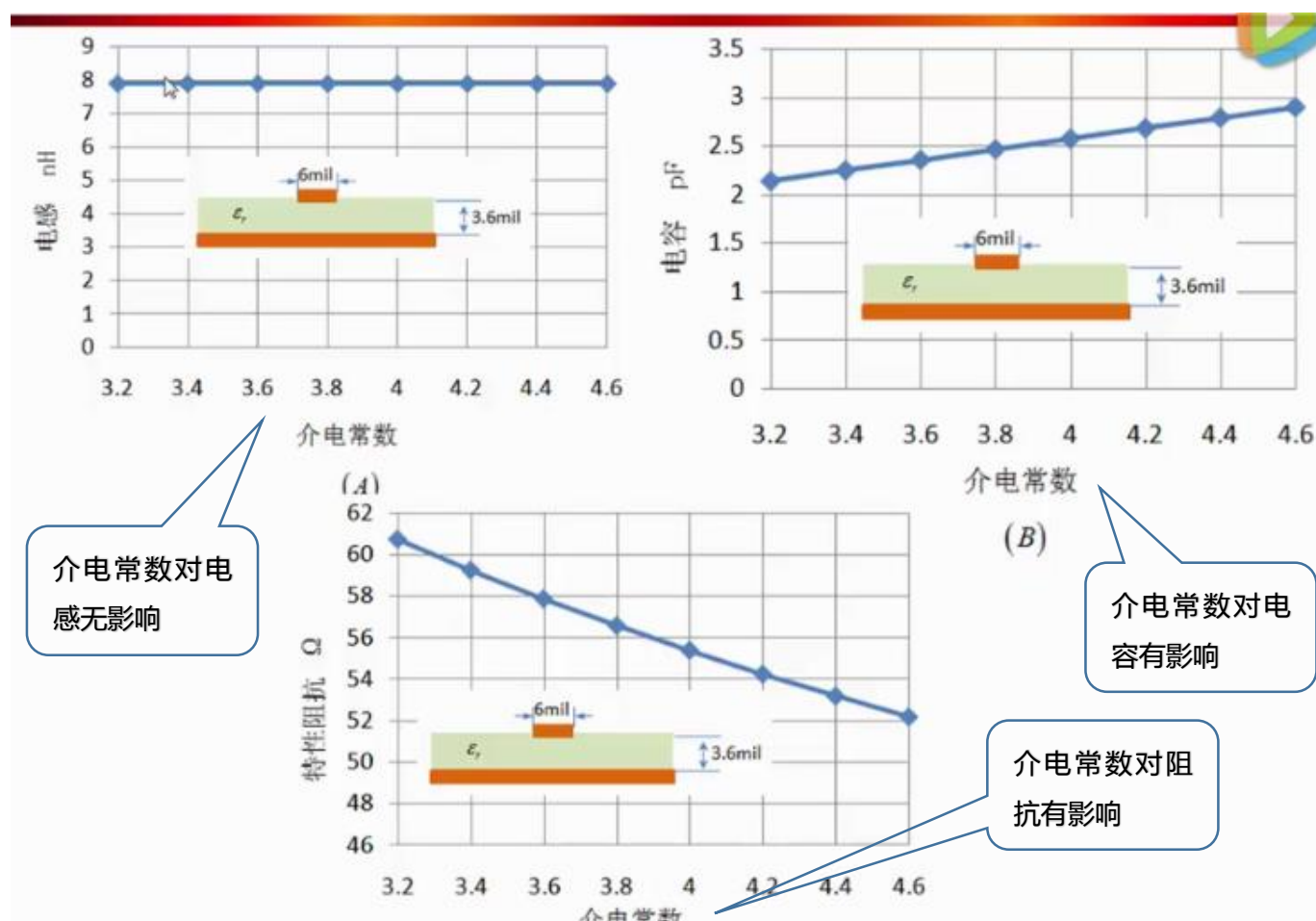
线宽越宽电感越小



线宽越宽电容越大

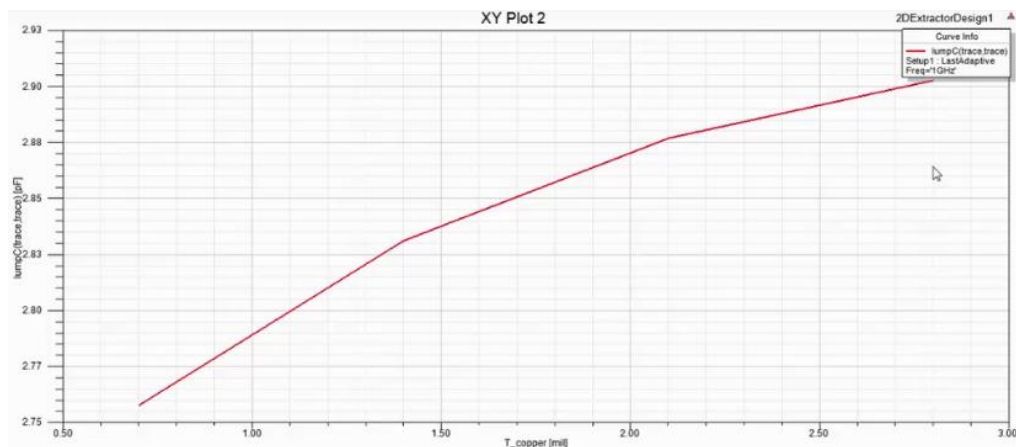


介质越厚电容越小，电感增加，阻抗增大。



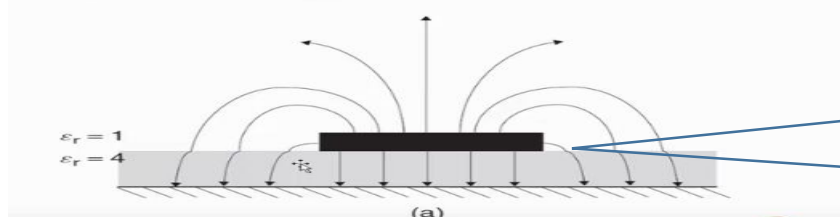
介电常数的影响，定一个介电常数，去计算导线电感和电容。

如果我 PCB 板厚度，层叠尺寸，线宽，线间距都没有变，只是换了另一种板材，因为板材类型不同，介电常数就不同，那么阻抗也就不同。



铜皮厚了电感会减小，前面说过的，但是铜皮厚了电容会增加是怎么回事？

铜箔厚度影响电容电感



铜皮薄电力线少，铜皮厚电力线多

电力线多了，就会影响导线电容。

结论：线宽越宽阻抗下降，介质越厚阻抗变大，介电常数变高阻抗越小，铜箔越厚，阻抗越小。

电路板去耦电容设计

首先计算噪声余量：

根据 datasheet 来设计。

如芯片供电电压为 3.13 ~ 3.47

稳压芯片输出电压为 3.3V，安装在电路板后电压为 3.36V

那么容许的电压变化范围就是 3.47-3.36=110m

稳压芯片输出精度 $\pm 1\%$ ，也就是 $3.36 \pm 1\%$ 产生 33.6mV 偏差，电压输出范围就是 3.327V ~ 3.393V

电源噪声余量就是 $110-33.6=76.4\text{mV}$

稳压芯片的输出能力：

在负载芯片高速切换电流通断时，那么稳压芯片是无法马上给负载提供现在的电流的。

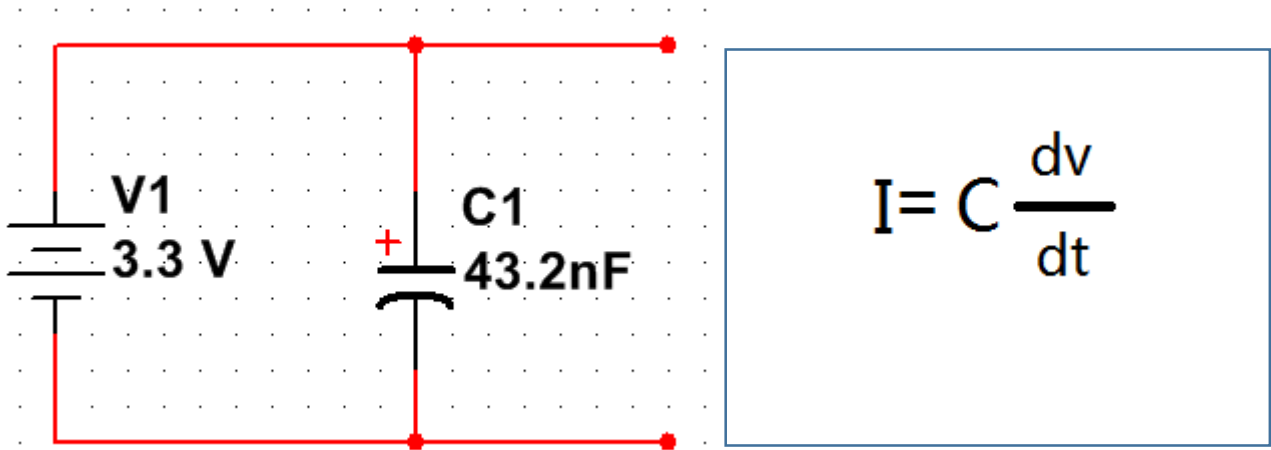
所以稳压芯片就有一个电源响应的指标，一般稳压电源响应频率为 200Khz 以内。

如果芯片工作频率超过 200Khz，那么给芯片供电的电压会出现跌落。

这个时候就要确定负载瞬态电流的电源阻抗和地回路阻抗。

1，我们来计算给负载供电的电容大小：

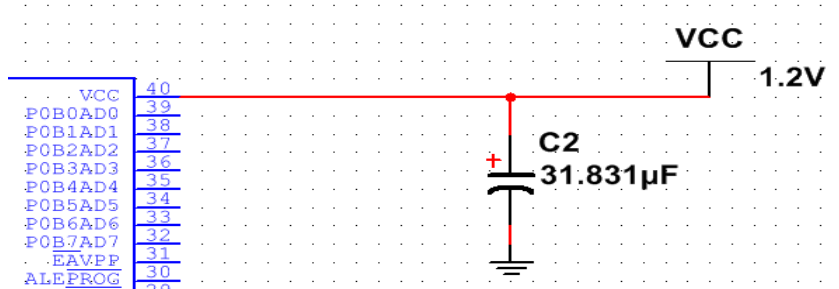
一种解释是，当负载电流变化时电源不能及时给负载供电所以要在负载旁边加个电容让电容及时给负载先供电



2, 设：芯片要求信号要在 2ns 内，电压从 0V 上升到 3.3V，电压允许波动范围为 $3.3 \times 2.5\% = 82.5\text{mV}$ ，芯片 3.3V 时要消耗 1.782A 的电流，那么 $C = I \cdot dt / dv = 1.782\text{A} \cdot 2\text{ns} / 0.0825\text{V} = 43.2\text{nF}$ ，电容 C1 要取 43.2nf

但是这种计算出来的结果是没有考虑电容的寄生电感和 ESR 的，所以这个值很不科学。

3, 另一种是用目标阻抗设计方法：



芯片供电电压为 1.2V，容许电压波动 $\pm 2.5\%$ ，芯片最大消耗电流 600mA

4, 计算目标阻抗

$$X_{\text{Max}} = \frac{V_{\text{DD}} \times \text{Ripple}}{I_{\text{Max}}} = \frac{1.2 \times 0.025}{0.6} = 50\text{m}\Omega$$

5, 确定稳压电源频率响应范围，一般和电源芯片有关，一般是 DC~100Khz。

在 100khz 下时电源芯片能输出很好的瞬态电流。

高于 100KHz，表现为高阻抗，在高于 100khz 时负载芯片没有外加电容，那么电压波动会超过 $\pm 2.5\%$

我们计算该大电容在最低 100khz 时产生 50mΩ 阻抗

6, 计算电容量，

$$C = \frac{1}{2\pi f X_{\text{max}}} = \frac{1}{2 \times 3.14 \times 100\text{k} \times 0.050\Omega} = 31.831\text{uF}$$

Xmax 目标阻抗

F 电容起作用的最低频率，低于该频率电容就不起 50moh 阻抗了

7, 计算该大电容的 50mΩ 阻抗能适用到多高的频率

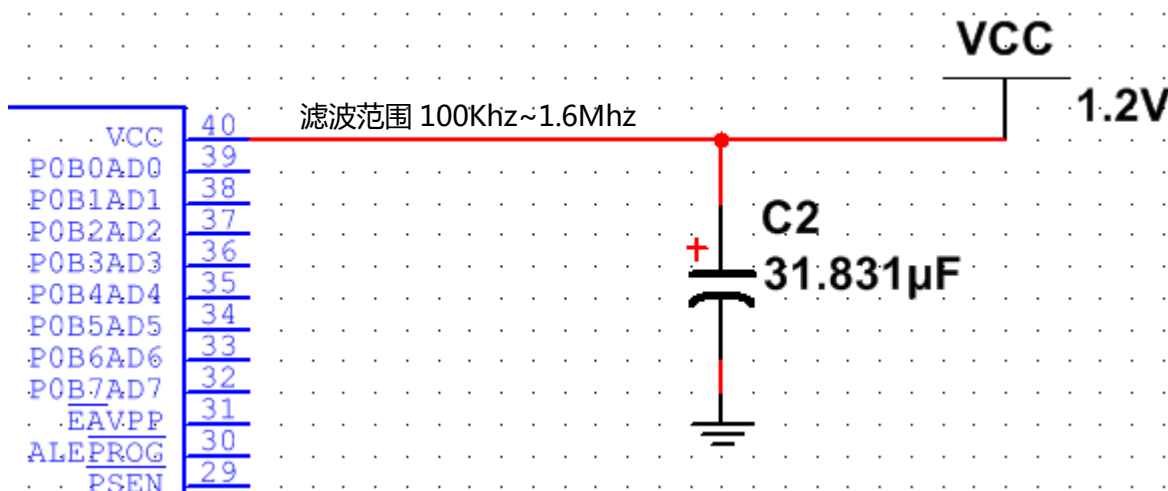
这个时候要加入电容的 ESL 参数, (但是现在因为电容制作工艺的提高 ESL 已经可以忽略了), 我们只是为了更好理解计算下:

加入电容 ESL=5nH

$$f_{\text{Max}} = \frac{X_{\text{max}}}{2\pi \text{ ESL}} = 1.6\text{Mhz} \quad f_{\text{Max}} = \frac{0.050\Omega}{0.0000000314} = 1.6\text{Mhz}$$

那么

所以该 31.831uf 的电容, 阻抗 50mΩ 只能在 100Khz~1.6Mhz 下控制住, 高于 1.6Mhz, 还得加小电容解决。



设计频率高于 1.6M 时所需的电容量

若我的负载芯片是 DDR 这种高速电压切换芯片, 比如切换速度在 500Mhz。那我们电源就必须满足 500Mhz 的瞬时供电。那么这里就只有交给小电容来处理了。

1, 控制电容寄生电感

$$L_{\text{max}} \leq \frac{X_{\text{max}}}{2\pi \times 500\text{Mhz}} = 0.016\text{nH}$$

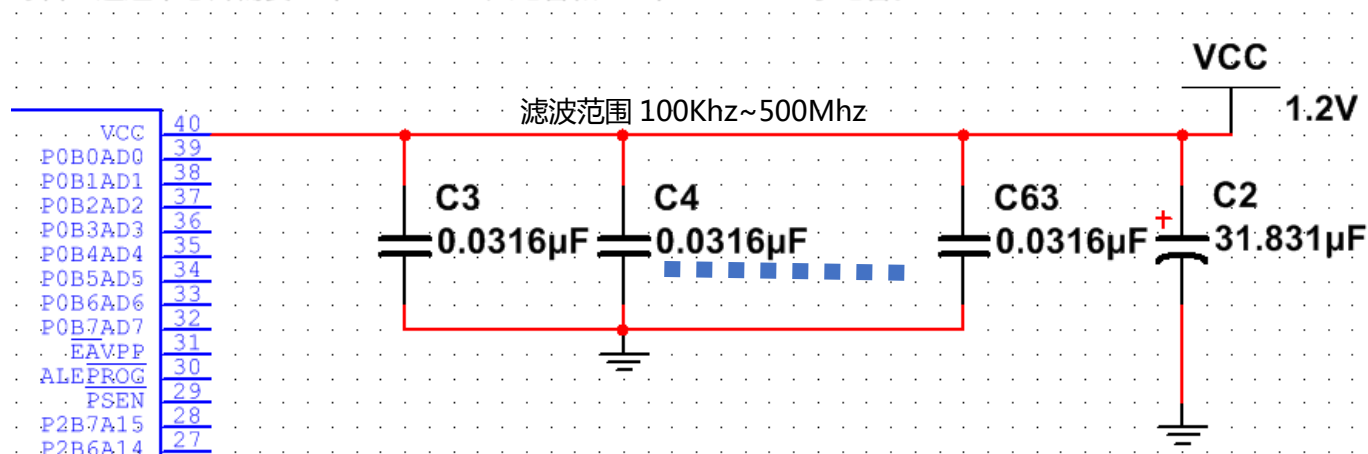
2, 若 0402 封装陶瓷电容为 ESL=0.4nH, 安装在电路板后过孔寄生电感为 0.6nH, 那么整个电容的 ESL=1nH 为了让电感不大于 Lmax 0.016nH, 则需要多个小电容并联, 等效为多个电感并联来减小电容量。计算结果就是 1nH/0.016nH=62.5 个电容, 大概 63 个电容。

3.和第一个大电容计算方法一样, 设定 1.6Mhz 为最低满足 50mΩ 的频段,

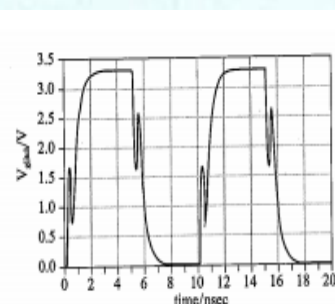
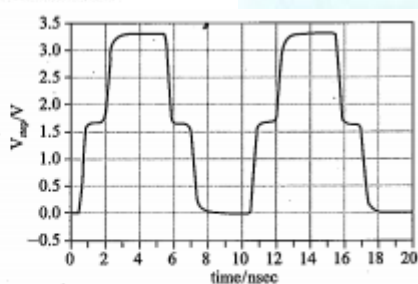
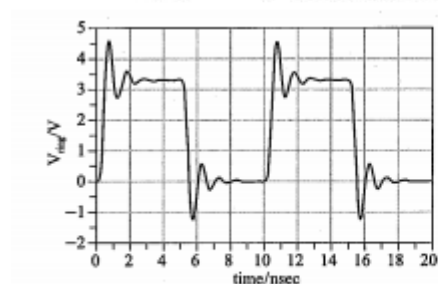
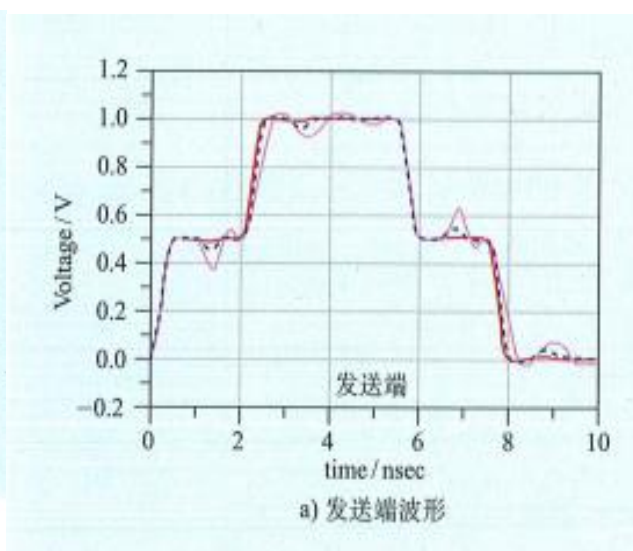
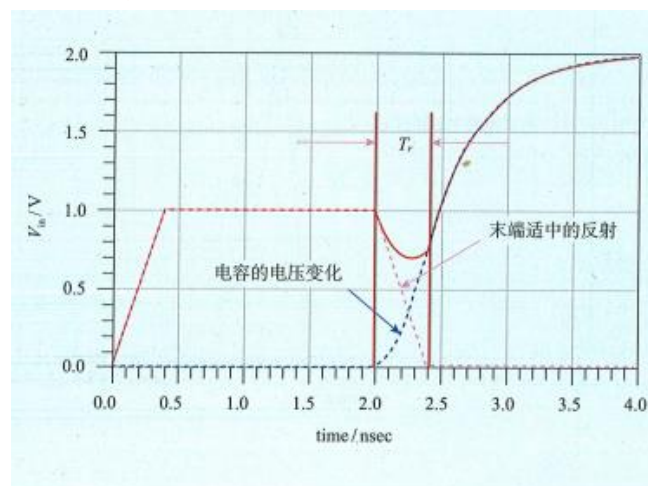
$$C = \frac{1}{2\pi f X_{\max}} = \frac{1}{6.28 \times 1.6\text{MHz} \times 0.050\Omega} = 1.9894\mu\text{F}$$

因此每个陶瓷电容容量为 $1.9894/63=0.0316\mu\text{F}$

综合上述这个芯片需要 1 个 $31.831\mu\text{F}$ 大电容和 63 个 $0.0316\mu\text{F}$ 小电容。



反射问题



你在示波器测试传输线，看到以上波形都是属于信号反射引起的。

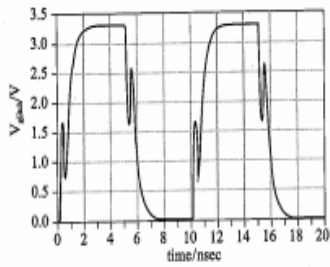
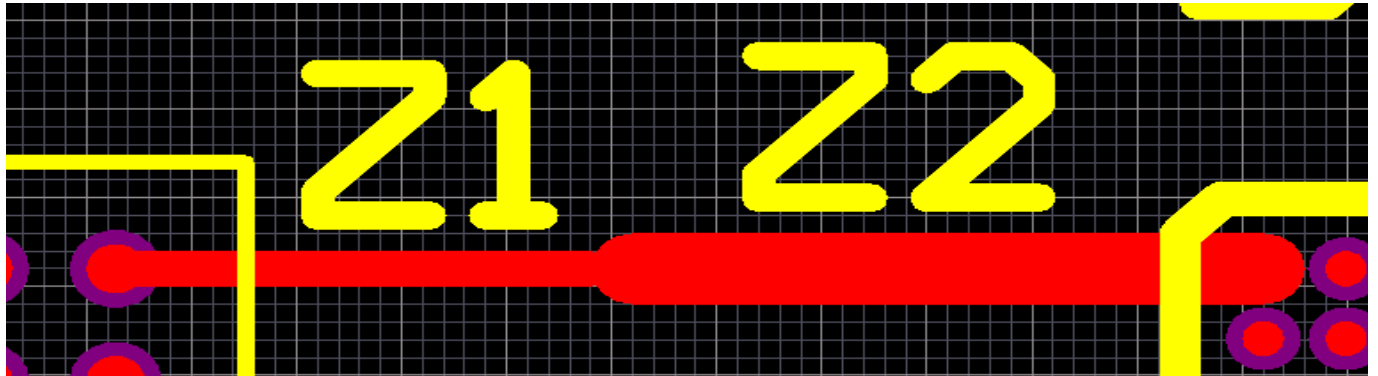


图 4-3 信号边沿的回勾

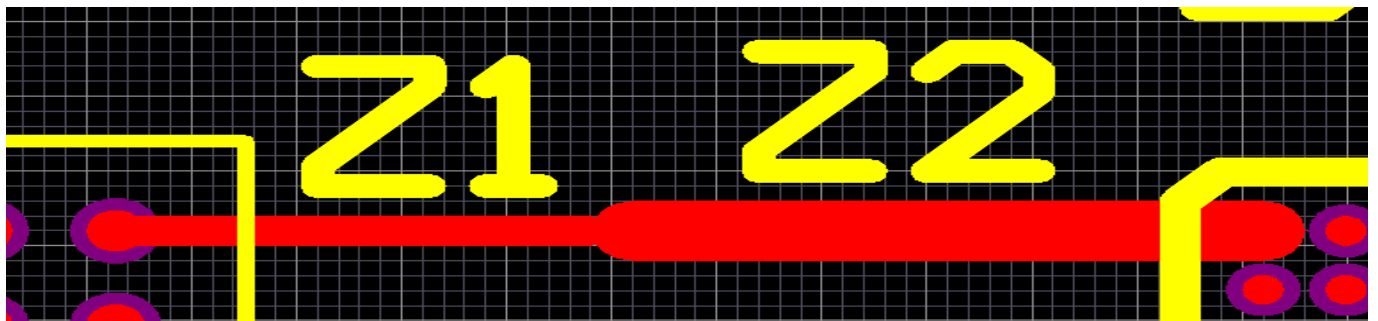
像这种波形在信号速率比较低，10M~100M 不会出现什么问题，但是在 100M 以上，比如说 DDR3 那种就要出问题。

反射的原理分析：

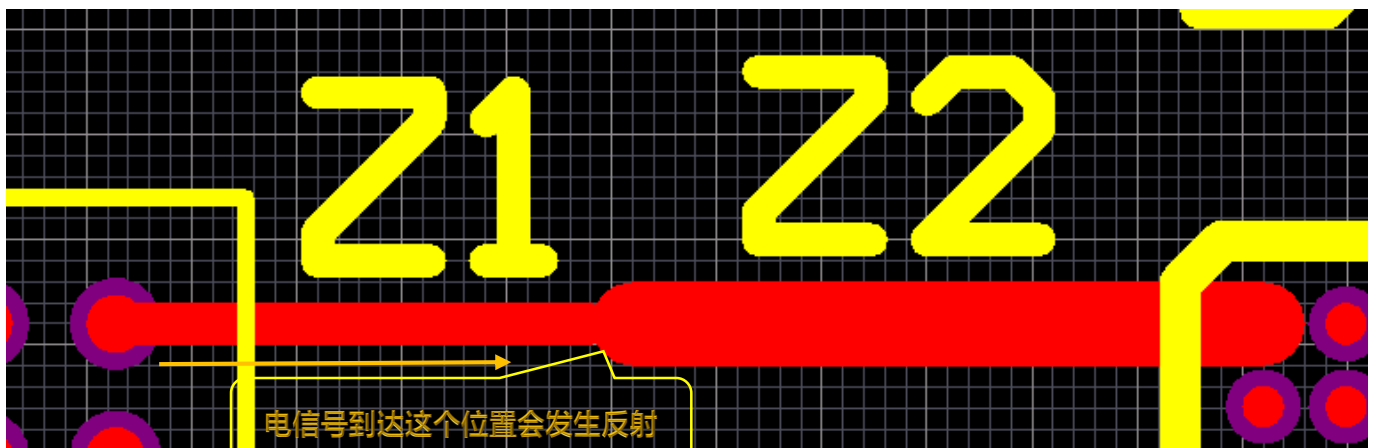


比如说在 DDR 和 EMMC 芯片之间有这么一条高速信号下面，Z1 线宽 10mil，Z2 线宽 20mil

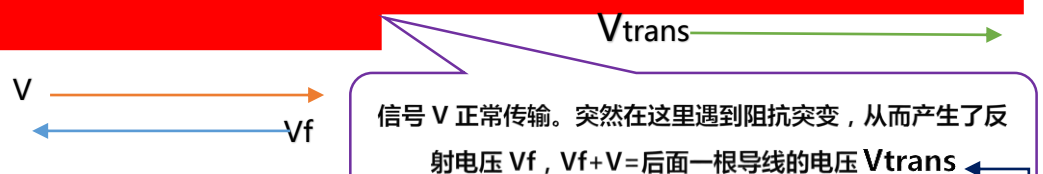
在 PCB 层叠不变的情况下，线宽越窄阻抗越高，线宽越宽，阻抗越低。



像这样一条线我们由窄变宽，按照上面的说法就是 $Z1 > Z2$ 阻抗



电信号到达这个位置会发生反射



反射电压也是一样的逻辑

$$\Gamma = \frac{V_{reflect}}{V_{inc}} = \frac{Z_2 - Z_1}{Z_2 + Z_1}$$

反射系数 就是突然变化的阻抗和前面没有变化阻抗之间的关系

$$T = \frac{V_{trans}}{V_{inc}} = \frac{2 * Z_2}{Z_2 + Z_1}$$

传输系数 就是二倍变化的阻抗比上两个阻抗之和

比如说下面这个例子

$$Z_1 = 50\Omega, Z_2 = 75\Omega$$

$$\Gamma = \frac{75 - 50}{75 + 50} = 0.2$$

$$T = \frac{2 * 75}{75 + 50} = 1.2$$

$$V_{inc} = 1V$$

$$V_{reflect} = \Gamma \times 1V = 0.2V$$

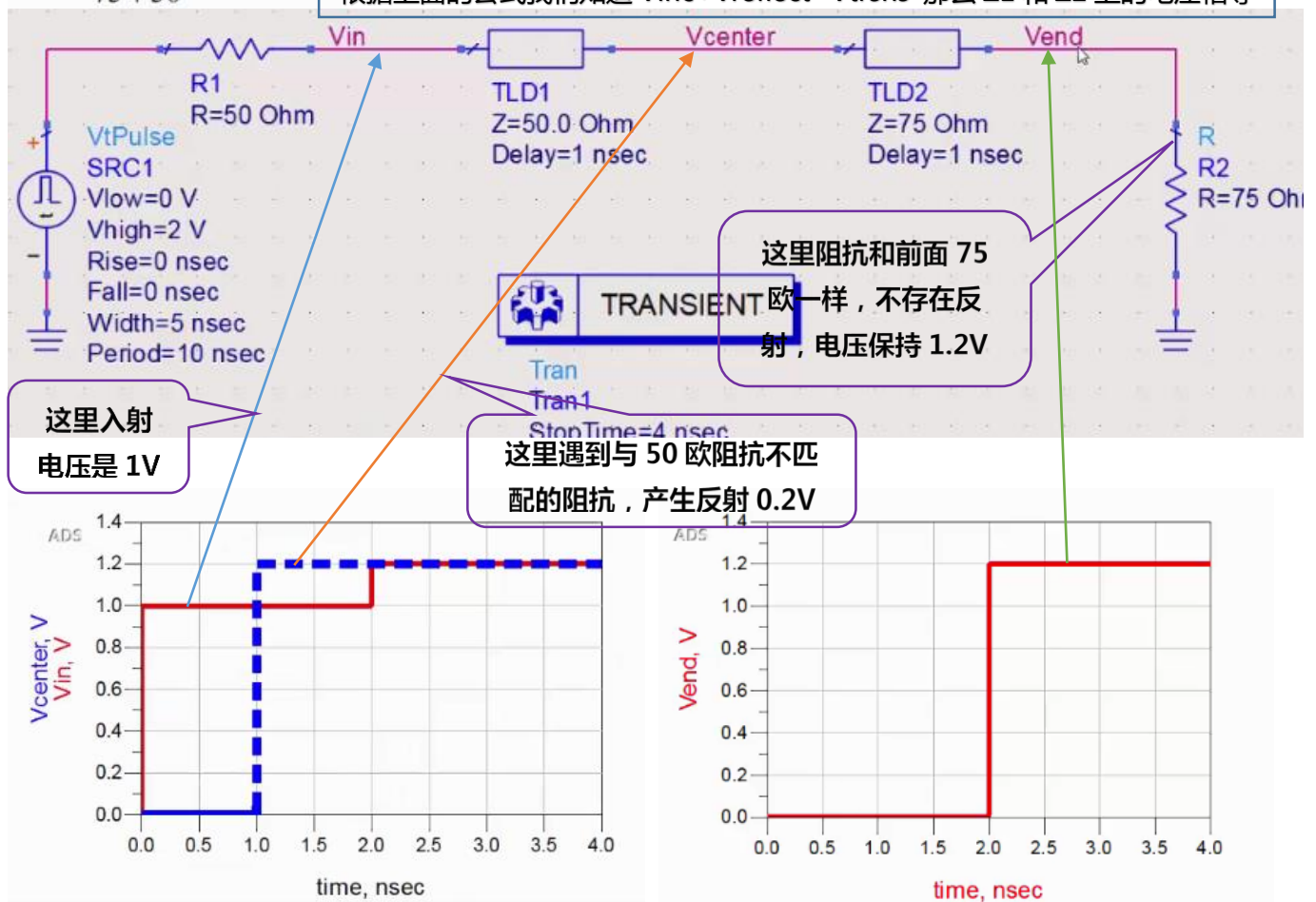
$$V_{trans} = T \times 1V = 1.2V$$

入射电压

反射电压

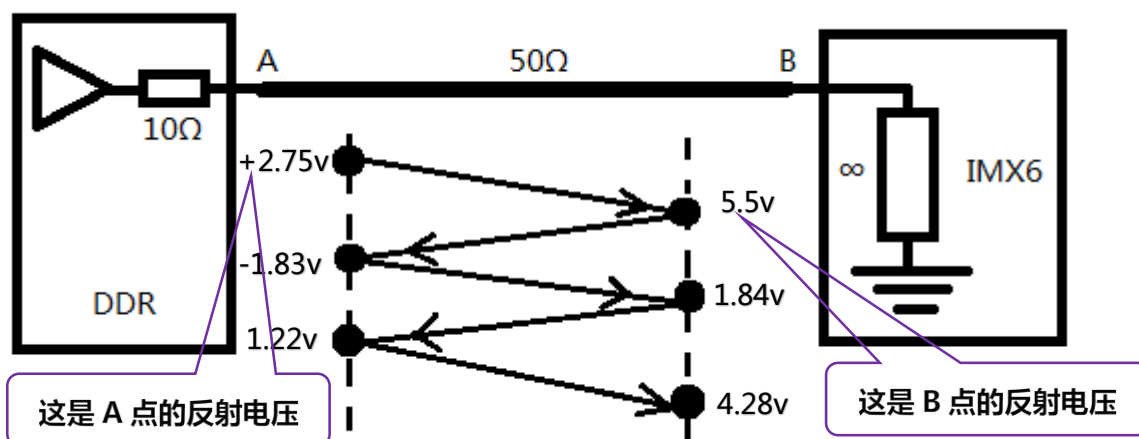
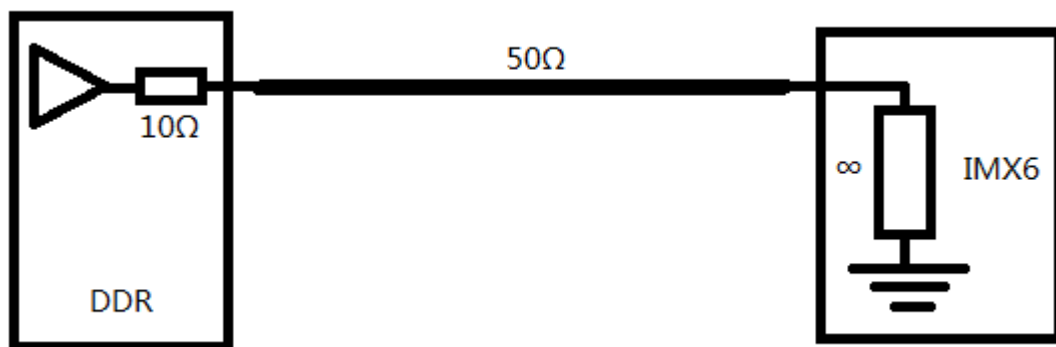
传输电压

根据上面的公式我们知道 $V_{inc} + V_{reflect} = V_{trans}$ 那么 Z_1 和 Z_2 上的电压相等

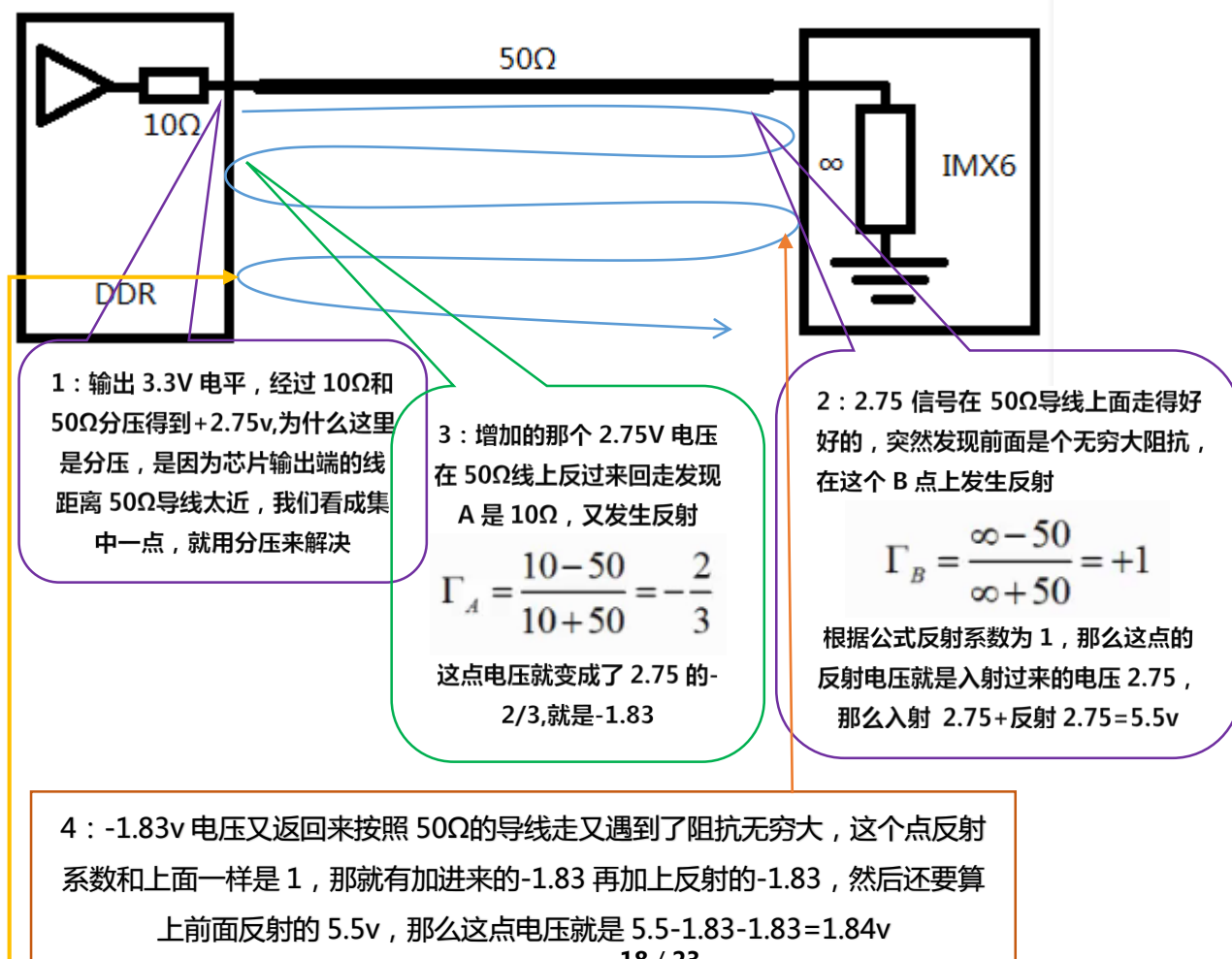


这里为什么最后到末端是 1.2V？，前面公式已经说得很清楚了。

举个电路中的例子

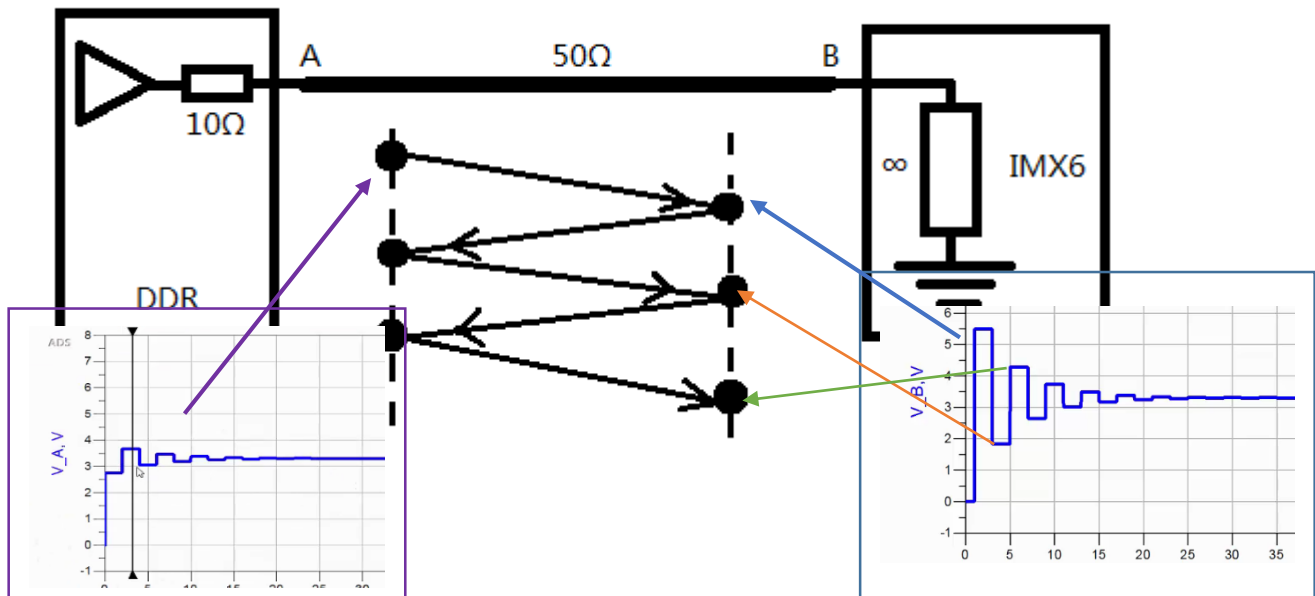


要理解上面的反射电压产生我们还是用个比较形象的比喻好了



5：然后反射电压-1.83v 又返回来按照 50Ω阻抗导线往前走又遇到了 10Ω，这时反射系数为-2/3，所以这点反射电压为 1.22v

以上过程周而复始



所以你在电路中看到的振铃就是信号反射引起的

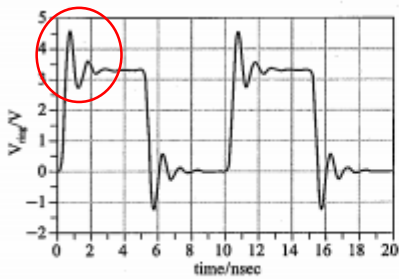


图 4-1 信号的振铃

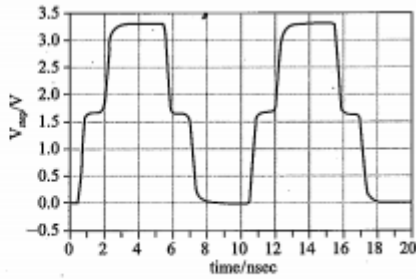
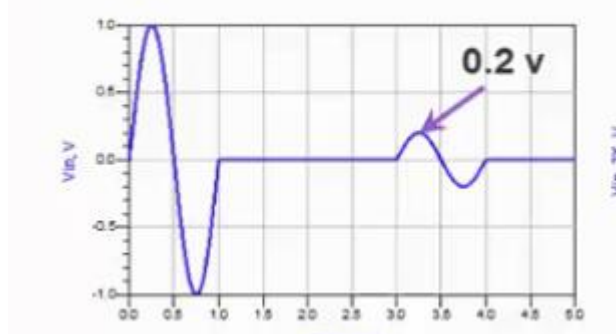


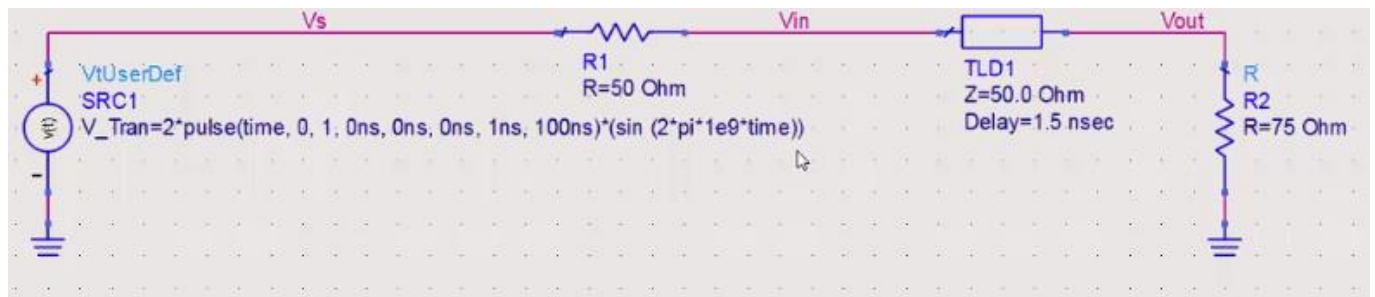
图 4-2 信号边沿的台阶

正弦波反射

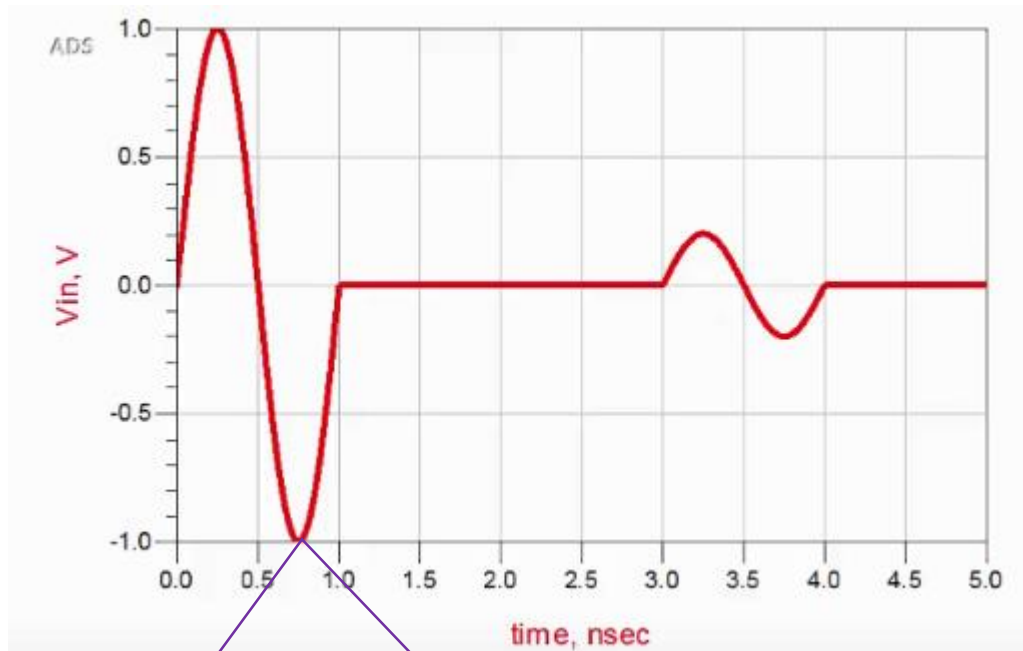
正弦波的正反射



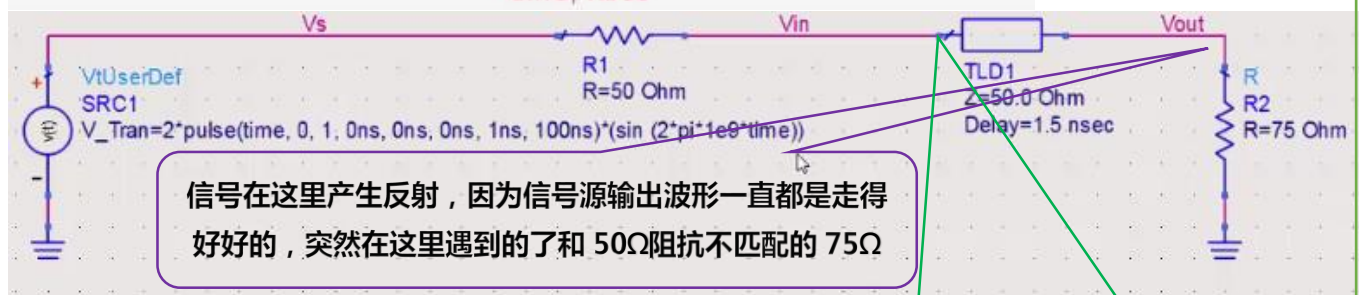
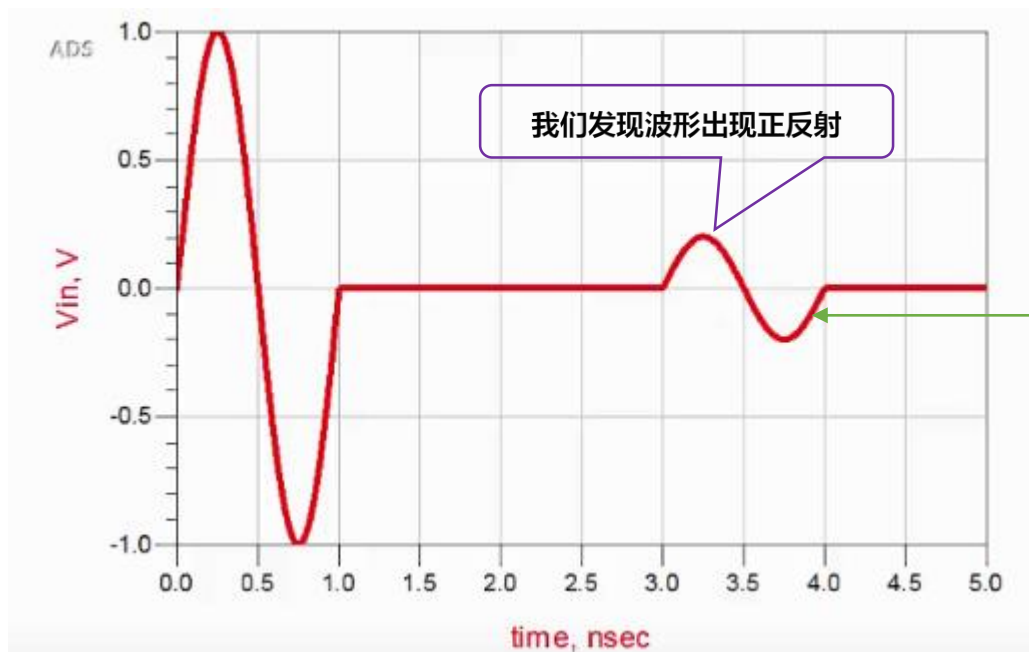
这是正弦波正反射



这里举个实例，信号源发送一个 1Ghz 的正弦波，周期 1ns



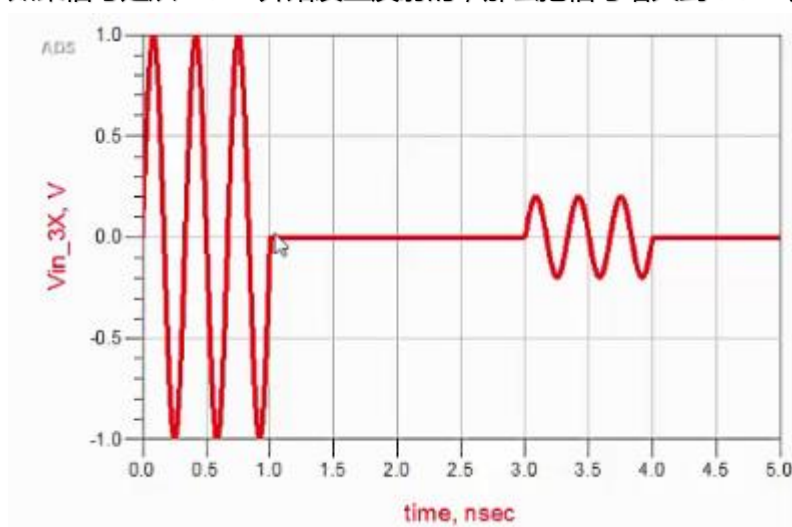
这就是上面电路我信号源输出的波形，1V，周期 1ns，我就输出一个周期



根据反射公式， $(75-50)/(75+50)=0.2$ ，反射系数 0.52

然后 vin 入射电压就是信号源电压±1V，入射电压*反射电压=0.2，所以这里的反射波形是 0.2v

如果信号是从 1Ghz 开始发生反射的，那么把信号增大到 3Ghz 是什么结果呢？

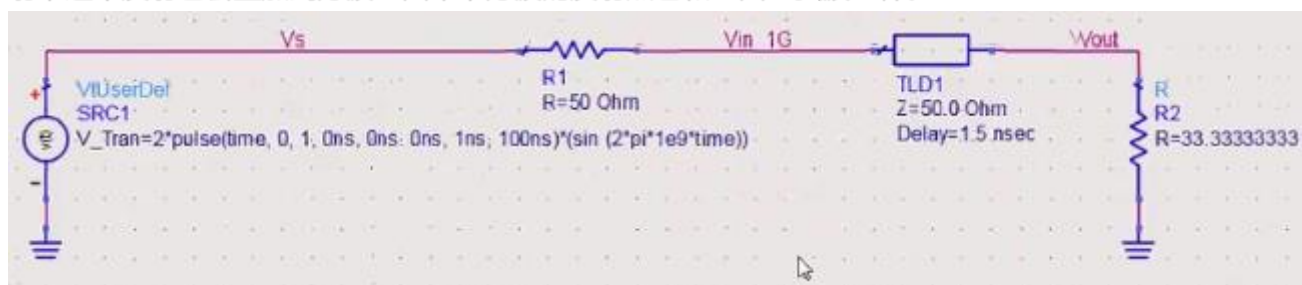


这就是 3Ghz 的反射，这么证明了从第一次谐波发生开始的频率点为基准，然后向上增加频率就会产生更多谐波，所以基波就是第一个频点 1Ghz，然后后面的就是几次谐波，这里我们看到的是 3 次谐波的波形。

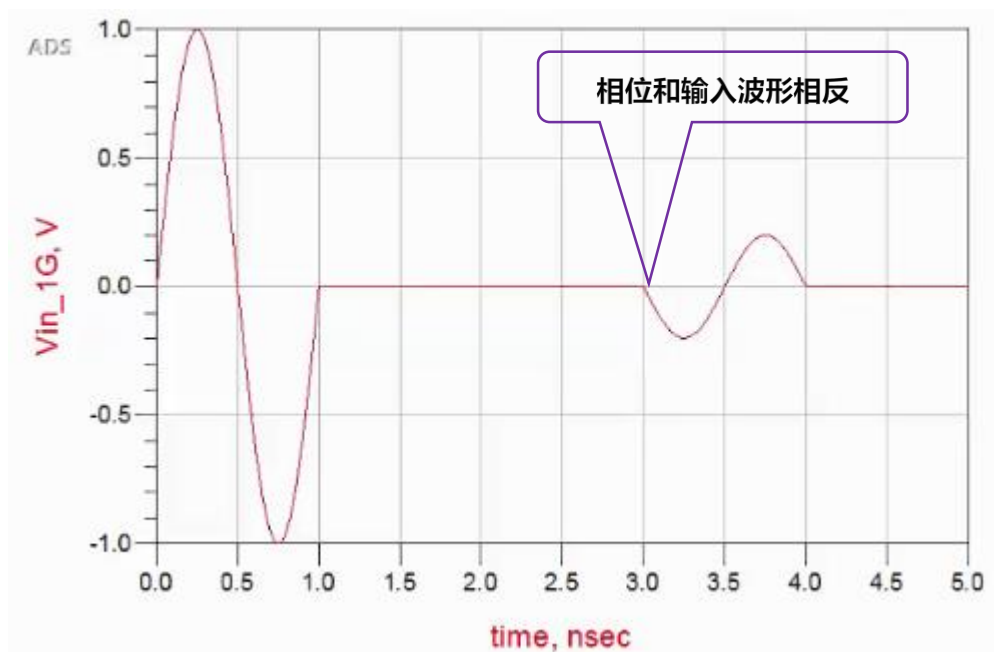
一个方波信号就是一个直流信号加上 N 多次谐波分量



你看这个方波就是我才的正弦波基波加上多次谐波的结果，发现了一个共同点就是，正弦波谐波有多少次反射，这个反射也会叠加到方波上面来，方波的反射点也和上面正弦波一样。

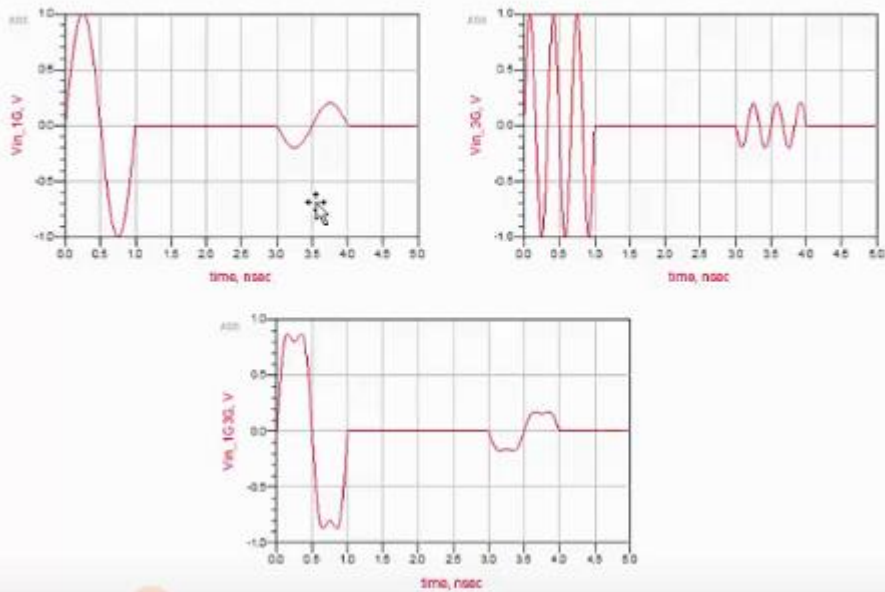


这个电路输出的信号和上面一样 $\pm 1V$ ，1Ghz，周期 1ns，但是这里的末端电阻是小电阻，但是你一样的用反射公式计算就是了，我这里算出结果是-0.2



这就是正弦波负反射

正弦波的负反射



N 次谐波之后方波也是得到负反射的结果。