

L1 SA & SN Semestre 2

Traitement Numérique de l'Information (Archi1)

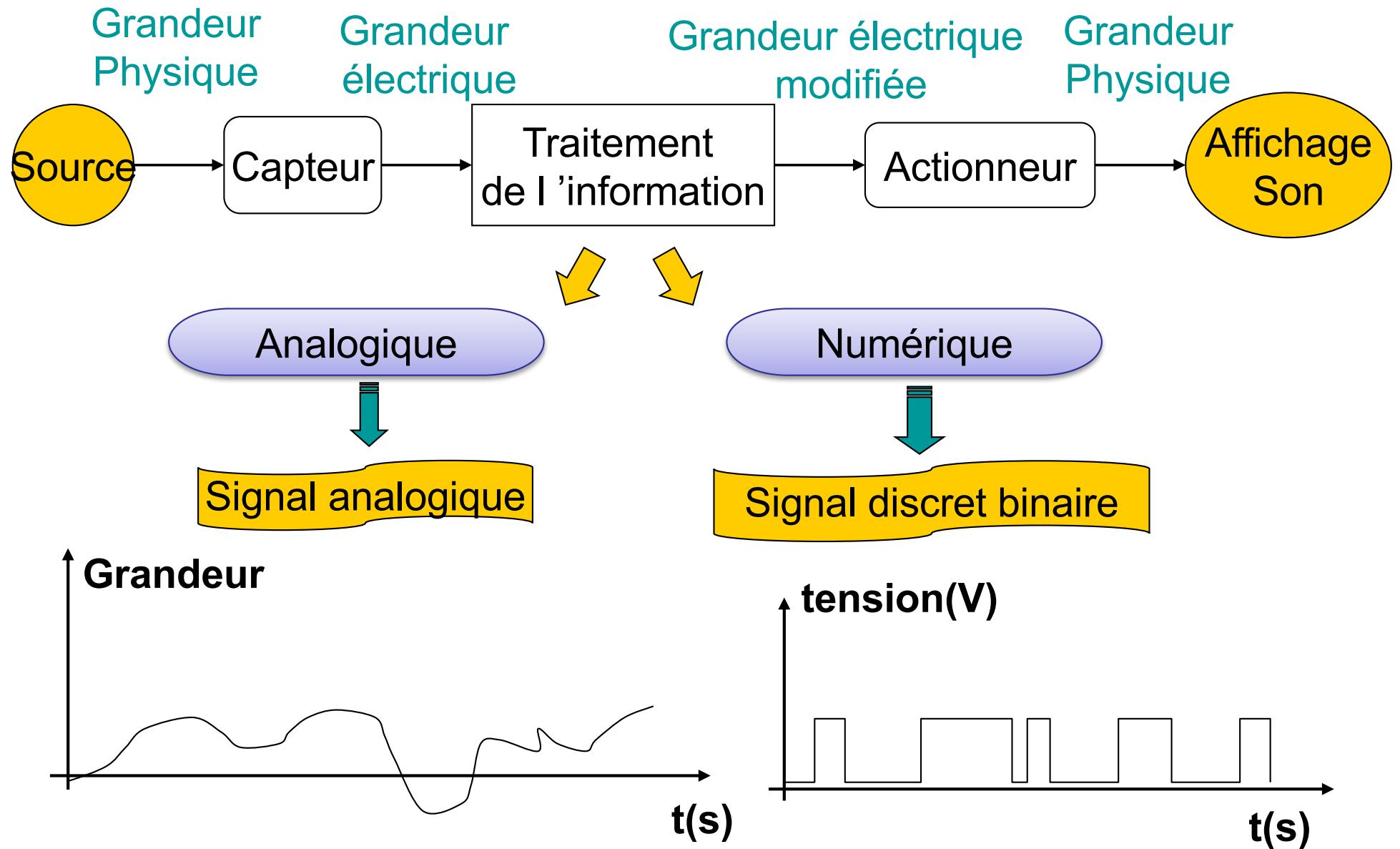
Thème 3 : Électronique numérique

Électronique numérique

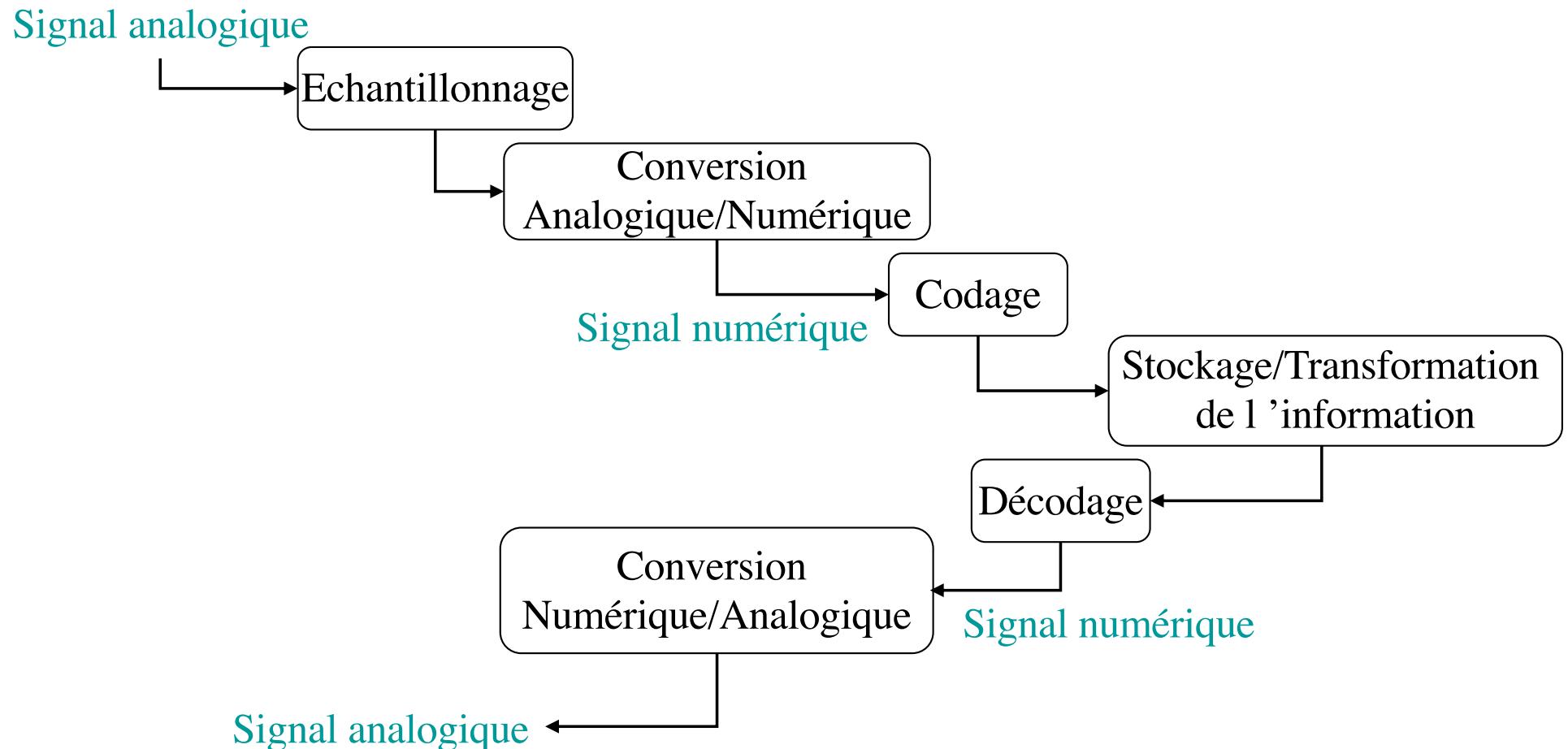
□ Plan

- ❖ Introduction
- ❖ Électronique logique
- ❖ Les familles technologiques des portes logiques
- ❖ Caractéristiques électriques des portes logiques
- ❖ Caractéristiques temporelles des portes logiques
- ❖ Compatibilité technologique

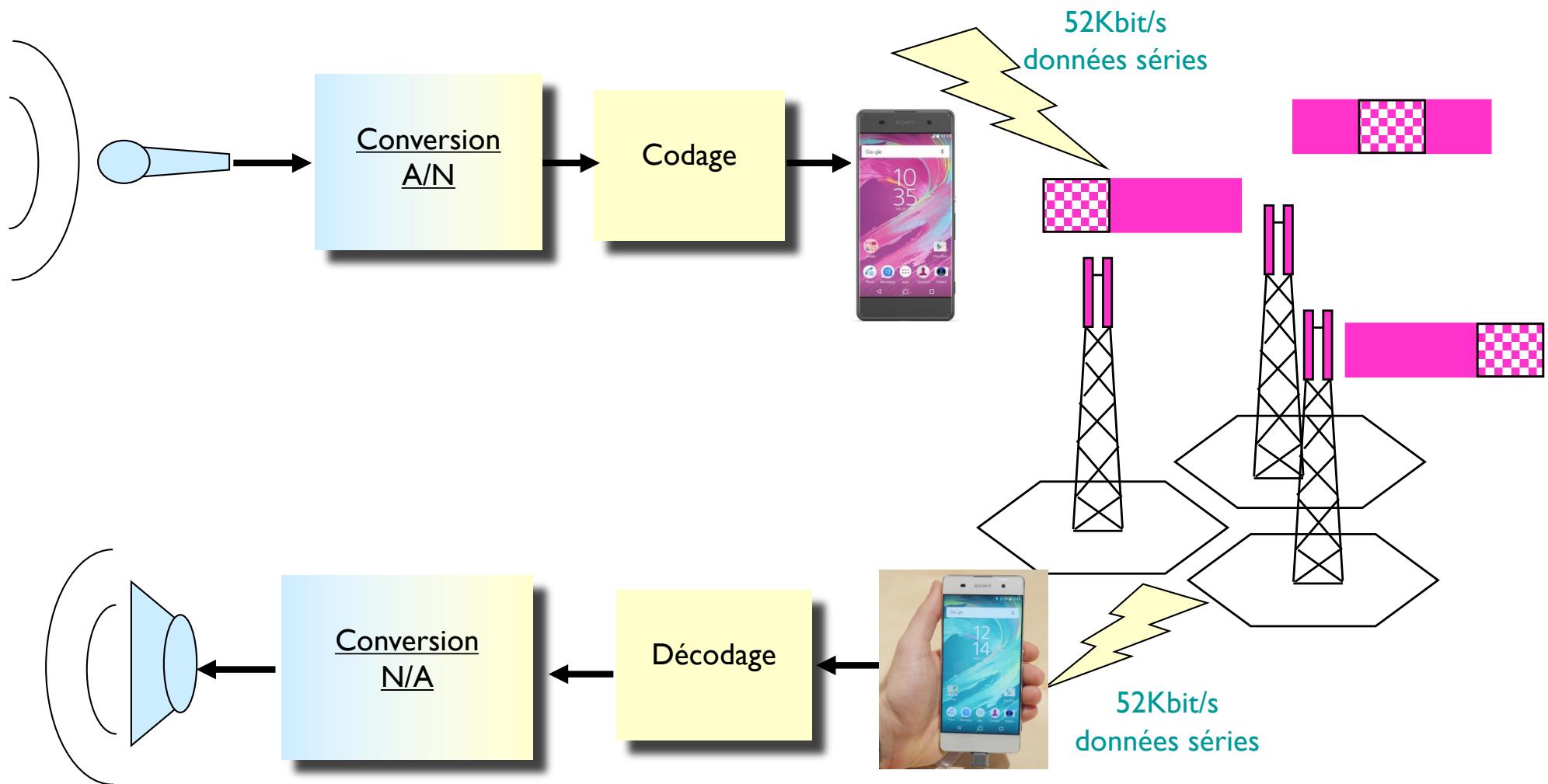
Introduction



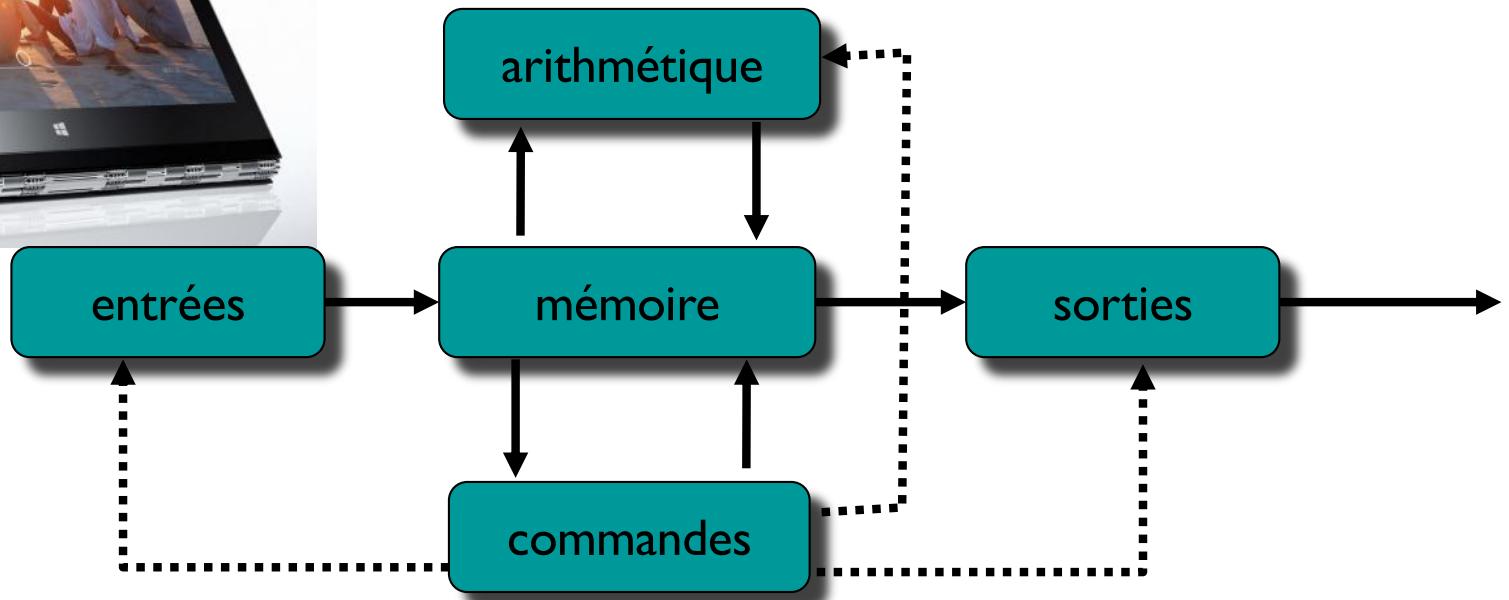
Traitemen^tt de l 'information NUMERIQUE



Exemple : Téléphonie Mobile



L'ordinateur : le système numérique par excellence

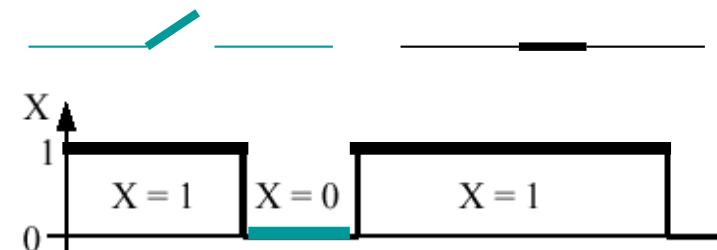


Il est plus facile de transporter des informations binaires (0V ou 5V)
Il est plus facile de traiter des informations binaires « 0 » ou « 1 »

L'électronique logique

□ L'électronique numérique traite des signaux discrets binaires

- ❖ 2 valeurs qui définissent l'état des variables
 - 0 ou 1
 - vrai ou faux
 - état HAUT ou état BAS



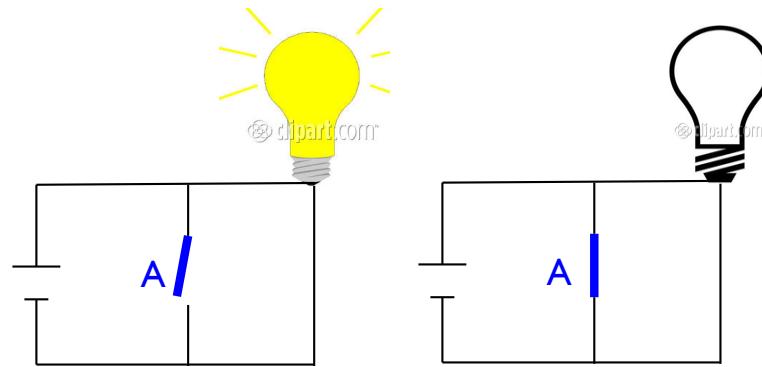
□ La combinaison de l'état de ces variables d'entrée définit la fonction logique.

- ❖ Combinatoire
- ❖ Séquentielle

Les représentations des fonctions

- Schéma à contact électrique**
- Table de vérité**
- Tableau de Karnaugh**
- Forme algébrique**
- Logigramme**
- Chronogramme**

Complément (Inverseur ou Inv)



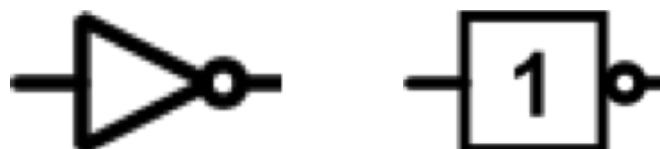
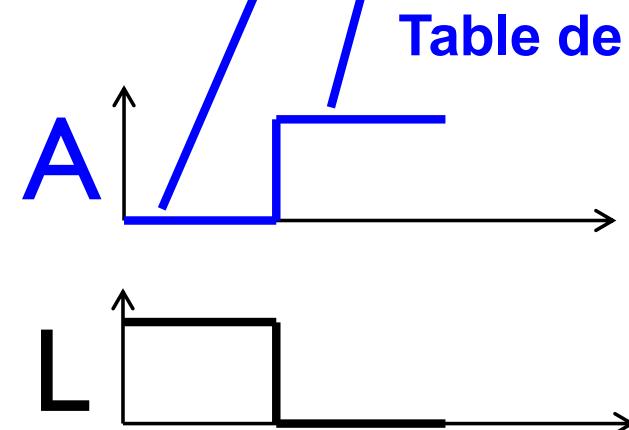
Variable d'entrée

A	L
0	1
1	0

Variable de sortie

Forme algébrique

$$L = \bar{A}$$

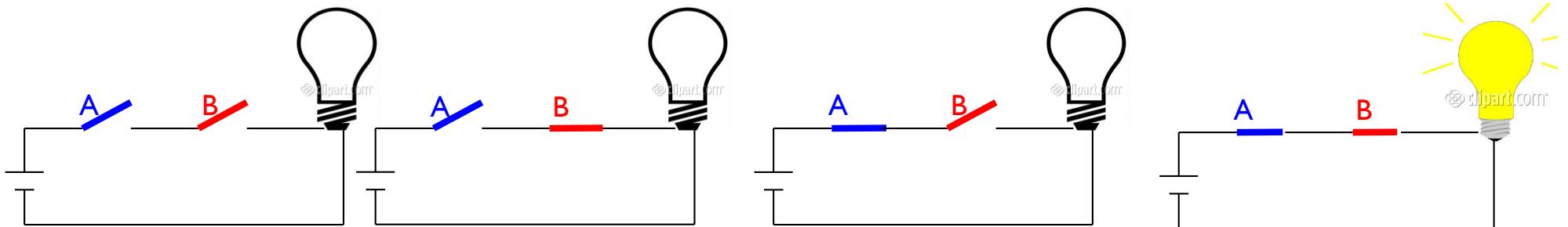


Logigramme

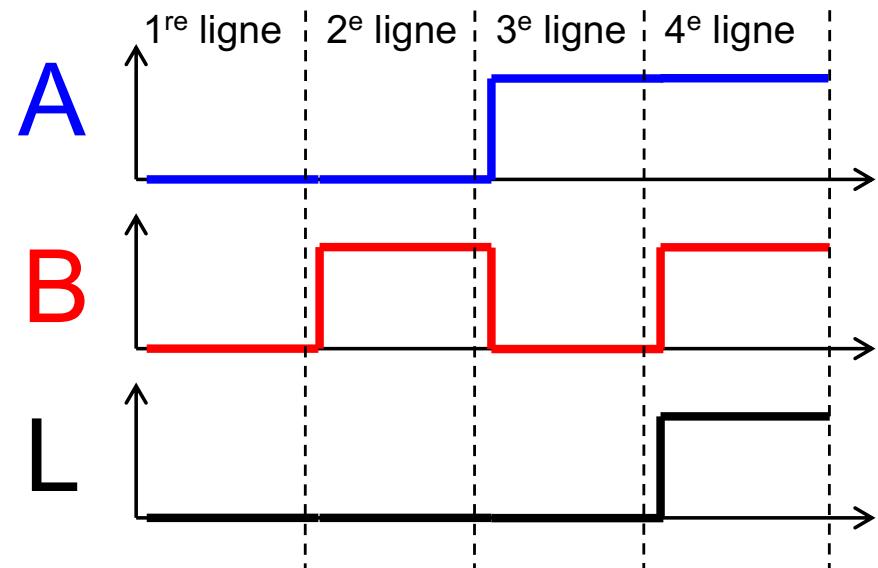
Norme IEEE
Institute of Electrical and
Electronics Engineers.

Norme IEC
International Electrotechnical
Commission (CEI en français).

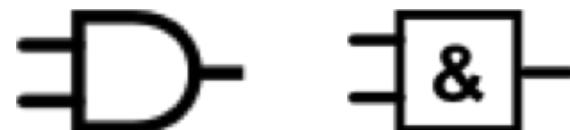
ET (AND)



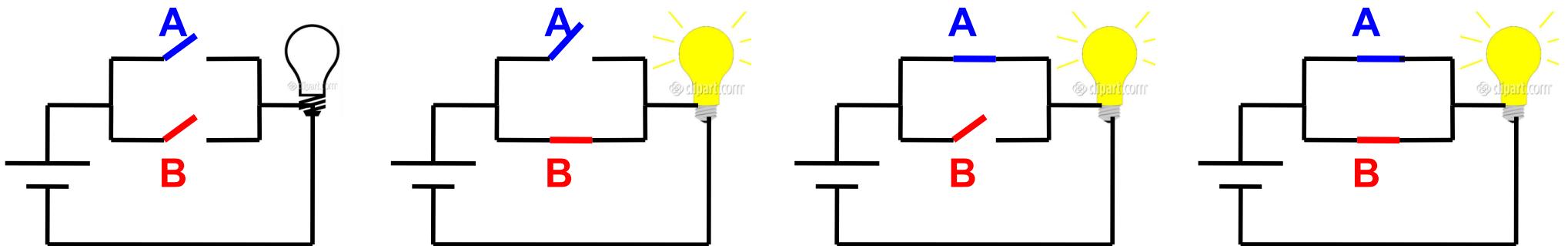
A	B	L
0	0	0
0	1	0
1	0	0
1	1	1



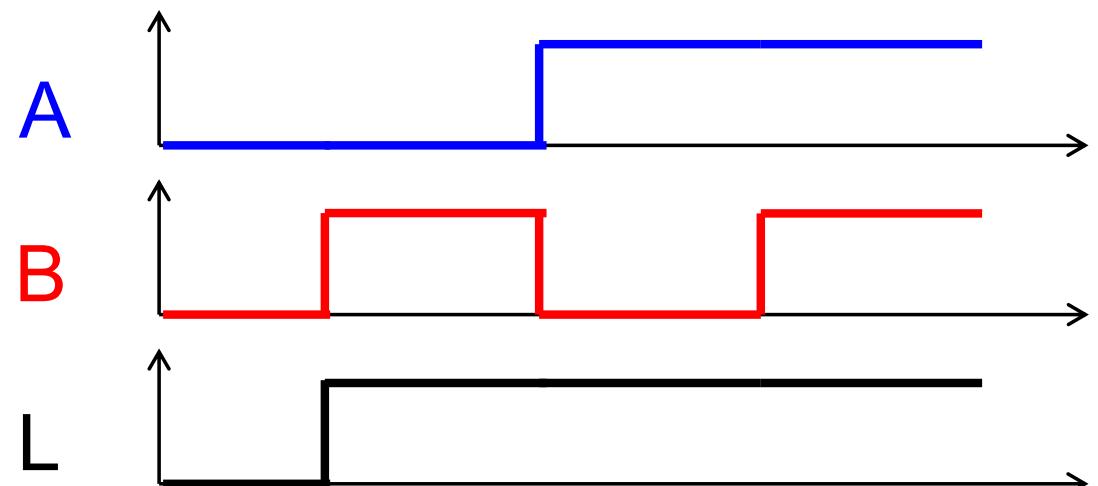
$$L = A \cdot B$$



OU (OR)



A	B	L
0	0	0
0	1	1
1	0	1
1	1	1



$$L = A + B$$

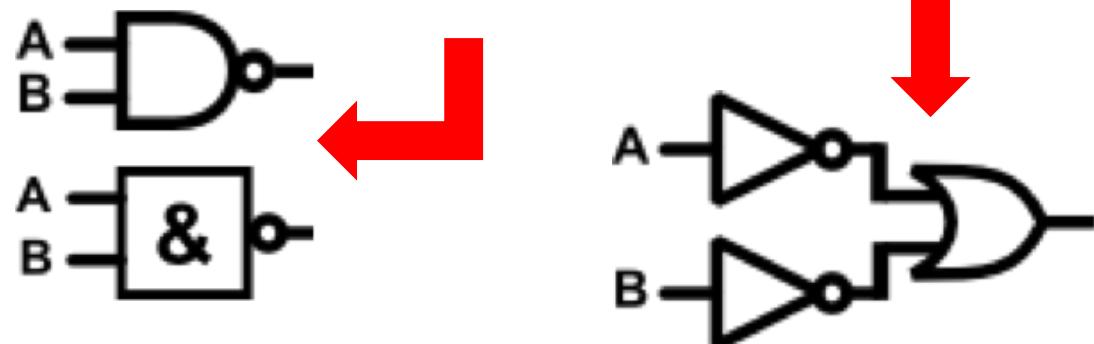


NAND (NON-ET)

A	B	L
0	0	1
0	1	1
1	0	1
1	1	0

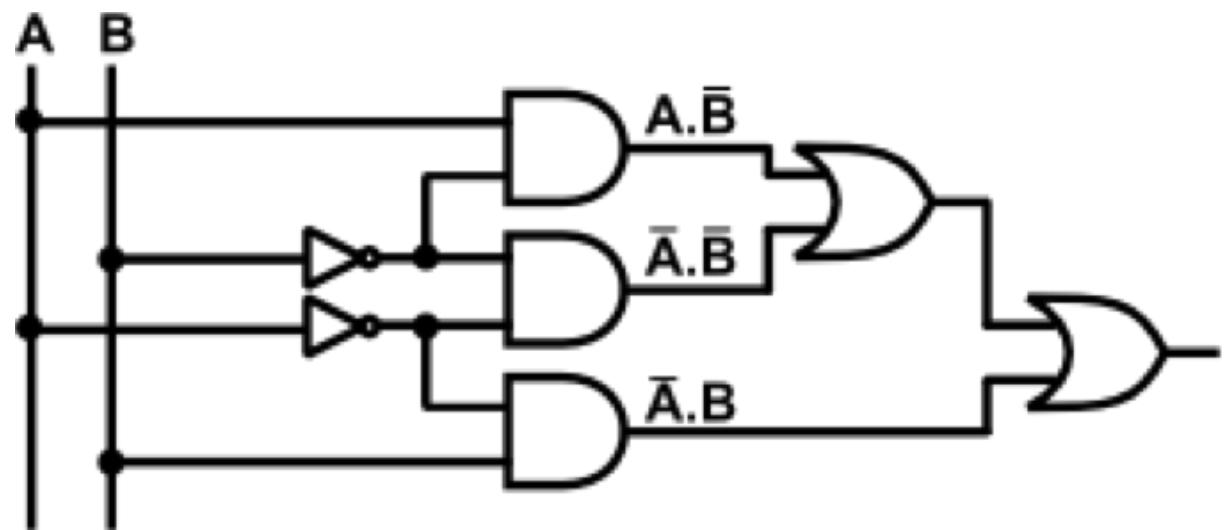
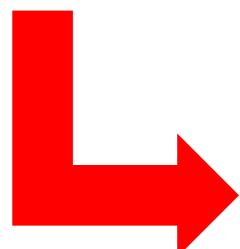
Théorème de De Morgan

$$L = \overline{A \cdot B} = \overline{A} + \overline{B}$$



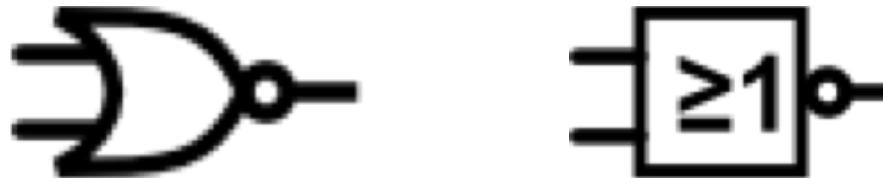
1^{re} forme canonique

$$L = \bar{A} \cdot \bar{B} + \bar{A} \cdot B + A \cdot \bar{B}$$

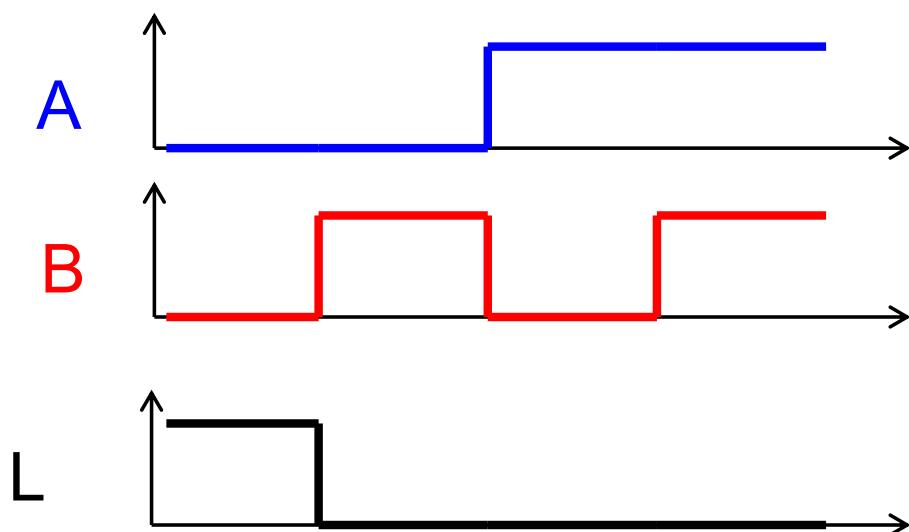


NOR (NON-OU)

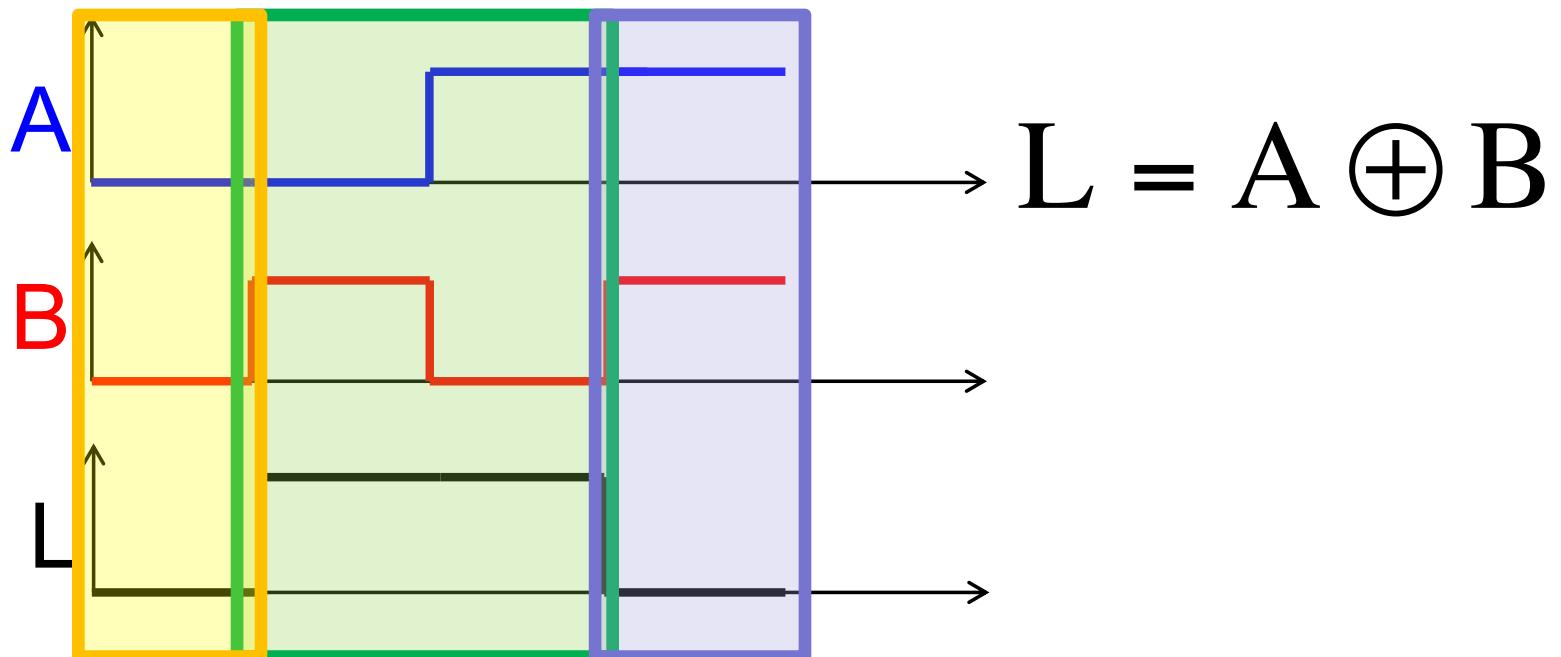
A	B	L
0	0	1
0	1	0
1	0	0
1	1	0



$$L = \overline{A + B}$$



XOR (OU exclusif)



1^{ère} Forme Canonique

On cherche toutes les combinaisons pour lesquelles $L = 1$

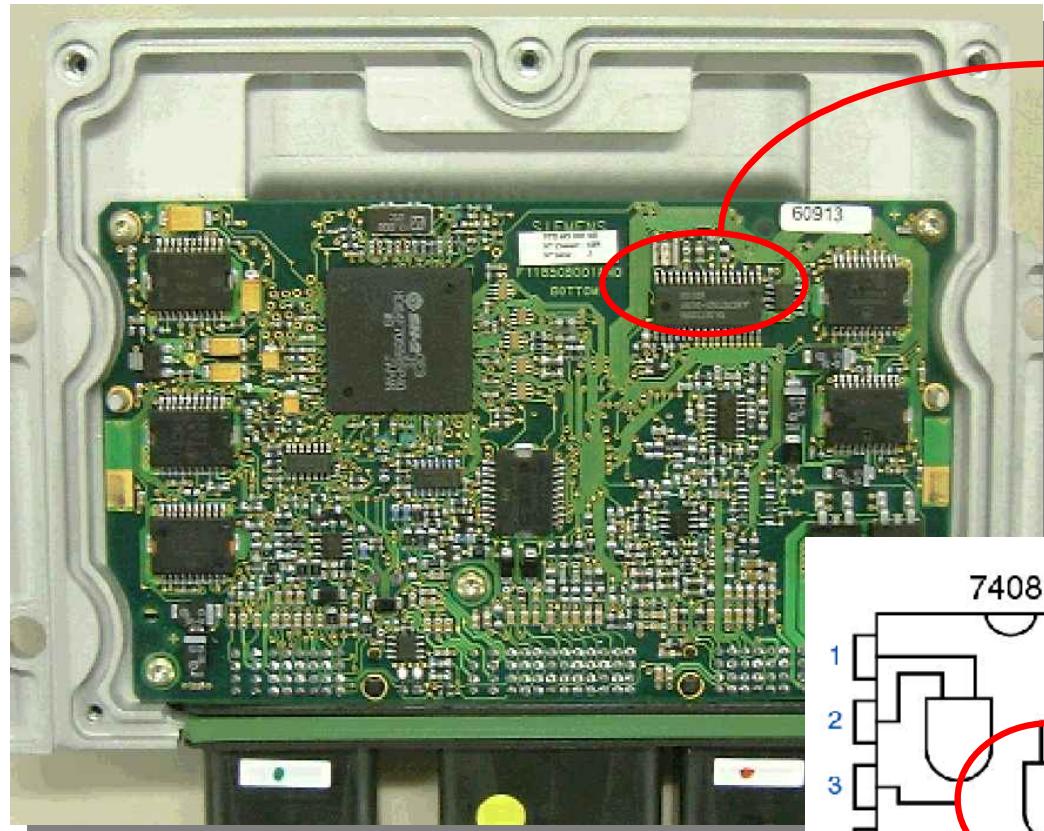
$$L = \bar{A} \cdot B + A \cdot \bar{B}$$

2^{ème} Forme Canonique

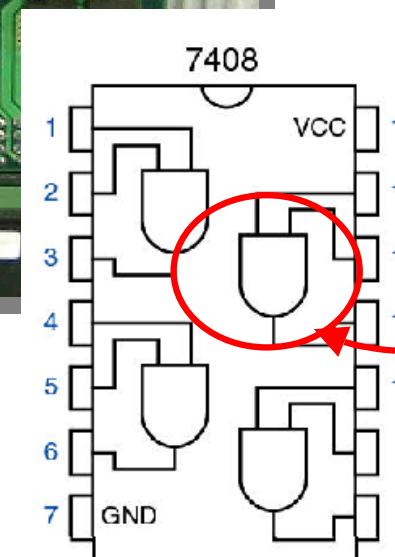
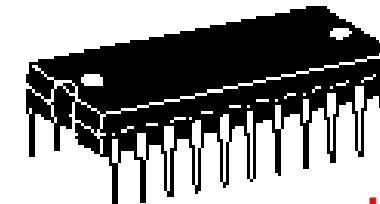
On cherche toutes les combinaisons pour lesquelles $L = 0$

$$L = (A + B) \cdot (\bar{A} + \bar{B})$$

Les composants numériques



composants

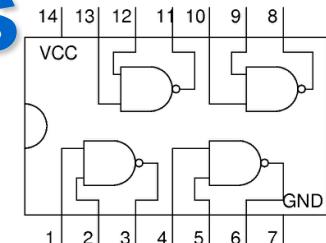
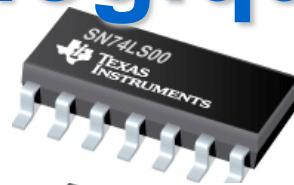


Les composants discrets associés aux portes logiques

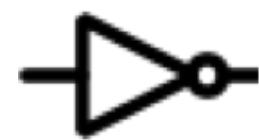
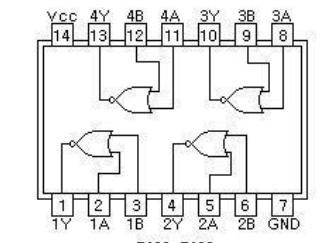


7400

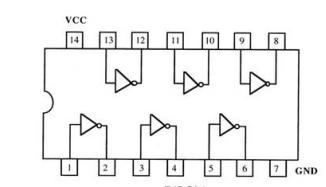
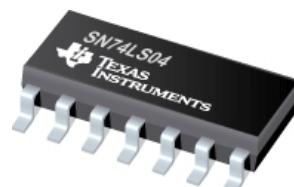
Porte



7402



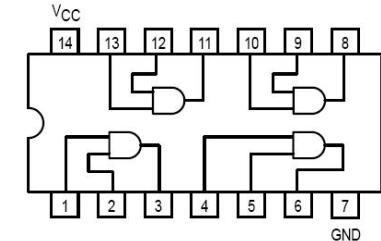
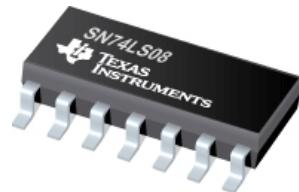
7404



Les composants discrets associés aux portes logiques



7408

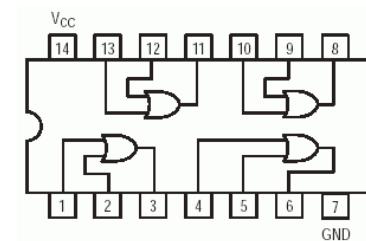
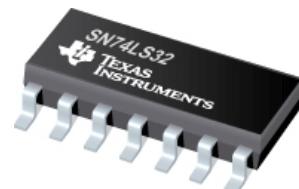


Porte

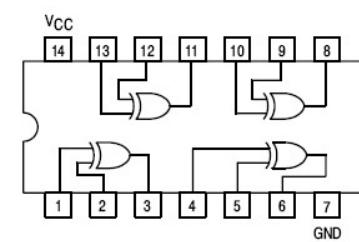
Composant



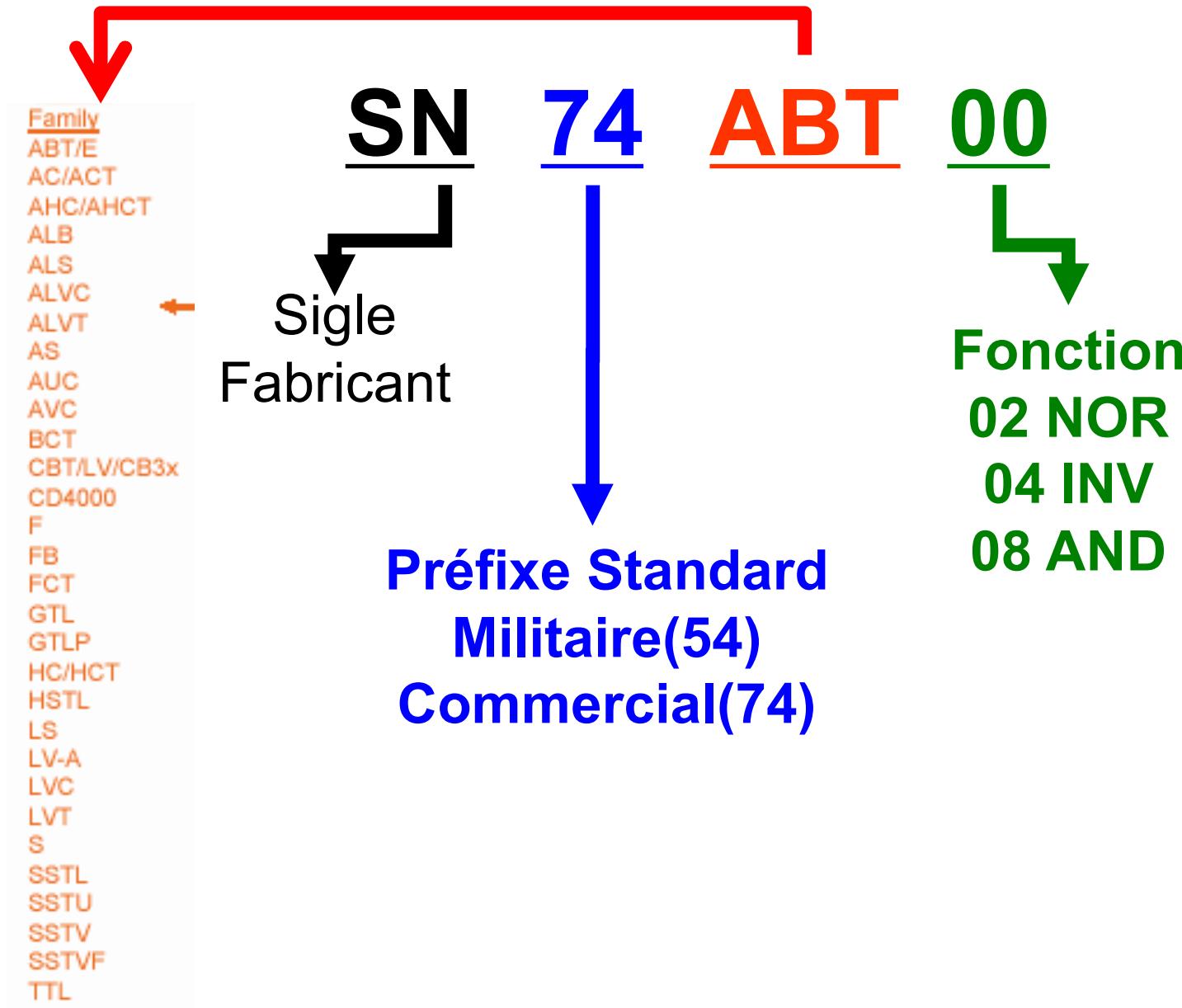
7432



7486



Nomenclature

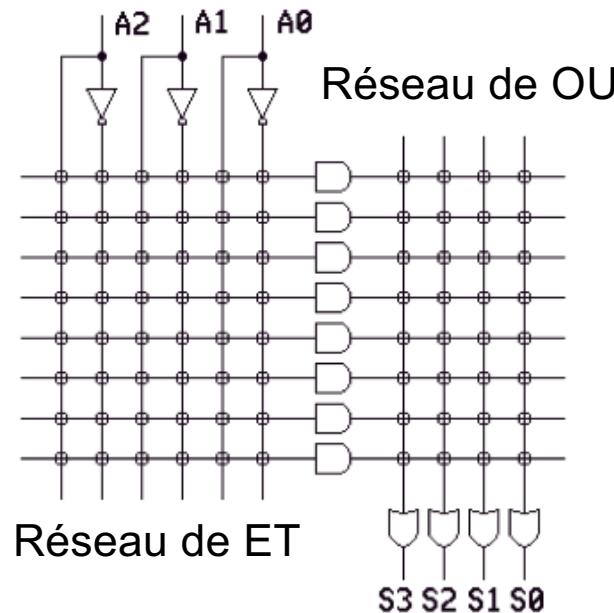


Les composants programmables PLD

Programmable Logic Devices

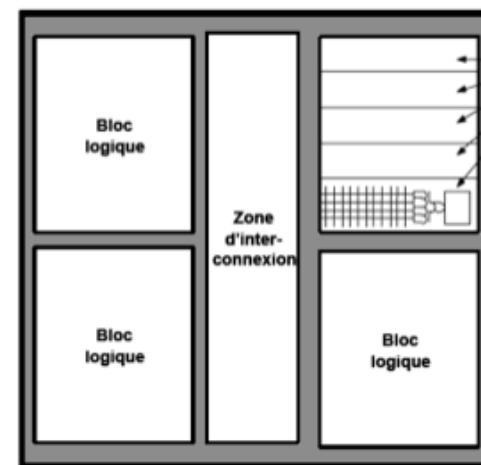
PAL

Programmable Array Logic



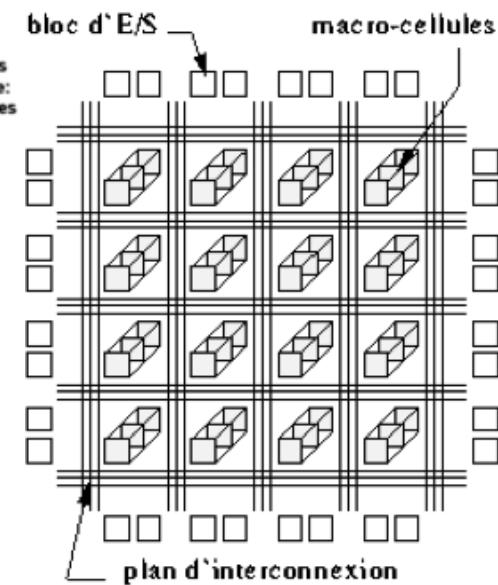
CPLD

Complex Programmable Logic Device

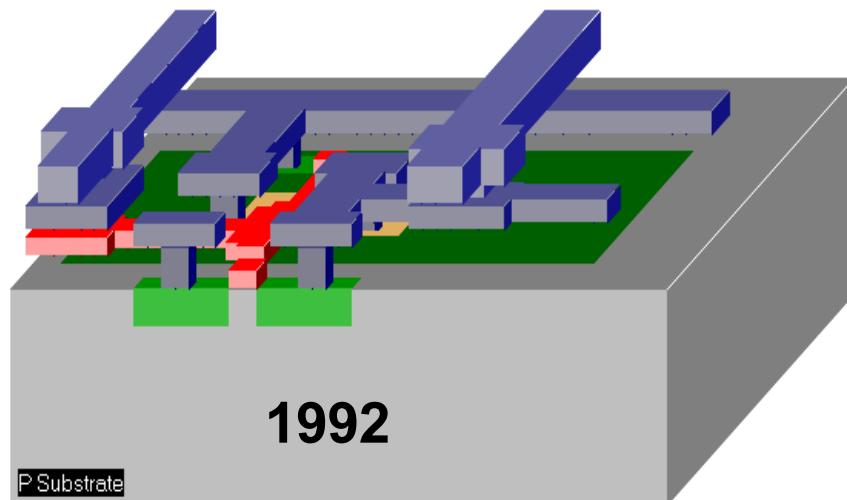
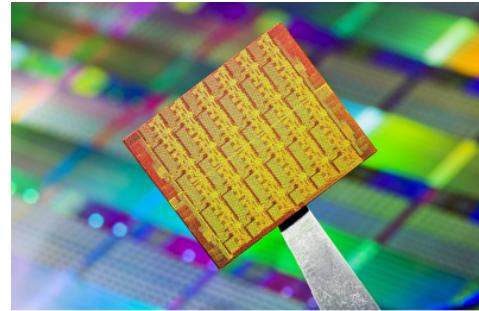
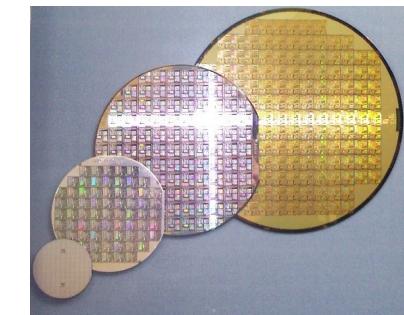


FPGA

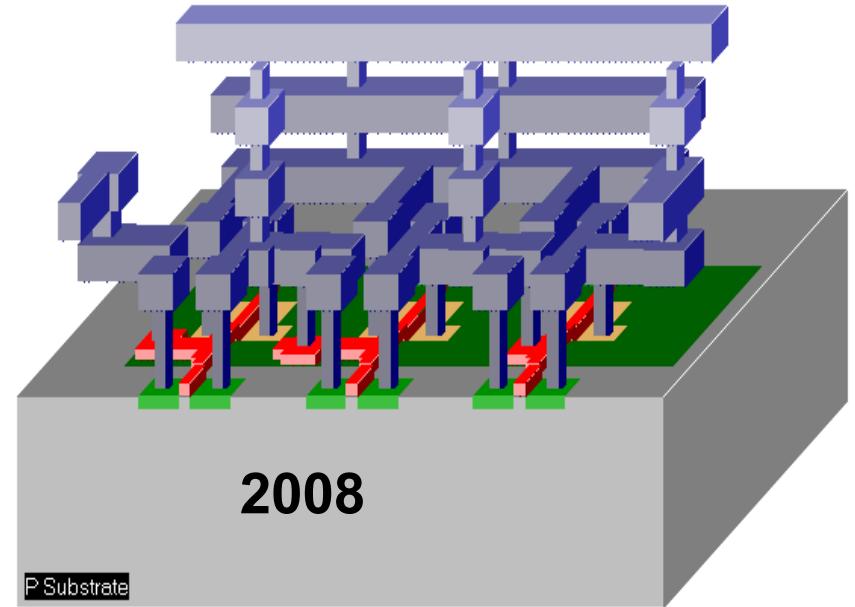
Field Programmable Gate Array



Technologie des portes logiques



- ☺ 0,7 µm (700 nm), 5 V
- ☺ 100 000 transistors,
- ☺ 50 MHz



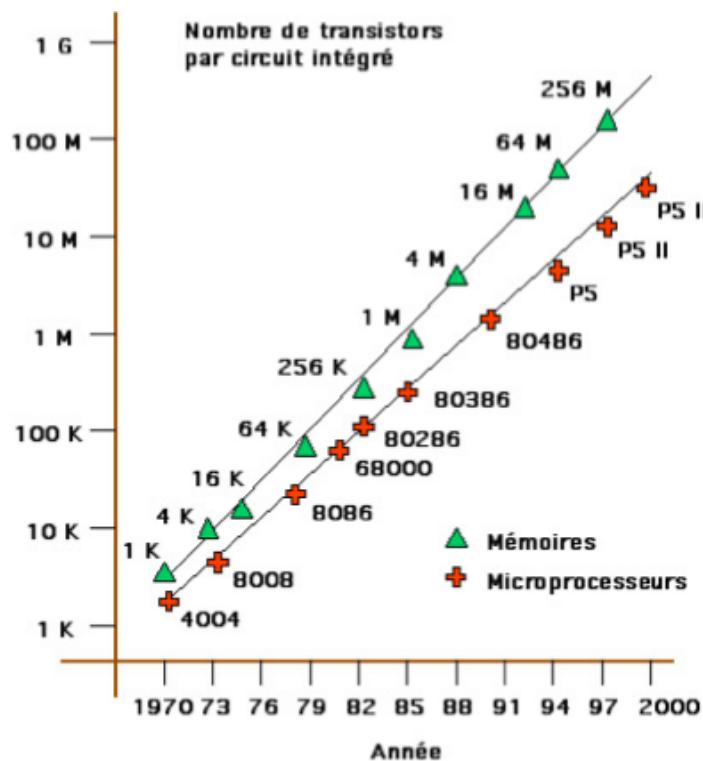
- ☺ 0,12 µm (45 nm), 1 V
- ☺ 500 M transistors,
- ☺ 10 GHz

Aujourd'hui : Plus de 10 milliards
de transistors, 14 nm, 0,9 V

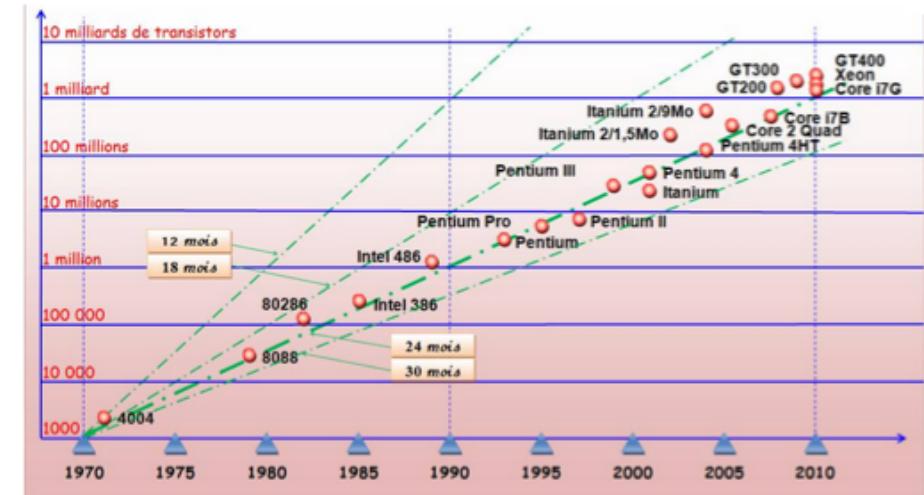
Évolution de la microélectronique depuis ≈ 50 ans

Loi de Moore

Évolution régulière du nombre de transistors et de la puissance de calcul des processeurs



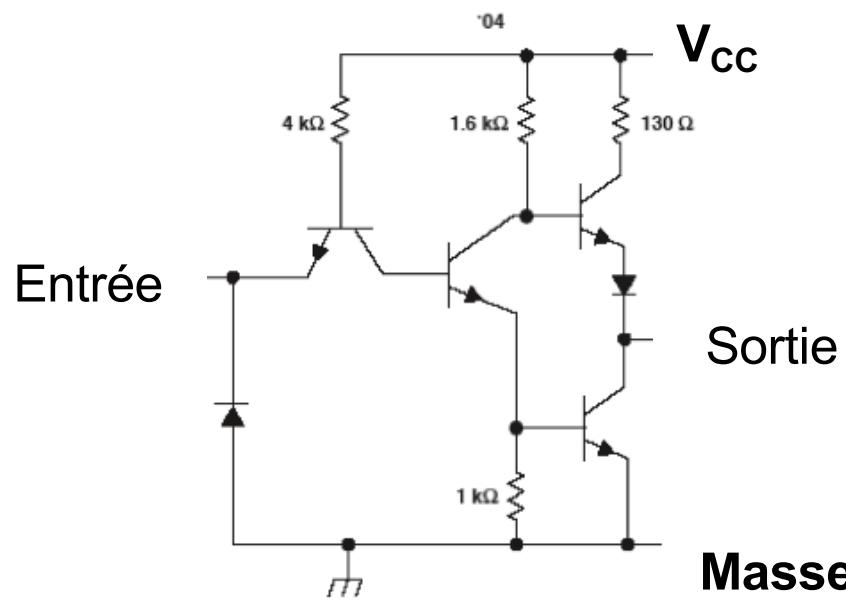
Évolution du nombre de transistors par circuit intégré de 1970 à 2000 (à coût constant)



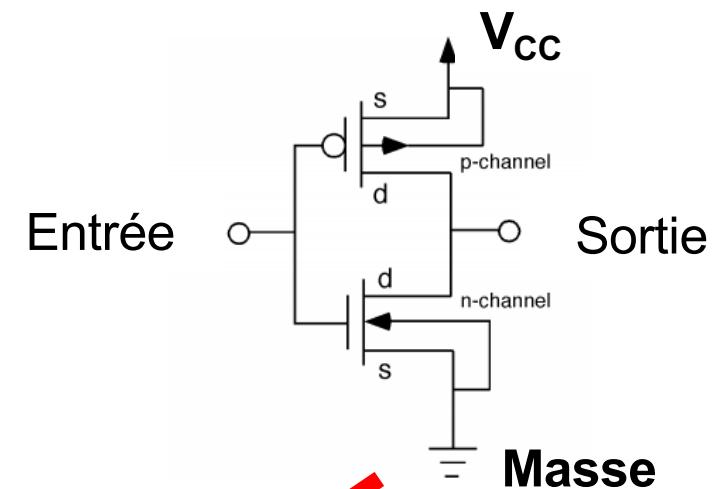
Évolution du nombre de transistors par circuit intégré de 1970 à 2010 (à coût constant)

Les différentes familles

TTL (Bipolaire)



CMOS (MOS)



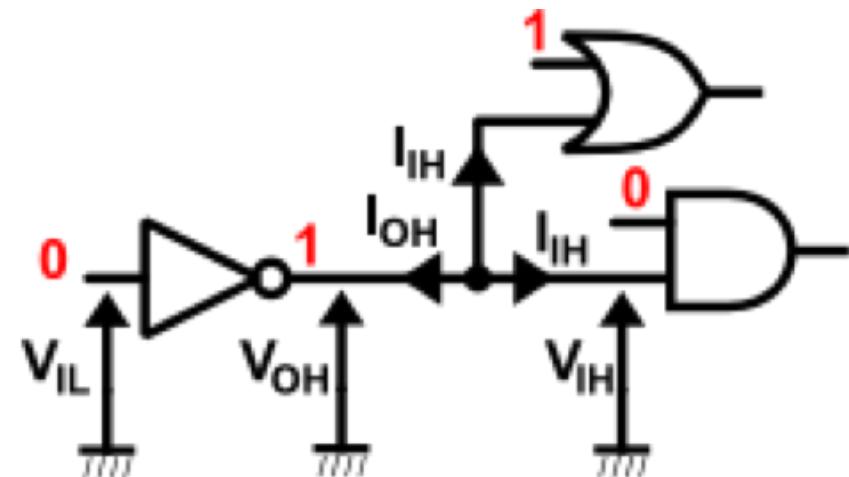
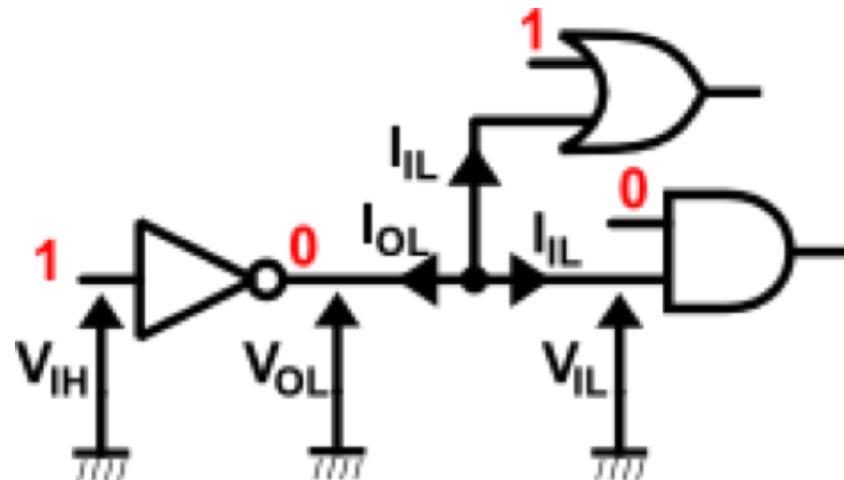
BiCMOS

Caractéristiques principales des circuits logiques

- Plage de tension d 'alimentation V_{CC}
 - Plage de tension associée à un niveau logique
 - ❖ En entrée V_{IH}, V_{IL}
 - ❖ En sortie V_{OH}, V_{OL}
 - Immunité au bruit
 - Courants pour chaque niveau logique
 - ❖ En entrée I_{IH}, I_{IL}
 - ❖ En sortie I_{OH}, I_{OL}
 - Entrance/Sortance *Fan in/Fan out*
 - Puissance maximale dissipée P
 - Temps de montée et descente t_{TLH}, t_{THL}
 - Temps de propagation t_{PLH}, t_{PHL}
- Ces caractéristiques sont données dans un document, La « Datasheet »*

Caractéristiques électriques

- A chaque état 0 ou 1 d'entrée ou de sortie, correspondent des grandeurs électriques, V et I



Tension d'alimentation

□ Pour fonctionner, les composants doivent être alimentés

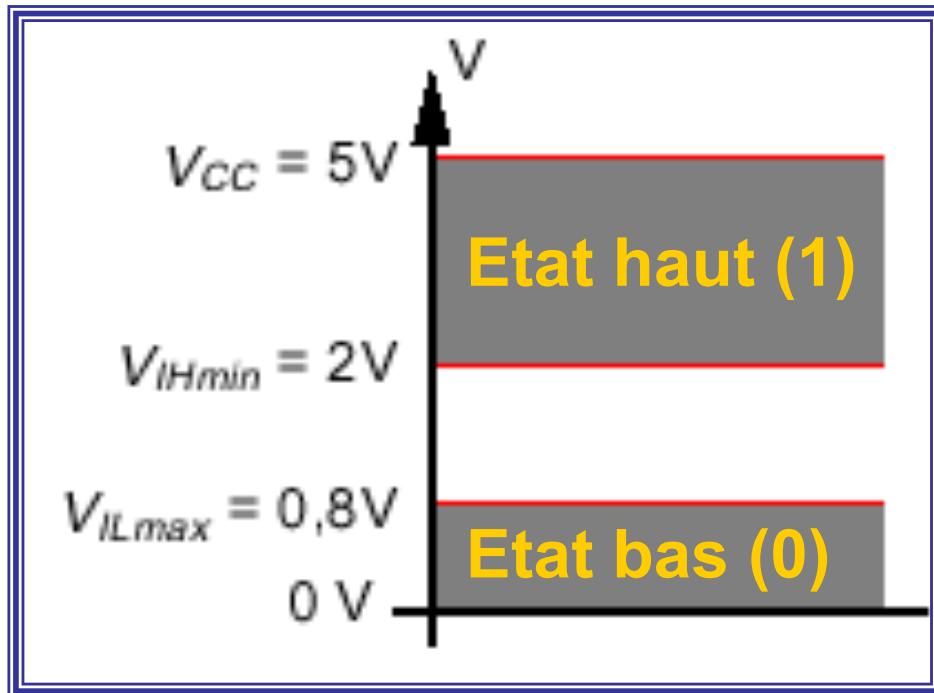
❖ Le constructeur donne la **plage de tension d'alimentation** qui garantit le bon fonctionnement **des portes** du **composant**.

- Supply Voltage : V_{CC}
 - TTL $V_{CC} = 5 \text{ V à } V_{CC} = 3,3 \text{ V}$
 - CMOS $V_{CC} = 5\text{V à } V_{CC} = 0,8 \text{ V}$

Extrait de Datasheet

		SN54HC00			SN74HC00			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	2	5	6	2	5	6	V

Plages de tension d'entrée



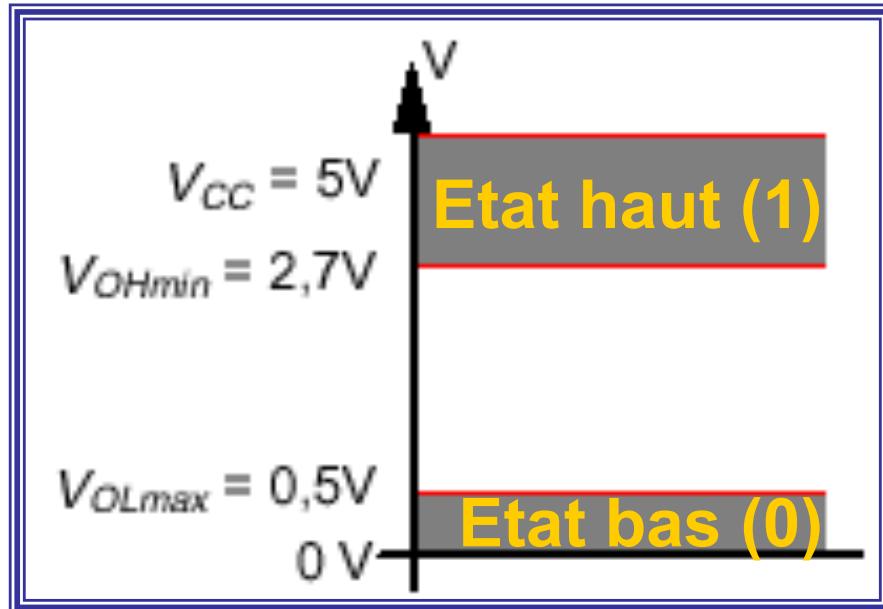
V_{IH} : Niveau de tension d'entrée minimum pour l'état haut (1)

V_{IL} : Niveau de tension d'entrée maximum pour l'état bas (0)

La zone blanche est la zone interdite : aucun état n'est défini pour ces valeurs de tension

V _{IH}	High-level input voltage	V _{CC} = 2 V	1.5	1.5	V
		V _{CC} = 4.5 V	3.15	3.15	
		V _{CC} = 6 V	4.2	4.2	
V _{IL}	Low-level input voltage	V _{CC} = 2 V	0.5	0.5	V
		V _{CC} = 4.5 V	1.35	1.35	
		V _{CC} = 6 V	1.8	1.8	

Plages de tension de sortie



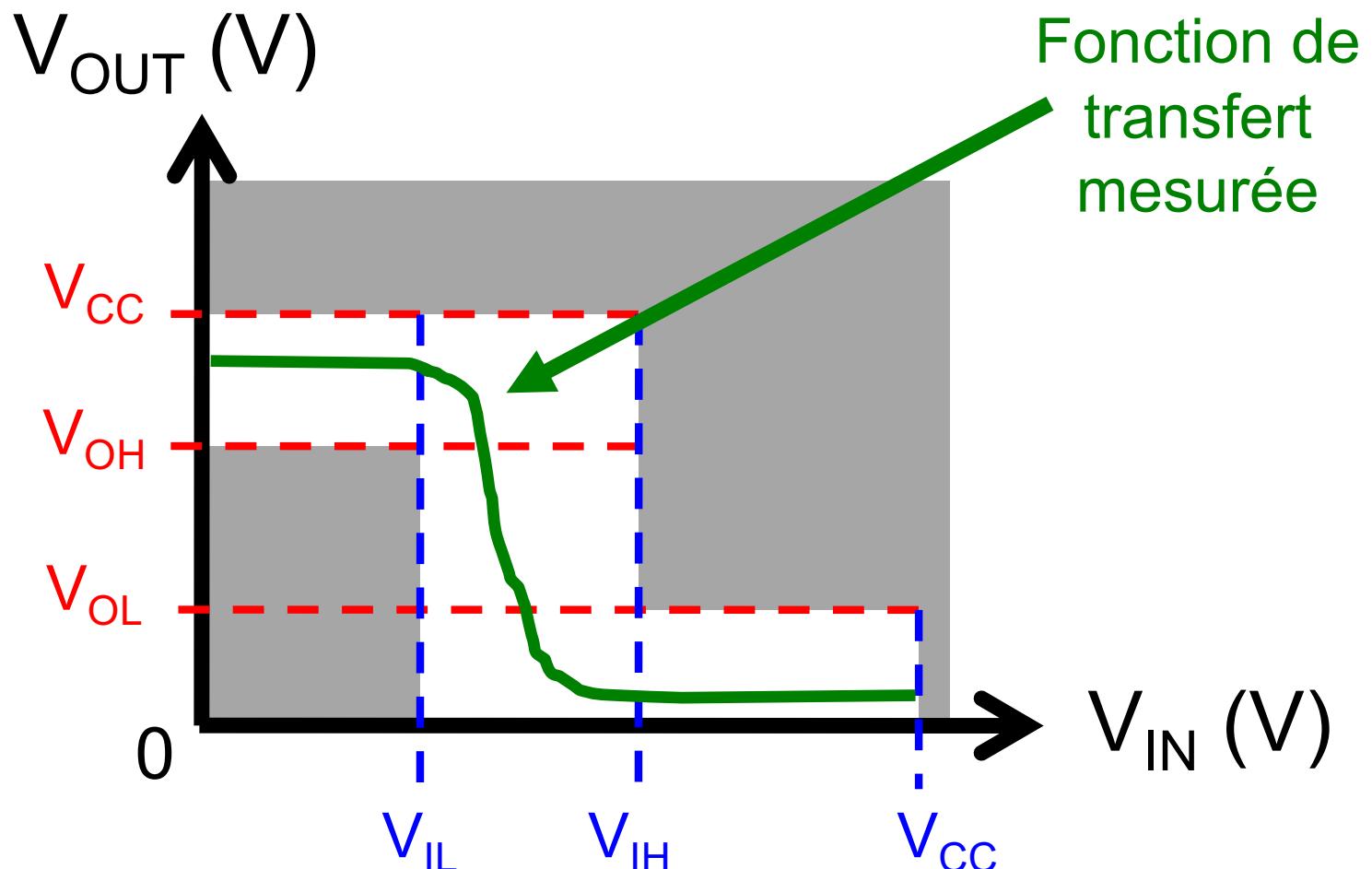
V_{OH} : Niveau de tension de sortie minimum pour l'état haut(1)

V_{OL} : Niveau de tension de sortie maximum pour l'état bas (0)

PARAMETER	TEST CONDITIONS	V_{CC}	$T_A = 25^\circ\text{C}$			SN54HC00		SN74HC00		UNIT
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
V_{OH}	$V_I = V_{IH}$ or V_{IL}	$I_{OH} = -20 \mu\text{A}$	2 V	1.9	1.998	1.9		1.9		V
			4.5 V	4.4	4.499	4.4		4.4		
			6 V	5.9	5.999	5.9		5.9		
		$I_{OH} = -4 \text{ mA}$	4.5 V	3.98	4.3	3.7		3.84		
		$I_{OH} = -5.2 \text{ mA}$	6 V	5.48	5.8	5.2		5.34		
V_{OL}	$V_I = V_{IH}$ or V_{IL}	$I_{OL} = 20 \mu\text{A}$	2 V		0.002	0.1	0.1	0.1		V
			4.5 V		0.001	0.1	0.1	0.1		
			6 V		0.001	0.1	0.1	0.1		
		$I_{OL} = 4 \text{ mA}$	4.5 V		0.17	0.26	0.4	0.33		
		$I_{OL} = 5.2 \text{ mA}$	6 V		0.15	0.26	0.4	0.33		

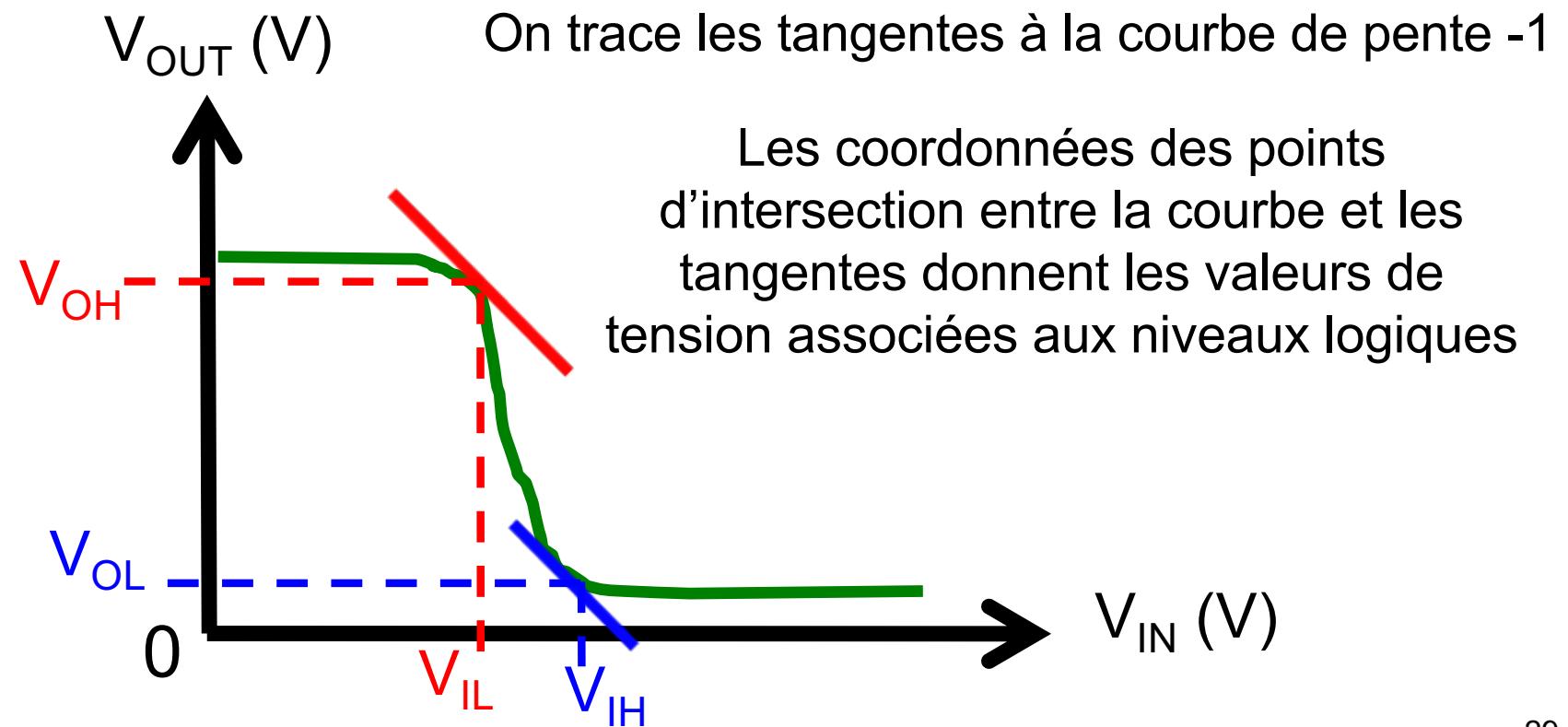
Gabarit de transfert

- A partir des données constructeur (V_{CC} , V_{OH} , V_{OL} , V_{IH} , V_{IL}), on trace le **gabarit de transfert** (Zone blanche)
- Toutes les portes des composants de cette famille auront une **fonction de transfert** qui sera comprise dans ce gabarit



Fonction de transfert d'une porte

- C'est la fonction $V_{OUT}(V_{IN})$
- Elle est propre à chaque porte
- À partir de son tracé, on peut extraire les niveaux de tension associés au 0 et au 1

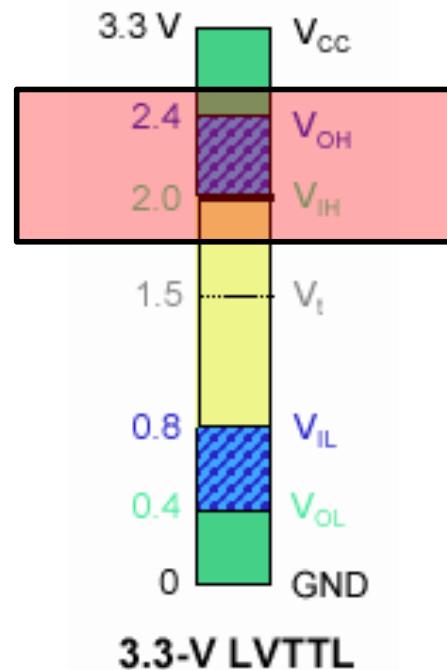


Immunité au bruit

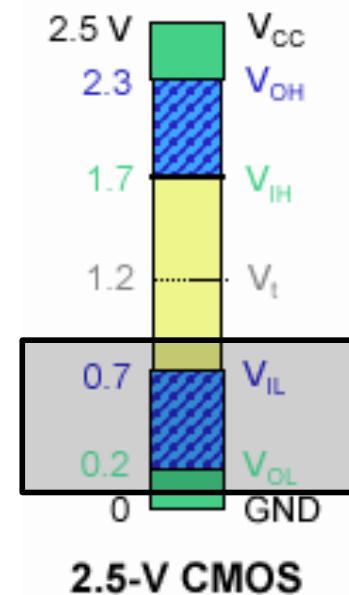
- C'est la marge de sécurité que l'on peut observer sans changement non désiré de l'état logique d'entrée ou de sortie d'une porte

Immunité au
bruit
à l'état haut

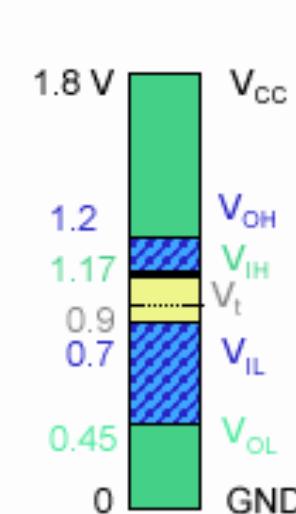
$$V_{OH} - V_{IH}$$



3.3-V LVTTL



2.5-V CMOS



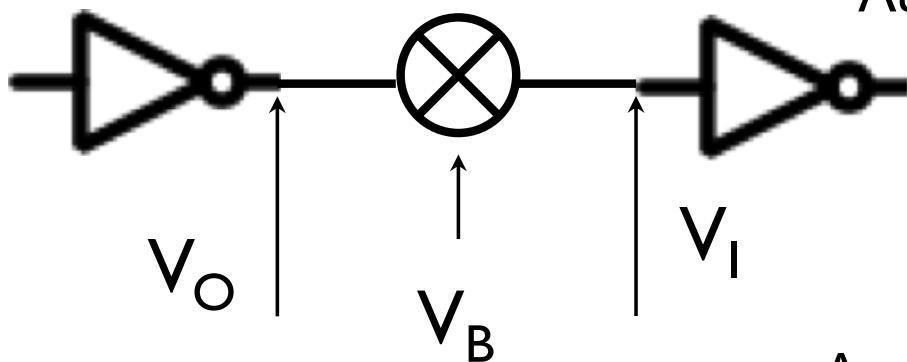
1.8-V CMOS

Immunité au bruit
à l'état bas

$$V_{IL} - V_{OL}$$

Immunité au bruit statique

- Immunité : tension parasite que l'on peut ajouter au signal tout en conservant un fonctionnement normal c'est à dire sans un changement accidentel d'état



Au niveau 1 : Il faut que $V_I \geq V_{IH}$ et $V_{OH} \leq V_O$

$$V_{OH} + V_B \geq V_{IH}$$

$$\text{d'où } V_{B\max} \leq V_{OH} - V_{IH}$$

Au niveau 0 : Il faut que $V_I \leq V_{IL}$, V_{IH} et $V_O \leq V_{OL}$

$$V_{OL} + V_B \leq V_{IL}$$

$$\text{d'où } V_{B\max} \leq V_{IL} - V_{OL}$$

V_B représente le bruit dans le circuit induit par les perturbation électromagnétique des alimentation et autres

Courant d'entrée et de sortie

□ I_{IL} et I_{IH}

- ❖ Niveau minimum pour imposer l'état logique en entrée

- I_{IL} courant minimum pour imposer le niveau 0 en entrée
- I_{IH} courant minimum pour imposer le niveau 1 en entrée

□ I_{OL} et I_{OH}

- ❖ Niveau maximum pour maintenir l'état logique en sortie

- I_{OH} courant max qui assure $V_{OUT} \geq V_{OH}$
- I_{OL} courant max qui assure $V_{OUT} \leq V_{OL}$

Attention: Le courant de sortie dépend de la charge connectée en sortie de la porte; s'il n'y a aucune charge de connectée, le courant débité par la porte est nul

I_I	$V_I = V_{CC}$ or 0	6 V	± 0.1	± 100	± 1000	± 1000	nA
Supply voltage range, V_{CC}					-0.5 V to 7 V	
Input clamp current, I_{IK} ($V_I < 0$ or $V_I > V_{CC}$) (see Note 1)						± 20 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$) (see Note 1)						± 20 mA
Continuous output current, I_O ($V_O = 0$ to V_{CC})						± 25 mA
Continuous current through V_{CC} or GND						± 50 mA

Attention: Dans les datasheets, quelquefois on trouve seulement I_I et I_O

Sortance

□ Sortance (FanOut)

❖ Nombre maximum d'entrées que peut commander 1 sortie

- TTL porte de base
 - $I_{IH} = 40 \mu A$ (entrant)
 - $I_{IL} = -1,6mA$ (sortant)
- porte lambda
 - $I_{OHmax} = 400 \mu A$
 - $I_{OLmax} = -20 mA$
- $S_H=10$, $S_L=12,5$
- $S = 10$

Sortance
au niveau
1

$$S_H = \left| \frac{I_{OH}}{I_{IH}} \right|$$

Sortance
au niveau
0

$$S_L = \left| \frac{I_{OL}}{I_{IL}} \right|$$

Compatibilité technologique

□ Vérifier que les caractéristiques des portes soient compatibles

- ❖ Niveaux de tension
 - Immunité au bruit
 - $V_{OLmax} \leq V_{ILmax}$
 - $V_{OHmin} \geq V_{IHmin}$
- ❖ Niveaux de courant
 - Sortance
 - $|I_{OH}| \geq \sum |I_{IH}|$
 - $|I_{OL}| \geq \sum |I_{IL}|$