Computer Organization and Architecture

Note

计算机组成原理 笔记

计算机是计算机科学的心脏————没有计算机，计算机科学只能作为理论数学的一个分支。

整理：XYL & XYL

整理时间：June 6, 2025

Email: xyl_27@outlook.com

Version: 1.0.0

目　　录

第 1 章
大纲

1.1 计算机系统概述

1.1.1 计算机系统层次结构

1. 计算机系统的基本组成
2. 计算机硬件的基本结构
3. 计算机软件和硬件的关系
4. 计算机系统的工作原理

”存储程序”工作方式，高级语言程序与机器语言程序之间的转换，程序和指令的执行过程

1.1.2 计算机性能指标【21 增】

吞吐量、响应时间；CPU 时钟周期、主频、CPI、CPU 执行时间；MIPS、MFLOPS、GFLOPS、TFLOPS、PFLOPS、EFLOPS、ZFLOPS

1.2 数据的表示和运算

1.2.1 数制与编码

1. 进位计数制及其数据之间的相互转换
2. 定点数的编码表示

1.2.2 运算方法和运算电路

1. 基本运算部件：加法器、算术逻辑都件 (ALU)
2. 加减运算：补码加减运算器，标志位的生成
3. 乘除运算：乘除运算的基本原理，乘法除法电路的基本结构

1.2.3 整数的表示和运算

1. 无符号整数的表示与运算

2. 带符号整数的表示与运算

1.2.4 浮点数的表示和运算

1.3 存储器层次结构

1.3.1 存储器的分类

1.3.2 层次化存储器的的基本结构

1.3.3 半导体随机存取存储器

1.SRAM 存储器
2.DRAM 存储器
3.Flash 存储器

1.3.4 主存储器

1.DRAM 芯片和内存条
2. 多模块存储器
3. 主存和 CPU 之间的连接

1.3.5 外部存储器【22 增】

1. 磁盘存储器
2. 固态硬盘 (SSD)

1.3.6 高速缓冲存储器 (Cache)

1.Cache 的基本工作原理
2.Cache 和主存之间的映射方式
3.Cache 中主存块的替换算法
4.Cache 写策略

1.3.7 虚拟存储器

1. 虚拟存储器的基本概念
2. 页式虚拟存储器
基本原理，页表，地址转换，TLB (快表)
3. 段式虚拟存储器的基本原理
4. 段页式虚拟存储器的基本原理

1.4 指令系统【22 增】

1.4.1 指令系统的基本概念

1.4.2 指令格式

1.4.3 寻址方式

1.4.4 数据的对齐和大/小端存放方式

1.4.5 CISC 和 RISC 的基本概念

1.4.6 高级语言程字与机器级代码之间的对应

1. 编译器、汇编器和链接器的基本概念
2. 选择结构语句的机器级表示
3. 循环结构语句的机器级表示
4. 过程 (函数) 调用对应的机器级表示

1.5 中央处理器 (CPU)

1.5.1 CPU 的功能和基本结构

1.5.2 指令执行过程

1.5.3 数据通路的功能和基本结构

1.5.4 控制器的功能和工作原理

1.5.5 异常和中断机制

1. 异常和中断的基本概念
2. 异常和中断的分类
3. 异常和中断的检测与响应

1.5.6 指令流水线

1. 指令流水线的基本概念
2. 指令流水线的基本实现

3. 结构冒险、数据冒险和控制冒险的处理
4. 超标量和动态流水线的基本概念

1.5.7 多处理器基本概念【22 增】

1.SISD、SIMD、MIMD、向量处理器的基本概念
2. 硬件多线程的基本概念
3. 多核处理器 (multi-core) 的基本概念
4. 共享内存多处理器 (SMP) 的基本概念

1.6 总线和输出输出系统

1.6.1 总线概述

1. 总线的基本概念
2. 总线的组成及性能指标
3. 总线事务和定时

1.6.2 I/O 接口 (I/O 控制器)

1.I/O 接口的功能和基本结构
2.I/O 端口及其编址

1.6.3 I/O 方式

1. 程序查询方式
2. 程序中断方式
中断的基本概念，中断响应过程，中断处理过程，多重中断和中断屏蔽的概念
3.DMA 方式
DMA 控制器的组成，DMA 传送过程

第 2 章
计算机系统概述

RTL 指令

2.1 计算机系统层次结构

- 08.MAR 和 MDR 的位数分别为（）
  A. 地址码长度、存储字长
  B. 存储字长、存储字长
  C. 地址码长度、地址码长度
  D. 存储字长、地址码长度

  地址寄存器（MAR）存放访存地址，因此位数与地址码长度相同。数据寄存器（MDR）用于暂存要从存储器中读或写的信息，因此位数与存储字长相同。

- 20. 关于相联存储器，下列说法中正确的是（） A. 只可以按地址寻址
  B. 只可以按内容寻址
  C. 既可按地址寻址又可按内容寻址
  D. 以上说法均不完善

  相联存储器既可以按地址寻址又可以按内容（通常是某些字段）寻址，为与传统存储器区别也称按内容寻址的存储器

- 21.【2015 统考真题】计算机硬件能够直接执行的是（）
  I. 机器语言程序 II. 汇编语言程序 III. 硬件描述语言程序
  A. 仅 I
  B. 仅 I、II
  C. 仅 I、III
  D.I、II、III
  A

- 23.【2019 统考真题】下列关于冯·诺依受计算机基本思想的叙述中，错误的是（）。
  A. 程序的功能都通过中央处理器执行指令实现

B. 指令和数据都用二进制数表示，形式上无差别
C. 指令按地址访问，数据都在指令中直接给出
D. 程序执行前，指令和数据需预先存放在存储器中

冯·诺依曼结构计算机的功能部件包括输入设备、输出设备、存储器、运算器和控制器，程序的功能都通过中央处理器（运算器和控制器）执行指令，选项 A 正确。指令和数据以同等地位存放于存储器内，形式上无差别，只在程序执行时具有不同的含义，选项 B 正确。指令按地址访问，数据由指令的地址码指出，除立即寻址外，数据均存放在存储器内，选项 C 错误。在程序执行前，指令和数据需预先存放在存储器中，中央处理器可以从存储器存取代码，选项 D 正确。

- 24.【2022 统考真题】将高级语言源程序转换为可执行目标文件的主要过程是（）
A. 预处理 → 编译 → 汇编 → 链接
B. 预处理 → 汇编 → 编译 → 链接
C. 预处理 → 编译 → 链接 → 汇编
D. 预处理 → 汇编 → 链接 → 编译

A

2.2 计算机性能指标

- 08. 在计算机 M1 和计算机 M2 上分别运行功能完全相同的高级语言程序，程序在 M1 和 M2 上的平均 CPI 相等，则对于该类程序而言（）
A.MI 和 M2 执行速度相等
B.MI 和 M2 中主频高的计算机执行速度快
C.M1 和 M2 中主频低的计算机执行速度快
D. 无法确定哪会机器的执行速度快

CPU 执行时间 = 指令条数 ×CPIx 时钟周期，程序在 M1 和 M2 上的平均 CPI 相等，但影响 CPU 执行时间的因素还有指令条数和时钟周期，此外相同的高级语言程序在不同计算机上编译生成的机器指令条数可能不同，因此无法确定哪台机器执行该类程序的速度快。

- 13. 从用户观点看，评价计算机系统性能的综合参数是（）
A. 指令系统
B. 吞吐率
C. 主存容量
D. 主频率

主频、主存储器容量和指令系统（间接影响 CPI）并不是综合性能的体现。吞吐率指系统在单位时间内处理请求的数量，是评价计算机系统性能的综合参数。

- 14. 当前设计高性能计算机的重要技术途径是 ()
A. 提高 CPU 主频

B. 扩大主存容量

C. 采用非冯·诺依曼体系结构

D. 采用开行处理技术

提高 CPU 主频、扩大主存储器容量对性能的提升是有限度的。采用并行技术是实现高性能计算的重要途径，现今超级计算机均采用多处理器来增强并行处理能力。

- 【2012 统考真题】假定基准程序 A 在某计算机上的运行时间为 100s，其中 90s 为 CPU 时间，其余为 I/O 时间。若 CPU 速度提高 50%，IO 速度不变，则运行基准程序 A 所耗费的时间是（）。

A. 55s

B.60s

C.65S

D.70s

程序 A 的运行时间为 100s，减去 CPU 时间 90s，剩余 10s 为 I/O 时间。CPU 提速 50%后运行基准程序 A 所耗费的时间是 T=90÷1.5+10=70s。

第 3 章
计算机算术

3.1 二进制表示

3.1.1 二进制补码

二进制补码，$2^n - N$ 为位为 n 的 N 的补码. 注意补码的溢出。

$0\ 00000101 = +5$　　即$0 \times -128 + 0 \times 64 + 0 \times 32 + 0 \times 16 + 0 \times 8 + 1 \times 4 + 0 \times 2 + 1 \times 1$

$= 4 + 1$

$1\ 11111011 = -5$　　即$1 \times -128 + 1 \times 64 + 1 \times 32 + 1 \times 16 + 1 \times 8 + 0 \times 4 + 1 \times 2 + 1 \times 1$

$= 64 + 32 + 16 + 8 + 2 + 1 - 128$

$= 123 - 128$

$= -5$

1. 负数右移需要特别注意。简单地将二进制补码负数 1110 0010 右移一位，结果为 0111 0001，这显然是不正确的。为了在移位时保持二进制补码数的符号不变，右移时应该复制符号位。考虑 1110 0010(即-30)。右移一位同时保持符号位不变将得到 1111 0001，等价于-15。

   为什么通过右移一位实现二进制补码数除以 2 时要在最高位补符号位? 二进制正数定义为 0xxxx,…,xx，这里 x 为 1 或 0。将该数除以 2，会得到 00pppp,…,pp。这个数的补数为 1yyyy…yy+1(这里每个 y 是对应的 x 的补)。现在把 00pppp,…,pp 转换为负数，会得到 11qqqq,…qq+1。正如我们所看到的那样，无论是正数还是负数，右移时符号位都应保持不变。

3.2 二进制的乘法

步骤 a. 将计数器的值置为 n。

步骤 b. 将 $2n$ 位的部分积寄存器清零。

步骤 c. 检查乘数的最右位（即最低位）。表 2-3 中用下划线标出了这一位，将被乘数与部分积的最低 n 位相加。

步骤 d. 将部分积右移一位。

步骤 e. 将乘数右移一位（乘数的最右位当然会被丢弃）。

步骤 f. 将计数器的值减 1，重复步骤 **c** 直到经过 n 个周期后计数器的值变为 0。部分积寄存器的内容就是乘积。

表 2-3　用图 2-3 中的方法计算无符号数乘法

周期	乘数 = 1101_2		被乘数 = 1010_2	
	步骤	计数值	乘数	部分积
	a 和 b	4	1101	00000000
1	c	4	1101	10100000
1	d 和 e	4	0110	01010000
1	f	3	0110	01010000
2	c	3	0110	01010000
2	d 和 e	3	0011	00101000
2	f	2	0011	00101000
3	c	2	0011	11001000
3	d 和 e	2	0001	01100100
3	f	1	0001	01100100
4	c	1	0001	10000010
4	d 和 e	1	0000	10000010

Note: 布斯乘法

3.3 二进制的除法

3.3.1 恢复余数

3.3.2 不恢复余数

3.4 浮点数

3.4.1 IEEE 浮点数

- 11. 若定点整数为 64 位，含 1 位符号位，则采用补码表示的绝对值最大的负数为 （） A.-2^{64}

B.$-2^{64}-1$

C.-2^{63}

D.$-2^{63}-1$

- 13. 若 $[x]_{补}=1,x_1x_2x_3x_4x_5x_6$, 其中 x_i 取 0 或 l, 若要 $x>-32$, 应当满足 ()。

A.x_1 为 0, 其他各位任意

B.x_1 为 l, 其他各位任意

C. x_1 为 l, $x_2\cdots x_6$ 中至少有一位为 1

D. x_1 为 $0,x_2\cdots x_6$ 中至少有一位为 1

[redacted]

- 14. 设 x 为整数，$[x]_{补}=1,x_1x_2x_3x_4x_5$, 若要$x<-16,x_1\sim x_5$ 应满足的条件是 ()。

A.$x_1\sim x_5$ 至少有一个为 1

B. x_1 必须为 $0,x_2\sim x_5$ 至少有一个为 l

C. x_1 必须为 $0,x_2\sim x_5$ 任意

D.x_1 必须为 1，$x_2\sim x_5$ 任意

[redacted]

- 15. 设 x 为真值，x* 为其绝对值，满足 [-x*] 补 =[-x] 补，当且仅当 ()。

A.x 任意

B.x 为正数

C.x 为负数

D. 以上说法都不对

[redacted]

- 23. 下列为 8 位移码机器数 [x] 移，求 [-x] 移时，() 将会发生溢出

A.11111111

B.00000000

C.10000000

D.01111111

- 24. 一个 8 位的二进制整数由 2 个“0”和 6 个“1”组成，采用补码或者移码表示，则说法中正确的是 ()。

A. 若采用移码表示，偏置值为 127，则此整数最小为-64

B. 若采用移码表示，偏置值为 128，则此整数最大为 123

C. 若采用补码表示，则此整数最小为-96

D. 若采用补码表示，则此整数最大为 252

- 27.16 位补码整数 0x8FAO 扩展为 32 位应该是（）

  A.0x0000 8FA0

  B.0xFFFF 8FA0

  C.0xFFFF FFA0

  D.0x8000 8FA0

3.5 运算方法和运算电路

- 05. 下列四个补码整数存放于 8 位寄存器中，算术左移不会发生溢出的是

  A.80H

  B.90H

  C.B0H

  D.C0H

- 11. 假定有两个整数用 8 位补码分别表示为 r_1 =F5H, r_2 =EEH。若将运算结果存放在一个 8 位寄存器中，则下列运算会发生溢出的是 ()。

  A. $r_1 + r_2$

  B. $r_1 - r_2$

  C. $r_1 \times r_2$

  D. r_1/r_2

- 12. 关于模 4 补码，下列说法正确的是（）

  A. 模 4 补码和模 2 补码不同，它不容易检查乘除运算中的溢出问题

  B. 每个模 4 补码存储时只需一个符号位

  C. 存储每个模 4 补码需要两个符号位

  D. 模 4 补码，在算术与逻辑单元中为一个符号位

- 16. 若 $[X]_{补} = X_0.X_1X_2\cdots X_n$, 其中 X_0 为符号位，X_1 为最高数位。若 ( ), 则当补码算术左移时，将会发生溢出。

  A. $X_0 = X_1$

  B. $X_0 \neq X_1$

  C. $X_1 = 0$

  D. $X_1 = 1$

- 25. 某 C 语言代码段如下:
  int si=65536;
  short i=si;
  unsigned j=0;
  if(i<=j-1) printf(” 王道”);
  else printf(” 计算机教育”);
  当上述代码段执行到 if 分支条件的判断时, 会根据标志寄存器中的 () 决定执行顺序。最终的输出结果是 ()。
  A. CF, 王道
  B. CF, 计算机教育
  C. OF, 王道
  D. OF, 计算机教育

3.6 浮点数的表示和运算

- 05. 在规格化浮点运算中，若某浮点数为 $2^5 \times 1.10101$，其中尾数为补码表示，则该数（）。

  A. 不需规格化

  B. 需右移规格化

  C. 需将尾数左移一位规格化

  D. 需将尾数左移两位规格化

  [redacted]

- 06. 某浮点机，采用规格化浮点数表示，阶码用移码表示（最高位代表符号位），尾数用原码表示。下列（）的表示不是规格化浮点数。

  A. 11111111, 1.1000...00

  B. 0011111, 1.0111...01

  C. 1000001, 0.1111...01

  D. 0111111, 0.1000...10

  [redacted]

- 07. 下列关于对阶操作说法正确的是（）

  A. 在浮点加减运算的对阶操作中，若阶码减小，则尾数左移

  B. 在浮点加减运算的对阶操作中，若阶码增大，则尾数右移：若阶码减小，则尾数左移

C. 在浮点加减运算的对阶操作中，若阶码增大，则尾数右移

D. 以上都不对

[redacted]

- 12. 若某单精度浮点数、某原码、某补码、某移码的 32 位机器数均为 OxF0000000，则这些数从大到小的顺序是（）。

A. 浮原补移

B. 浮移补原

C. 移原补浮

D. 移补原浮

- 13 采用规格化的浮点数最主要是为了（）

A. 增加数据的表示范围

B. 方便浮点运算

C. 防止运算时数据溢出

D. 增加数据的表示精度

[redacted]

- 14. 下列说法中，正确的是（）。

I. 在计算机中，表示的数有时会发生溢出，根本原因是计算机的字长有限

II. 一个正数的补码和这个数的原码表示一样，而正数的反码是原码各位取反

III. 设有两个正的规格化浮点数 N=2”×M 和 N=2×M，若 m>n，则有 N>N

A.I

B.III

C.I、II、III

D.I、III

[redacted]

- 21. 设浮点数共 12 位。其中阶码含 1 位阶符共 4 位，以 2 为底，补码表示：尾数含 1 位符号共 8 位，补码表示，规格化。则该浮点数所能表示的最大正数是（）

A.2^7

B.2^8

C.$2^8 - 1$

D.$2^7 - 1$

[redacted]

- 23. 若浮点数的尾数用补码表示，则下列（）中的尾数是规格化数形式。

A.1.11000

B.0.01110

C.0.01010

D.1.00010

[redacted]

- 25. 下列关于舍入的说法，正确的是（）

I. 不仅仅只有浮点数需要舍入，定点数在运算时也可能要舍入

II. 在浮点数舍入中，只有左规格化时可能要舍入

III. 在浮点数舍入中，只有右规格化时可能要舍入

IV. 在浮点数舍入中，左、右规格化均可能要舍入

V. 舍入不一定产生误差

A.I、III、V

B.I、II、V

C.V

D.I、IV

[redacted]

- 27. 假设已定义三个 int 型变量 x、y 和 z，sizeof（int）=4，double 型采用 IEEE754 双精度浮点数格式，变量 dx、dy 和 dz 的声明和初始化如下：double dx=（double）x；
double dy =（double）y:
double dz=（double）z；
则下列关系表达式中永远为真的是（）

I.dx+dy==（double）（x+y）
IIdxXdx>=0
III.dx/dx == dy/dy
IV.(dx+dy)+dz==dx+（dy+dz）
A.I 和 II
B.II 和 III

C.III 和 IV
D.II 和 IV

- 28. 在按字节编址的计算机中，采用小端方式存储数据，某静态二维数组 b 的声明如下：
  static short b[2][4]=2,9,-1,5，3,1,-6,2；
  若 b 的首地址为 0x8049820，采用按行优先存储，地址 0x804982c 中的内容是
  A.FAH
  B.FFH
  C.00H
  D.05H
  colorboxblackA

- 31. 在按字节编址、采用大端方式的 16 位计算机中，执行完下列 C 语言程序片段后，m 的低字节地址的内容为
  intn=0xA1B6；
  unsigned int m=n;
  m=m»1;
  A.50H
  B.A1H
  C.B6H
  D.DBH

第 4 章
存储系统

4.1 存储器概述

- 01. 磁盘属于（）类型的存储器

- 02. 存储器的存取周期是指（）

- 04. 相联存储器是按（）进行寻址的存储器。
  A. 地址指定方式
  B. 堆栈存储方式
  C. 内容指定方式和堆栈存储方式相结合
  D. 内容指定方式和地址指定方式相结合

- 07. 设机器字长为 64 位，存储容量为 128MB，若按字编址，它可寻址的单元个数是（）。
  A.16MB
  B.16M
  C.32M
  D.32MB

- 12. 在 Cache 和主存构成的两级存储体系中，主存与 Cache 同时访问，Cache 的存取时间是 100ns，主存的存取时间是 1000ns，设 Cache 和主存同时访问，若希望有效（平均）存取时间不超过 Cache 存取时间的 115%，则 Cache 的命中率至少应为（）。
  A.90%
  B.98%
  C.95%
  D.99%

- 13. 下列关于多级存储系统的说法中，正确的有（）

  I. 多级存储系统是为了降低存储成本

  II. 虚拟存储器中主存和辅存之间的数据调动对任何程序员是透明的

  III.CPU 只能与 Cache 直接交换信息，CPU 与主存交换信息也需要经过 Cachc

  A. 仅 I

  B. 仅 I 和 II

  C.I、I 和 III

  D. 仅 II

- 14.【2011 统考真题】下列各类存储器中，不采用随机存取方式的是（）

  A. EPROM

  B. CD-ROM

  C. DRAM

  D. SRAM

4.2 主存

-

10. 某一 DRAM 芯片，采用地址复用技术，容量为 1024×8 位，该芯片的地址引脚和数据引脚总数至少是（　）。

A. 18　　B. 13　　C. 8　　D. 17

-

12. U 盘属于（　）类型的存储器。

A. 高速缓存　　B. 主存　　C. 只读存储器　　D. 随机存储器

-

13. 某计算机系统，其操作系统保存于硬盘上，其内存储器应该采用（　）。

A. RAM　　B. ROM　　C. RAM 和 ROM　　D. 均不完善

-

16. 采用 64K×1 位的 DRAM 芯片构成 128K×8 位的存储器，若采用异步刷新方式，每单元刷新间隔不超过 2ms，则生成的刷新信号的间隔时间是（　）；若采用集中刷新方式，则存储器刷新一遍最少用（　）个读/写周期。

A. 7.8μs, 256　　B. 1.9μs, 256　　C. 7.8μs, 128　　D. 1.9μs, 128

•

19. 每推出新一代 DRAM 芯片，地址线至少增 1 根，则容量至少提高到原来的（ ）倍。

A. 2　　B. 4　　C. 8　　D. 16

•

25. 下列关于单体多字存储器的说法中，不正确的是（ ）。

A. 单体多字存储器主要解决主存容量太小的问题

B. 单体多字存储器中，每个存储单元存储多个字

C. 指令与数据的连续存放有利于单体多字存储器提高主存的读/写速度

D. 过多的跳转指令会严重影响单体多字存储器的工作效率

•

27. 某存储器总线的宽度是 64 位，若用 8 个 16M×8 位的 DRAM 芯片扩展构成 16M×64 位的内存条，按字节编址，支持突发传送方式，某 double 型的变量 x 的主存地址为 2026 0000H，某 int 型的变量 y 的主存地址为 2026 1006H，则下列叙述中错误的是（ ）。

A. 该内存条可不采用多模块交叉编址　　B. DRAM 芯片的行缓冲采用的是 SRAM

C. 读取变量 x 只需要一个存取周期　　D. 读取变量 y 需要两个存取周期

4.3 主存与 CPU 连接

•

06. 设 CPU 地址总线有 24 根，数据总线有 32 根，用 512K×8 位的 RAM 芯片构成该机的主存储器，则该机主存最多需要（ ）片这样的存储芯片。

A. 256　　B. 512　　C. 64　　D. 128

•

07. 地址总线 A_0（高位）~ A_{15}（低位），用 4K×4 位的存储芯片组成 16KB 存储器，则产生片选信号的译码器的输入地址线应该是（ ）。

A. A_2A_3　　B. A_0A_1　　C. $A_{12}A_{13}$　　D. $A_{14}A_{15}$

•

09. 内存按字节编址，地址从 90000H 到 CFFFFH，若用存储容量为 16K×8 位的芯片构成该内存，至少需要的芯片数是（ ）。

A. 2　　B. 4　　C. 8　　D. 16

•

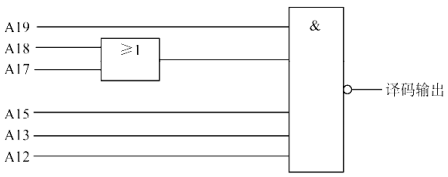
10. 若片选地址为 111 时，选定某一 32K×16 位的存储芯片工作，则该芯片在存储器中的首地址和末地址分别为（ ）。

A. 00000H, 01000H　　B. 38000H, 3FFFFH

C. 3800H, 3FFFH　　D. 0000H, 0100H

•

11. 如下图所示，若低位地址（$A_0 \sim A_{11}$）接在内存芯片地址引脚上，高位地址（$A_{12} \sim A_{19}$）进行片选译码（其中 A_{14} 和 A_{16} 未参加译码），且片选信号低电平有效，则对图中所示的译码电路，不属于此译码空间的地址是（　）。



A. AB000H ~ ABFFFH　　B. BB000H ~ BBFFFH
C. EF000H ~ EFFFFH　　D. FE000H ~ FEFFFH

4.4 外部存储器

•

02. 下列关于磁盘驱动器的叙述中，错误的是（　）。

A. 送到磁盘驱动器的地址由磁头号、盘面号和扇区号组成
B. 能控制磁头移动到指定磁道，并发回“寻道结束”信号
C. 能控制磁盘片转过指定的扇区，并发回“扇区符合”信号
D. 能控制对指定盘面的指定扇区进行数据的读或写操作

•

08. 某磁盘盘面共有 200 个磁道，盘面总存储容量为 60MB，磁盘旋转一周的时间为 25ms，每个磁道有 8 个扇区，各扇区之间有一间隙，磁头通过每个间隙需 1.25ms。则磁盘接口所需的最大传输速率是（　）。

A. 10MB/s　　B. 60MB/s　　C. 83.3MB/s　　D. 20MB/s

4.5 高速缓冲存储器

•

06. 局部性通常有两种不同的形式：时间局部性和空间局部性。程序员是否能编写出高速缓存友好的代码，就取决于这两方面的问题。对于下面这个函数，说法正确的是（　）。

```
int sumvec(int v[N]){
    int i,sum=0;
    for(i=0;i<N;i++)
        sum+=v[i];
    return sum;
}
```

A. 对于变量 i 和 sum，循环体具有良好的空间局部性
B. 对于变量 i、sum 和 v[N]，循环体具有良好的空间局部性
C. 对于变量 i 和 sum，循环体具有良好的时间局部性
D. 对于变量 i、sum 和 v[N]，循环体具有良好的时间局部性

•

08. 下列关于高速缓存 Cache 的描述中，正确的是（　）。

A. Cache 的功能全部由硬件实现
B. Cache 替换时的单位为字
C. Cache 与主存统一编址，即主存地址空间的某一部分属于 Cache
D. 无论何时，Cache 中的信息一定与主存中的信息一致

•

17. 对于由高速缓存、主存、硬盘构成的三级存储体系，CPU 直接根据（ ）进行访问。
A. 高速缓存地址 B. 虚拟地址 C. 主存物理地址 D. 磁盘地址

•

18. 设有 8 页的逻辑空间，每页有 1024B，它们被映射到 32 块的物理存储区中，则按字节编址逻辑地址的有效位是（ ），物理地址至少是（ ）位。
A. 10，12 B. 10，15 C. 13，15 D. 13，12

•

21. 假设主存地址位数为 32 位，按字节编址，主存和 Cache 之间采用全相联映射方式，主存块大小为 1 个字，每字 32 位，采用回写法（Write Back）方式和随机替换策略，则能存放 32K 字数据的 Cache 的总容量至少应有（ ）位。
A. 1536K B. 1568K C. 2016K D. 2048K

•

24. 假定 8 个存储器模块采用交叉方式组织，存储器芯片和总线支持突发传送，CPU 通过存储器总线读取数据的过程为：发送首地址和读命令需 1 个时钟周期，存储器准备第一个数据需 8 个时钟周期，随后每个时钟周期总线上传送 1 个数据，可连续传送 8 个数据（突发长度为 8）。若主存和 Cache 之间交换的主存块大小为 64B，存取宽度和总线宽度都为 8B，则 Cache 的一次缺失损失至少为（ ）个时钟周期。
A. 17 B. 20 C. 33 D. 80

•

26. 下列关于 Cache 大小、主存块大小和 Cache 缺失率之间关系的叙述中，错误的是（ ）。
A. 主存块大小和 Cache 容量无直接关系
B. Cache 容量越大，Cache 缺失率越低
C. 主存块大小通常为几十到上百字节
D. 主存块越大，Cache 缺失率越低

第 5 章
图灵完备

5.1 优雅存储

锁存器（latch）

5.2 逻辑引擎

巧用德摩根定律

5.3 汉诺塔

```
# hanoi
const source 1
const spare 2
const dest 3
const disk_nr 0
const hanoi 32
const move 124
192 5 0 disk_nr # 5
192 0 0 source # 0
192 1 0 spare # 1
192 2 0 dest # 2
#------------------------------
128 0 spare 9 # push spare
128 0 dest 9 # push dest
128 0 source 9 # push source
128 0 disk_nr 9 # push disk_nr
# ------------------------------
# func move
# if disk_nr==1  jmp call move
32+64 disk_nr 1 move #!!!!!!
```

```
# else
# move 1
128 0 dest 9 # push dest
128 0 spare 9 # push spare
128 0 source 9 # push source
64+1 disk_nr 1 9 # push disk_nr-1

128 0 dest 4
128 0 spare dest # update dest
128 0 4 spare # update spare
128 0 source source # update source
64+1 disk_nr 1 disk_nr # update disk_nr-1

# call func move
6 0 0 hanoi # !!!!!!!!!!!!!!!
#move 2
6 0 0 move # call move !!!!!!!!!
# move 3
128 0 source 9 # push source
128 0 dest 9 # push dest
128 0 spare 9 # push spare
64+1 disk_nr 1 9 # push disk_nr-1

128 0 source 4
128 0 spare source # update source
128 0 4 spare # update spare
128 0 dest dest # update dest
64+1 disk_nr 1 disk_nr # update disk_nr-1

# call func move
6 0 0 hanoi # !!!!!!!!!!!!!!!!!!
7 0 0 0
#----------------------
## move disk from source to dest
64 9 0 disk_nr #pop
64 9 0 source #pop
64 9 0 dest #pop
```

```
64 9 0 spare #pop
64 source 0 7 # source to 7
192 5 0 7 # lift
64 dest 0 7 # dest to 7
192 5 0 7 # lower
# ret
7 0 0 0
```