

112-1 SoC Design Laboratory

Lab3

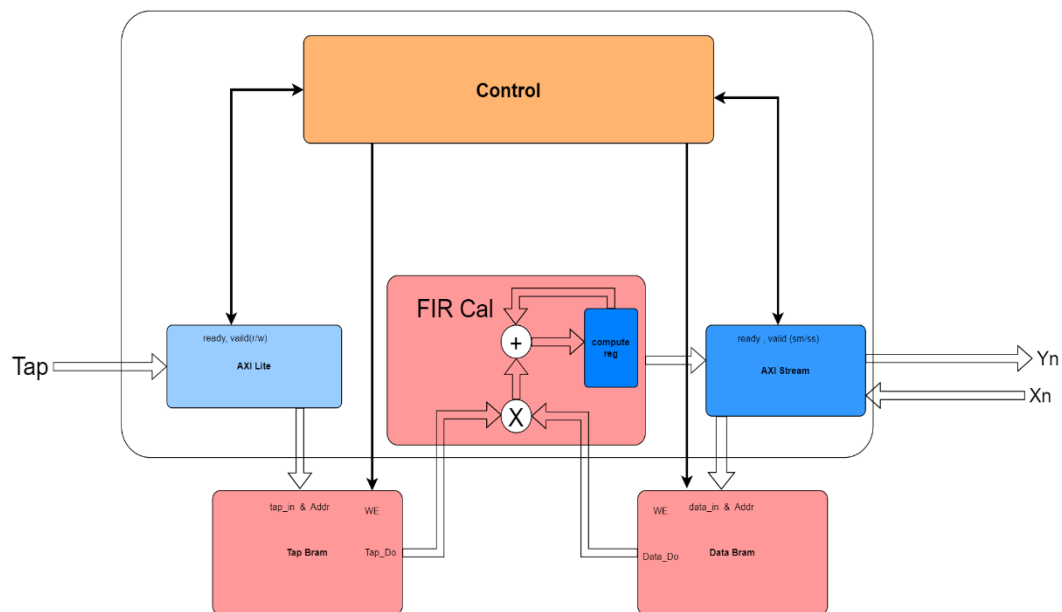
Name:楊正宇

Student ID:111063575

Instructor:賴瑾

Date:2023/10/24

Block Diagram



Operation

Tap write:

當 awvaild 拉起會拉起 write 指標並拉起 awready 開始從 wdata 收值並在 wvalid && wready 時將 wdata 寫給 tap bram 。

Tap read:

不是在寫值時 tap we 都是 0000，根據只要 tap_Address <= 28 都會從 tap_Do 取值給 coefficient reg 。

Data BRAM:

State 在 compute 時，會將 ss_tdata 給 data_Di，同時在 ss_tready=1 時 data_we 會設為 1111 以寫入 data。而 ss_tready=0 時會從 data BRAM 取值出來進行運算。

FIR calculation:

使用 counter 去指我們現在該讀哪一個值。counter 從 0

依序加到 10，每次讀值根據 counter 當 address 去從 bram 將資料讀出並只要抓到當下對的值進行乘法及累加即可。

這邊用的是 tap_counter 晚兩個 clk 會將當時的 Xn 及 coefficient 的乘積累加至 Yn，此時 sm_tvaild 就會拉起告知 Yn 已有值。

Resource usage

Reg and LUT

Site Type	Used	Fixed	Prohibited	Available	Util%
Slice LUTs*	262	0	0	53200	0.49
LUT as Logic	262	0	0	53200	0.49
LUT as Memory	0	0	0	17400	0.00
Slice Registers	299	0	0	106400	0.28
Register as Flip Flop	299	0	0	106400	0.28
Register as Latch	0	0	0	106400	0.00
F7 Muxes	0	0	0	26600	0.00
F8 Muxes	0	0	0	13300	0.00

Memory:

2. Memory

Site Type	Used	Fixed	Prohibited	Available	Util%
Block RAM Tile	0	0	0	140	0.00
RAMB36/FIFO*	0	0	0	140	0.00
RAMB18	0	0	0	280	0.00

DSP:

3. DSP

Site Type	Used	Fixed	Prohibited	Available	Util%
DSPs	3	0	0	220	1.36
DSP48E1 only	3				

Timing Report

Clk cycle:8ns

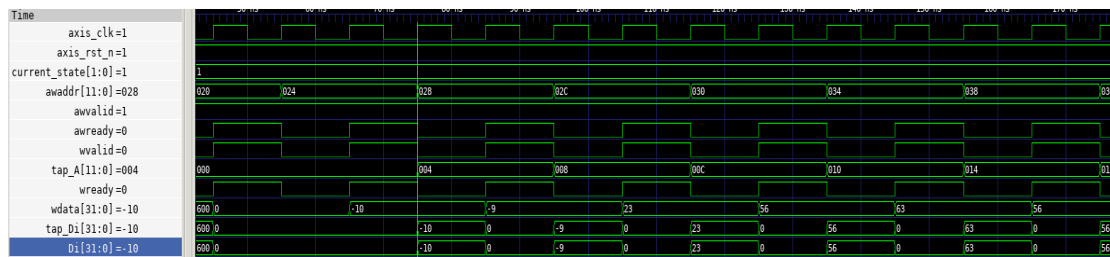
Critical path:

Max Delay Paths

Slack (MET) : 0.876ns (required time - arrival time)
Source: Xn_reg[16]/C
(rising edge-triggered cell FDCE clocked by sys_clk {rise@0.000ns fall@4.000ns period=8.000ns})
Destination: Product0_1/PCIN[0]
(rising edge-triggered cell DSP48E1 clocked by sys_clk {rise@0.000ns fall@4.000ns period=8.000ns})
Path Group: sys_clk
Path Type: Setup (Max at Slow Process Corner)
Requirement: 8.000ns (sys_clk rise@8.000ns - sys_clk rise@0.000ns)
Data Path Delay: 5.544ns (logic 4.689ns (84.582%) route 0.855ns (15.418%))
Logic Levels: 1 (DSP48E1=1)
Clock Path Skew: -0.145ns (DCD - SCD + CPR)
Destination Clock Delay (DCD): 2.128ns = (10.128 - 8.000)
Source Clock Delay (SCD): 2.456ns
Clock Pessimism Removal (CPR): 0.184ns
Clock Uncertainty: 0.035ns ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE
Total System Jitter (TSJ): 0.071ns
Total Input Jitter (TIJ): 0.000ns
Discrete Jitter (DJ): 0.000ns
Phase Error (PE): 0.000ns

Simulation Waveform

Tap BRAM write



Coefficient 由 AXI lite 輸入，fir 接收後寫入 Tap BRAM。從波形可以看到，每當 wready & wvalid=1 時，下個 cycle 就會有一筆 coefficient 寫入 Tap BRAM。

Tap BRAM read



AXI lite 從 Tap BRAM 中將 Coefficient 讀出，當 rvalid=1 時，coefficient 已在 rdata 上準備被讀取，且在 rready & rvalid=1 當下就會被讀出。

=

Data stream in & Data BRAM write



Input Data 是由 AXI stream slave 接收並寫入 Data BRAM，當 ss_tready=1 時，代表已準備好接收下一筆 data，ss_tdata 就會有值，下一個 cycle 就會把值給 data_Di 來寫入 data BRAM。

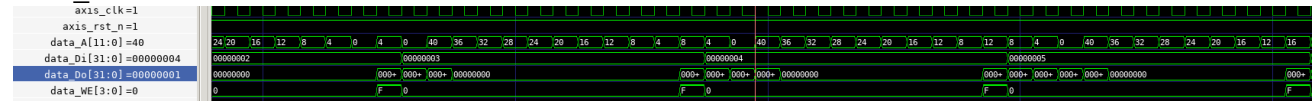
Data stream out



FIR 計算完後的 output data 由 AXI stream master 輸出，當 sm_tvalid=1 時代表已交運算結果放在 sm_tdata，testbench 就會讀取並與 out_gold 做比對。

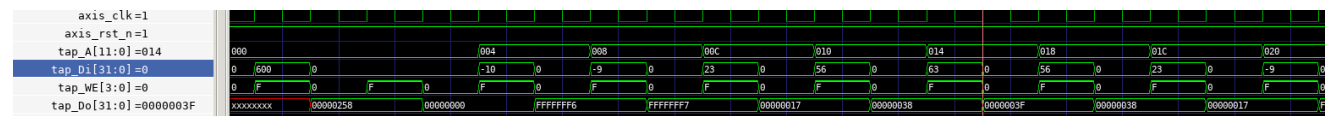
RAM access control

Data_ram:

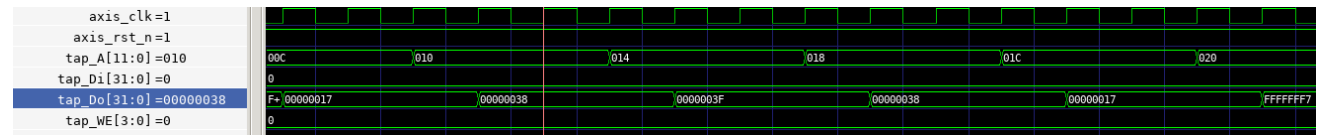


Tap_ram:

Write



Read

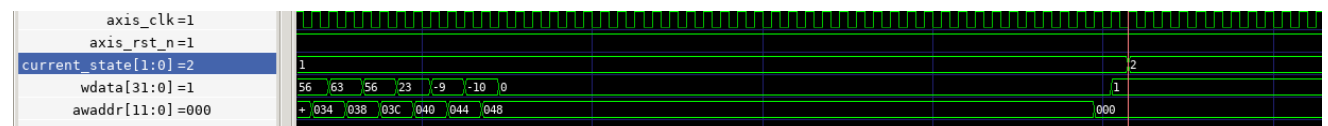


FSM

IDLE(0)→collect Tap(1)



collect Tap(1)→ Compute(2)



Compute(2) →Done(3)



<https://github.com/y232578y/112-1-SoC-Design/tree/main>