

Contrôle intermédiaire
d'Architecture des ordinateurs- CPI2

Durée: 2 heures.

Tous documents interdits.

✓ **Exercice 1: (4 points)**

On veut réaliser un **compteur/décompteur** binaire synchrone à l'aide d'une ROM de 16×4 bits et d'un minimum de circuits de haute impédance.

Une commande C permet de commander l'opération de la manière suivante :

C=1 permet l'affichage des nombres dans l'ordre croissant

C=0 permet l'affichage des nombres dans l'ordre décroissant.

Questions :

1. Faire la table de vérité du circuit
2. Faire le schéma du circuit

Exercice 2: (5 points)

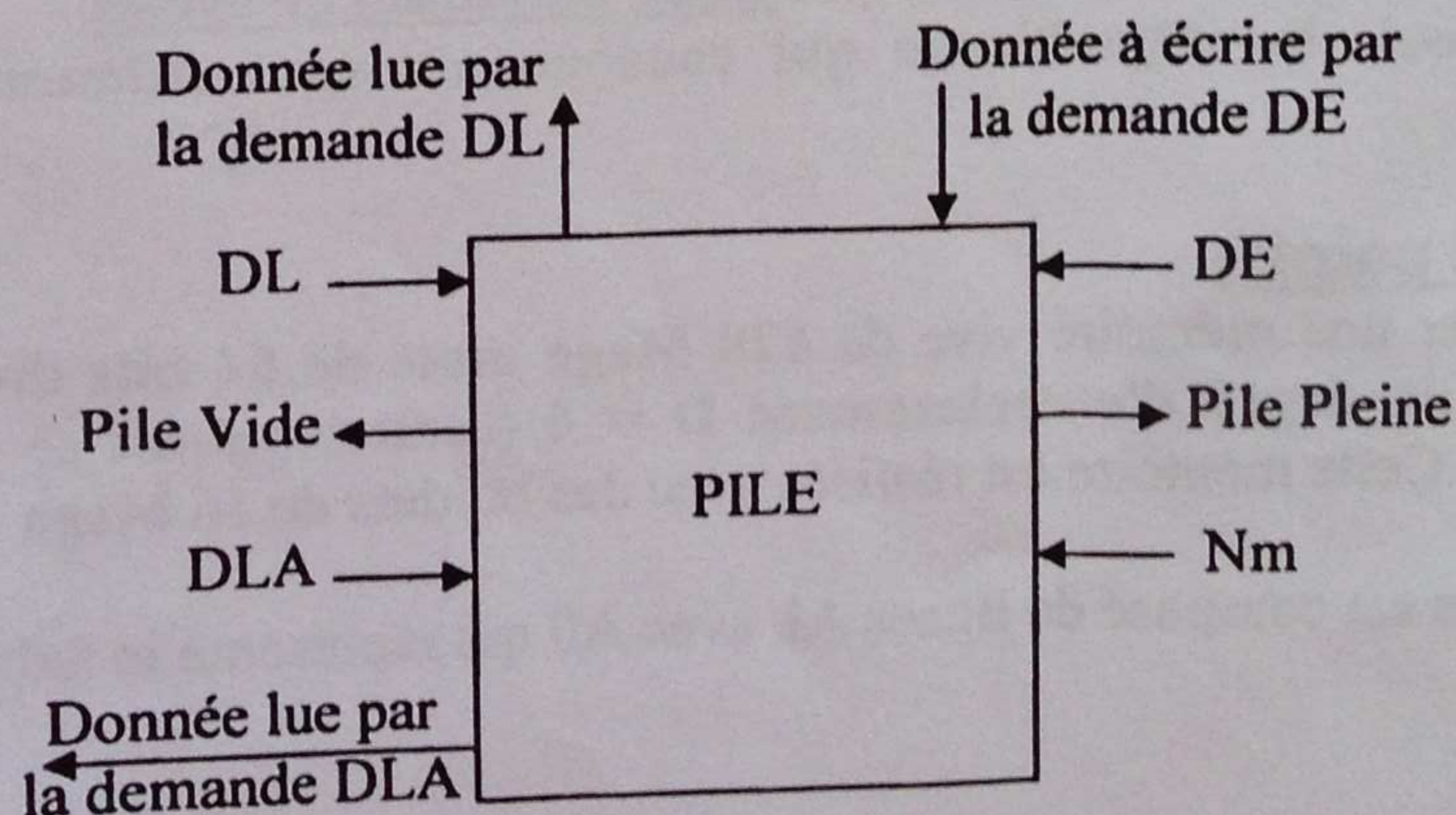
On désire réaliser une **PILE** classique de 8 mots de 4 bits à l'aide de registres à décalages. Cette pile dispose des signaux habituels suivants:

- Un signal **DL (Demande de Lecture)**: permet de lire le dernier mot écrit au sommet de la pile.
- Un signal **DE (Demande d'Ecriture)**: permet d'écrire un mot au sommet de la pile.
- Deux sorties **Pile Vide** et **Pile Pleine** qui indiquent l'état de la pile.

On améliore cette pile pour permettre de lire un mot quelconque dans la pile dont le numéro est Nm. Ce numéro indique l'adresse du mot dans la pile. La commande suivante est ajoutée:

- Un signal **DLA (Demande de Lecture Aléatoire)**: permet de lire un mot quelconque dont le numéro (Nm) est donné en entrée du circuit (si ce mot est occupé). Le mot lu n'est pas effacé de la mémoire. Il reste présent et peut être lu normalement une autre fois.
- Une entrée Nm qui indique le numéro du mot (en partant du haut de la pile et en commençant par le mot 0).

Le schéma externe de la pile est représenté dans la figure suivante:



Questions:

1. Donner le **schéma interne détaillé** de la LIFO en mode normal (commandes DE et DL) en précisant le mécanisme de détection des mots libres, ainsi que les équations des signaux Pile Pleine et Pile Vide.
2. Compléter le schéma de la question 1 pour permettre la lecture d'un mot quelconque de numéro Nm (si ce mot est occupé) par le signal DLA.

Exercice 3: (4 points)

Soit deux mémoires associatives M1 et M2 composées d'entiers dont la valeur varie entre 0 et 255. On veut copier les entiers de M1 et M2 dans une troisième mémoire associative M3 en les triant dans un ordre décroissant. On suppose que la taille de M3 est suffisante pour contenir tous les mots de M1 et de M2.

Remarque :

Si un mot est dans M1 et dans M2 en même temps, on le copie une seule fois dans M3.

Questions:

Donner l'algorithme qui effectue cette copie en un minimum de cycles.

ATTENTION:seuls les algorithmes qui consomment un minimum de temps seront considérés.

Exercice 4: (5 points)

Soit une mémoire associative composée de mots 8 bits. Elle contient des entiers de 4 bits qui sont stockés dans les poids faibles. On veut copier les poids faibles dans les poids forts en respectant l'ordre des bits de la manière suivante:

Le bit de rang 3 est copié dans le bit de rang 7, le bit de rang 2 est copié dans le bit de rang 6 ... (sachant que le bit de rang 0 est le bit de poids le plus faible).

Exemple pour des mots de 4 bits: le mot '0111' dans les poids faibles est écrit '0111' dans les poids forts.

Poids faibles	Poids forts
0111	0111
1010	1010
1101	1101

Question:

Ecrire le programme qui réalise cette copie en un minimum de cycles.

ATTENTION:seuls les algorithmes qui consomment un minimum de temps seront considérés.

Exercice 5: (2 points)

On désire réaliser une mémoire vive de 128 Mega mots de 64 bits divisée en 2 modules entrelacés avec un **degré d'entrelacement $D = 4$** (l'entrelacement se fait à l'intérieur de chaque module). Cette mémoire est réalisée avec des boîtiers de 16 Mega mots de 64 bits.

Le bus d'adresses est composé de lignes Ai, avec A0 qui représente le faible poids.

Question:

1. Faire le schéma externe d'un seul des deux modules, en représentant le bus d'adresses et en détaillant toutes les connexions externes du module avec le bus d'adresses et le bus de données). **Montrer comment est sélectionné chaque module.**
2. Faire le schéma de l'intérieur de ce module, en montrant comment sont sélectionnés les blocs entrelacés dans le module et la connexion des blocs du module avec le bus d'adresses. Détailler toutes les connexions à tous les boîtiers de ce bloc (sélection du boîtier et bus d'adresses), et en précisant clairement tous les poids des bits du bus d'adresse global.