

**Institut National  
de formation  
en Informatique**

**Décembre 2000.**

**EMD N° 1 de Structure Machines, 2<sup>ème</sup> année.**

**Durée: 2 heures.**

**Documents interdits**

**ATTENTION!!!**

**Rédigez les parties I et II sur des copies séparées.**  
**Les exercices appartenant à des parties différentes et rédigés**  
**sur la même copie ne seront pas corrigés.**

---

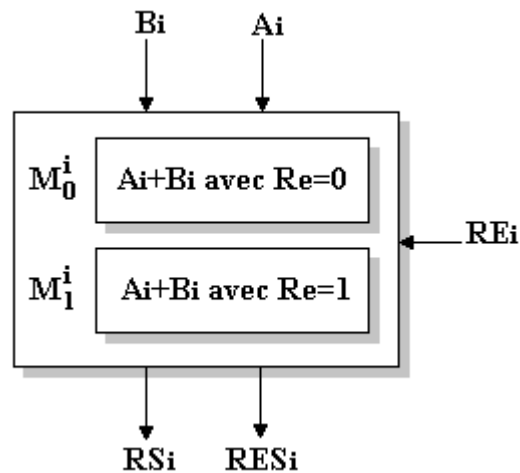
**Partie I:**

**Exercice I: (5 points)**

On désire réaliser un additionneur de deux mots de 2 bits à l'aide d'additionneurs de mots de 1 bit. Si on utilise les additionneurs classiques à propagation de retenue, le second étage (poids fort) est obligé d'attendre que le premier (poids faible) ait terminé le calcul avant de pouvoir commencer l'addition (puisque'elle dépend de la retenue entrante). Nous désirons accélérer le calcul en utilisant le principe des additionneurs à sélection de retenue.

Le principe de l'addition avec sélection de retenue est le suivant :

Pour chaque étage d'addition  $\mathbf{M}^i$  de deux mots de 1 bit, deux additionneurs complets de 1 bit travaillent en parallèle. Le premier additionneur (additionneur  $\mathbf{M}_0^i$ ) a retenue entrante toujours égale à '0'; le second additionneur (additionneur  $\mathbf{M}_1^i$ ) a une retenue entrante toujours égale à '1'. Une fois que la retenue entrante  $\mathbf{RE}_i$  est connue (elle correspond à la retenue sortante  $\mathbf{RS}_{i-1}$  du module de rang  $\mathbf{M}^{i-1}$ ), il ne reste plus qu'à "choisir" le résultat correct qui a déjà été calculé par l'un des deux additionneurs  $\mathbf{M}_0^i$  ou  $\mathbf{M}_1^i$  et qui sera affiché .

**Question:**

Réaliser, à l'aide d'une ROM et un minimum de circuit, un circuit additionneur de deux mots de 1 bit chacun en utilisant le principe de la sélection de retenue: **représenter clairement les deux sous modules  $M_0^i$  et  $M_1^i$  et les sorties générales du module  $M^i$ .**

**Exercice II: (5 points)**

On désire réaliser une mémoire FIFO de 4 mots de 4 bits à l'aide de registres à chargement parallèle et de bascules de présence. Cette FIFO doit également permettre la lecture du dernier mot écrit (comme dans le cas d'une LIFO) s'il en existe un au premier étage (étage d'entrée). Pour cela, on dispose de trois commande: LectFIFO (demande de lecture à l'étage de sortie du premier mot écrit dans la mémoire), EcrFIFO (demande d'écriture dans le premier étage de la FIFO) et LectLIFO (demande de lecture à partir du premier étage de la FIFO).

**Remarques:**

- La lecture au premier étage est prioritaire sur le décalage.
- Les bascules de présence sont des bascules JK.

**Question:**

Faire le schéma détaillé de la mémoire **en indiquant les équations logiques de tous les signaux**: commandes de positionnement de toutes les bascules de présence, commandes d'ouverture des registres parallèles, EcrFIFO\_possible, Lecture\_FIFO\_possible et Lecture\_LIFO\_possible.

---

**ATTENTION!!!**

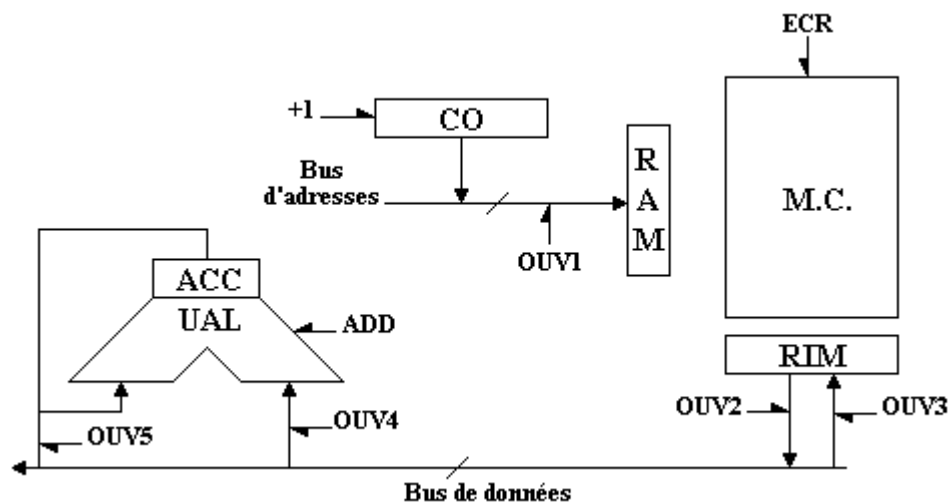
**Rédigez les parties I et II sur des copies séparées.**

**Les exercices appartenant à des parties différentes et rédigés sur la même copie ne seront pas corrigés.**

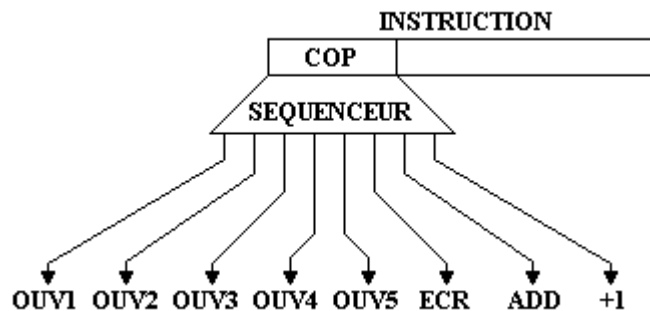
## Partie II:

### Exercice III: (4 points)

Soit un séquenceur simple, capable d'exécuter deux instructions (champ **Code OP**ération sur un bit). L'unité centrale dans laquelle se trouve le séquenceur est la suivante:



Le schéma du séquenceur est le suivant:



**COP:** Code Opération.

**OUV1, OUV2, OUV3, OUV4 et OUV5:** Ouverture des bus.

**ECR:** Commande d'écriture en M.C. (Mémoire Centrale).

**ADD:** Commande d'addition à l'UAL.

**+1:** Commande d'incrémentement du CO (Compteur Ordinal)

Les deux instructions exécutées par le séquenceur sont l'addition (**ADD**) et le rangement du contenu de l'accumulateur en mémoire centrale (**RGM**) dans un mot dont l'adresse se trouve dans le CO.

- L'instruction **ADD** entraîne l'exécution des commandes suivantes:

**OUV2, OUV4, OUV5, ADD, +1.**

- L'instruction **RGM** entraîne l'exécution des commandes suivantes:

**OUV1, OUV3, OUV5, ECR, +1.**

On suppose que toutes les commandes s'exécutent en parallèle.

**Question:**

Sans tenir compte des signaux d'horloge ni de l'ordre d'exécution des différentes commandes, réaliser le schéma du séquenceur à l'aide d'un seul circuit ROM.

**Exercice IV: (6 points)**

On désire réaliser deux mémoires **LIFO** à l'aide d'un seul boîtier RAM de 32 mots et **d'un minimum de circuits**. L'opération de lecture est prioritaire sur l'écriture.

- La première écriture dans la LIFO1 se fait à l'adresse 0 de la RAM.
- La première écriture dans la LIFO2 se fait à l'adresse 31 de la RAM.
- Les opérations sur la LIFO1 et la LIFO2 sont indépendantes les unes des autres.
- La LIFO1 est prioritaire sur la LIFO2.
- L'écriture dans chaque mémoire est prioritaire sur la lecture.

**Question:**

Faire le schéma détaillé de la LIFO en indiquant les équations logiques des signaux suivants: Ecritures réelles dans la RAM pour les deux piles, Lectures réelles dans la RAM pour les deux piles, LIFO1 pleine, LIFO2 pleine, LIFO1 vide, LIFO2 vide ainsi que tous les signaux internes à votre circuit.

---

**ATTENTION!!!**

**Rédigez les parties I et II sur des copies séparées.**

**Les exercices appartenant à des parties différentes et rédigés sur la même copie ne seront pas corrigés.**

---

**Bon courage et bonnes vacances**