

**Institut National  
de formation  
en Informatique**  
Durée: 2 h.

**Examen de rattrapage de Structure Machines**  
2<sup>ème</sup> année.

Septembre 1998

**Tous documents interdits.**

**Exercice I (8 points):**

**I-1: (4 points)**

On désire réaliser une mémoire vive de **8 Mega Octets** divisée en **2 modules** entrelacés avec un **degré d'entrelacement D = 4** (l'entrelacement se fait à l'intérieur de chaque module). Cette mémoire est réalisée avec des **boîtiers de 512 K octets**.

Faire le schéma détaillé d'un des deux modules en indiquant clairement toutes les connexions aux différents bus et en précisant les poids des bits du bus d'adresse (poids faibles et forts).

**I-2: (4 points)**

On désire remplacer la logique de génération des signaux de sélection des boîtiers qui composent la mémoire précédente par un circuit unique (circuit qui génère automatiquement en sortie tous les signaux  $\overline{CS}$  et qui a en entrée certains bits du bus d'adresses global).

Pour vous aider, vous commencerez par numéroté, sur le schéma de la question précédente, tous les boîtiers mémoire en associant à chaque boîtier un numéro unique.

**Questions:**

- 1- Représenter la table de vérité du circuit qui génère les signaux  $\overline{CS}$  des boîtiers de la mémoire vive de la question 1 **en indiquant clairement les entrées et les sorties**.
- 2- Représenter le schéma du circuit en utilisant seulement un circuit ROM et aucun autre circuit (représenter clairement le contenu de la ROM, ses entrées et ses sorties).

**Exercice II (6 points):**

Soit une mémoire associative qui contient des entiers positifs de 32 bits. Ecrire l'algorithme qui remplace en parallèle chaque mot de la mémoire par son prédécesseur.

**Rappel:**

$$\text{Prédécesseur (X)} = \begin{cases} X-1 & \text{si } X > 0. \\ \end{cases}$$

---

$\lfloor 0 \quad \text{si } X=0.$

**Remarque:** Réaliser l'algorithme qui consomme le moins de temps. Il sera tenu compte du nombre de cycles de l'algorithme.

**Exercice III (6 points):**

Soit une machine disposant d'un système d'interruptions hiérarchisé. Ce système permet de recevoir 16 causes d'interruption réparties sur 4 niveaux comme suit:

- Niveau 0:**    \* Cause 0 : inhibée.
- \* Cause 1, cause 2 et cause 3 : It contrôleurs d'Entrées/Sorties.
- Niveau 1:**    \* Cause 4, cause 5 et cause 6 : It contrôleurs d'Entrées/Sorties.
- \* Cause 7 : inhibée.
- Niveau 2:**    \* Cause 8 et cause 9 : It contrôleurs d'Entrées/Sorties.
- \* Cause 10 : inhibée.
- \* Cause 11 : It contrôleur d'Entrées/Sorties.
- Niveau 3:**    \* Cause 12 : It contrôleur d'Entrées/Sorties.
- \* Cause 13 : inhibée.
- \* Cause 14 et cause 15 : It contrôleurs d'Entrées/Sorties.

- Ce système permet de **valider ou invalider un système d'It, Masquer un niveau et inhiber une cause.**

**Questions:**

1- Faire un schéma détaillé du système d'It.

Soit la séquence d'exécutions suivante:

- Exécution d'un programme de niveau 3
- Signal de niveau 1, cause 4
- Signal de niveau 0, cause 2
- Signal de niveau 2, cause 8
- Signal de niveau 0, cause 0

2- Indiquer le contenu de **tous les registres du système d'IT** au démarrage de la machine.

3- Faire un schéma complet de la séquence en complétant son déroulement jusqu'à la fin.

4- Indiquer le contenu de la pile et du registre masque à chaque instant.

**Bonne chance**