

CONCOURS d'accès à l'ESI

Epreuve : Architecture Système et Electronique

Code : ASE

Date : 25/06/2014.

Durée : 3 heures

Instructions Générales (à lire avant le début de l'épreuve)

- Les candidats doivent vérifier que le sujet comprend 6 pages.
- Les candidats sont invités à porter une attention particulière à la présentation.
- Les candidats doivent rendre les copies, même vierges.
- Si au cours de l'épreuve, un candidat repère ce qui lui semble être une erreur d'énoncé, il doit le signaler sur sa copie et doit poursuivre sa composition en expliquant les raisons des initiatives qu'il a été amené à prendre.
- Les numéros des questions doivent être transcrits clairement sur les copies.
- Les pages des copies et des feuilles intermédiaires doivent être numérotées (1, 2, 3, 4,...).
- Les documents sont interdits sauf précision contraire dans le sujet.
- L'emploi d'une calculatrice est autorisé.
- Aucun échange n'est autorisé entre les candidats.
- Les trois parties sont indépendantes et le candidat peut les traiter dans l'ordre de son choix.
- Les trois parties doivent être rédigées sur des copies séparées.

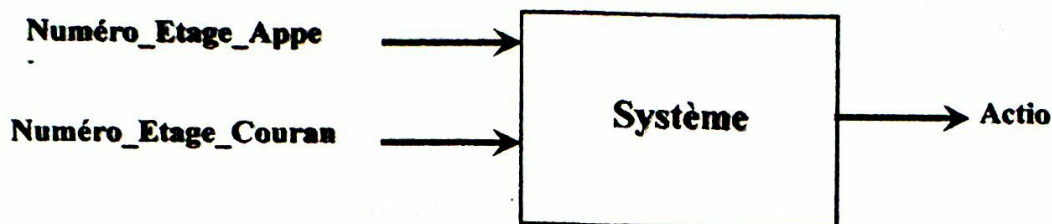
Barème de notation :

- la partie I est notée sur 12 points,
- la partie II est notée sur 8 points,
- la partie III est notée sur 10 points

Partie I : Architecture

Exercice N°1:(3 points)

On désire réaliser un circuit de commande d'un ascenseur. Le système est représenté dans le schéma de la figure suivante:



L'entrée "Numéro_Etage_Appe" est un nombre codé sur 2 bits. Il indique le numéro de l'étage d'où l'ascenseur est appelé.

L'entrée "Numéro_Etage_Courant" est un nombre codé sur 2 bits. Il indique le numéro de l'étage où se trouve l'ascenseur à l'instant de l'appel.

La sortie "Action" est un nombre codé sur 2 bits. Il indique l'action à exécuter.

Le circuit fonctionne de la manière suivante:

- Si le numéro de l'étage courant est égal à celui de l'étage appelant, l'ascenseur ne doit pas bouger (Action=00).
- Si le numéro de l'étage courant est inférieur à celui de l'étage appelant, l'ascenseur doit monter (Action=01). $C < A$
- Si le numéro de l'étage courant est supérieur à celui de l'étage appelant, l'ascenseur doit descendre (Action=10). $C > A$

Question:

Donner la table de vérité puis réaliser le schéma du circuit de commande de l'ascenseur en utilisant un seul circuit ROM.

Exercice N°2:(9 points).

Soit une machine disposant d'un système d'interruptions hiérarchisé. Ce système permet de valider ou invalider un système d'Int, Masquer un niveau et inhiber une cause. Il permet de recevoir 12 causes d'interruption réparties comme suit:

- | | |
|-----------|--|
| Niveau 0: | * Cause 0 : It alimentation; |
| Niveau 1: | * Cause 1 et cause 2 : It contrôleurs d'entrées/sorties; |
| | * Cause 3 : It inhibée; |
| | * Cause 4 : It Inhibée; |
| Niveau 2: | * Cause 5 : It contrôleur d'Entrées/Sorties; |
| | * Cause 6 : It contrôleur d'Entrées/Sorties; |
| | * Cause 7 : It matériel; |
| | * Cause 8 : Inhibée; |
| Niveau 3: | * Cause 9 : It contrôleur d'Entrées/Sorties; |
| | * Cause 10 : Inhibée; |
| | * Cause 11 : Inhibée; |

Remarque :

Un Niveau 4 existe, mais il est réservé aux interruptions internes (ne pas représenter ce niveau sur le schéma mais il faut réserver un bit dans le registre masque).

Question:

1. Faire un schéma détaillé du système d'Int en indiquant le contenu des registres importants au démarrage de la machine.

Soit la séquence d'interruptions suivante:

- Allumage de la machine;
- Lancement d'un programme de niveau 4
- Signal de niveau 3 cause 9 pendant l'exécution du programme;
- Arrivée d'un Signal de niveau 2, cause 6 pendant la phase précédente;
- Arrivée d'un Signal de niveau 0, cause 0 pendant la phase précédente;

Questions:

2. Faire un schéma complet de la séquence en affectant à chaque étape une étiquette (exemple : Instant A, Instant B...). Identifiez clairement chacune des étapes importantes de la séquence comme vous l'avez vu en cours.

3. Indiquer le contenu de la pile et du registre masque à chaque instant. Ajouter une bascule pour le niveau 4 dans le registre masque.

Partie II : Système (Assembleur)

EXERCICE 1 : (3pts)

8 pts

Traduire l'instruction Switch du langage C (Case en Pascal) sachant que A est un entier (mot= 2 octets) et rang est un caractère.

```
Switch (A)
{
  Case 1:
    rang := "p";
    break;
  Case 2:
    rang := "d";
    break;
  Default:
    rang := "a";
}
```

Exercice 2 : (2pts)

Donner les différentes valeurs des registres AX et BX après l'exécution de chaque séquence.

1	MOV AL,-2 MOV BL,4 MUL BL	2	MOV AL,-4 MOV BL,3 IMUL BL
3	MOV AX,-9 MOV BL,3 DIV BL	4	MOV AX, -12 MOV BL,6 IDIV BL

Exercice 3 : (3pts)

Soit une zone mémoire de seize (16) caractères d'adresse symbolique CHAINE et un mot mémoire d'adresse FILTRE.

Écrire la procédure qui permet de mettre à 1 les positions des bits de FILTRE qui correspondent aux positions des blancs dans CHAINE.

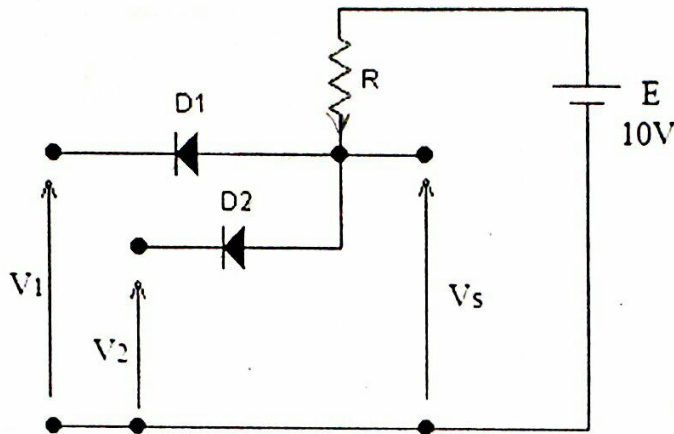
Partie III : Electronique 10 pts

Exercice 1 : (5 points)

Les deux parties A et B de cet exercice sont indépendantes.

Partie A : (3,5 pts)

Soit le montage suivant :



On prendra la tension seuil des deux diodes $D1$ et $D2$ à $0.7V$.
Toute tension inférieure à un volt sera considérée comme un 0 logique (état logique associé : 0).
Toute tension supérieure à 4 volts sera considérée comme un 1 logique (état logique associé : 1).

1. Compléter le tableau ci-dessous :

Dans les colonnes «Etat de $D1$ » et «Etat de $D2$ », indiquer si la diode concernée est passante ou bloquée.

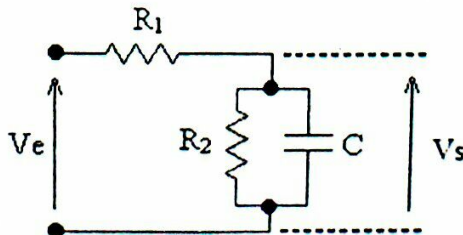
$V1$	Etat logique associé à $V1$	$V2$	Etat logique associé à $V2$	Etat de $D1$	Etat de $D2$	Vs	Etat logique associé à Vs
0V	0	0V	0	bloquée	bloquée	0V	0
0V	0	10V	1	bloquée	passante	10V	1
10V	1	0V	0	passante	bloquée	10V	1
10V	1	10V	1	passante	passante	0V	0

2. Donner le nom de la fonction logique réalisée par ce montage.

NAND ?

Partie B : (1,5 pts)

On considère le circuit de la figure ci-dessous :

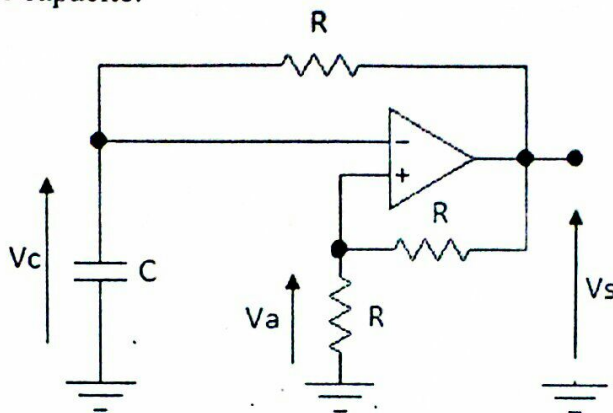


1. Déterminer la fonction de transfert de ce circuit : $H(w) = Vs(w) / Ve(w)$.

2. Déterminer la condition pour laquelle la fonction $H(w)$ est réelle.

Exercice 2: (5 points)

Il existe plusieurs méthodes pour obtenir un signal d'horloge. Cet exercice met en œuvre un amplificateur opérationnel utilisé en comparateur ($V_s = V_{sat}$ si $V^+ > V^-$ et $-V_{sat}$ si $V^+ < V^-$), 3 résistances identiques et une capacité.



On se place à $t = t_0 = 0$ et on suppose que $V_c = \frac{-V_{sat}}{2}$ et que $V_s = V_{sat}$.

1. Donner l'expression de la tension V_a en fonction de V_{sat} .
2. A partir de $t = 0^+$, la capacité commence à se charger. Déterminer l'expression de la tension V_c en fonction du temps.
3. Déterminer l'expression de la durée de l'état instable ($t_1 - t_0$) relative à l'état $V_s = V_{sat}$. Supposer que t_1 est l'instant à partir duquel la tension V_s bascule à $-V_{sat}$ lorsque V_c atteint la tension V_a .
4. A partir de $t = t_1^+$, la capacité commence à se décharger et $V_s = -V_{sat}$.
 - a) Donner l'expression de la tension V_a .
 - b) Déterminer l'expression de la tension V_c en fonction du temps.
 - c) Déterminer l'expression de la durée de l'état instable ($t_2 - t_1$) relative à l'état $V_s = -V_{sat}$. Supposer que t_2 est l'instant à partir duquel la tension V_s bascule à V_{sat} lorsque V_c atteint de nouveau la tension V_a .
5. Déterminer la fréquence du signal de sortie de l'horloge.

Rappel : l'expression générale valable pour la charge et de la décharge d'un condensateur peut s'écrire comme suit : $V_c(t) = U_f - (U_f - U_i)e^{-(t-t_0)/\tau}$, avec : U_f : tension finale, U_i : tension initiale, τ : constante de temps et t_0 : origine des temps