

**Institut National
de formation
en Informatique**

**EMD N° 1 de Structure Machines
2^{ème} année.**

Décembre 1997.

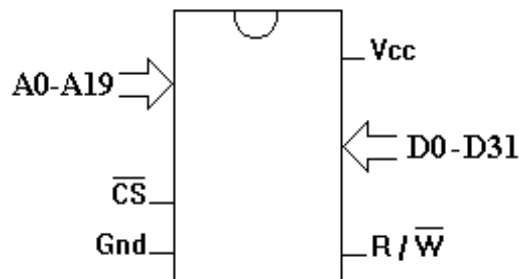
**Durée: 2 heures.
Documents interdits**

Partie A

Exercice I: (8 points)

On désire réaliser une mémoire vive de **32 Mega mots de 32 bits** divisée en **4 modules** entrelacés avec un **degré d'entrelacement $D = 4$** (l'entrelacement se fait à l'intérieur de chaque module).

Cette mémoire est réalisée avec des boîtiers représentés par le schéma suivant:

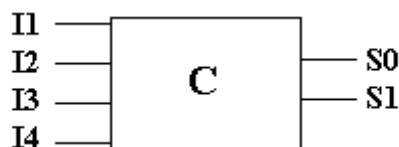


Questions:

1. Faire le schéma détaillé d'un seul module en **indiquant toutes les connexions** aux différents bus et en **précisant clairement tous les poids des bits du bus d'adresse**.
2. Supposons que le module **M2** soit **réservé à la mémoire morte**. C'est une **ROM de 8 Mega mots de 32 bits non entrelacée**. Elle est réalisée à partir de **boîtiers ROM de 2 Mega mots de 16 bits**. Représenter le bus d'adresse global de toute la mémoire et détailler le module M2 en **représentant toutes les connexions**.

Exercice II: (4 points)

Soit le circuit C qui permet de calculer le nombre de '1' en entrée sur des mots de 4 bits.



Question:

Représenter le circuit C en utilisant uniquement un minimum de circuits ROM de 8 mots de 2 bits.

Partie B:

Exercice III: (4 points)

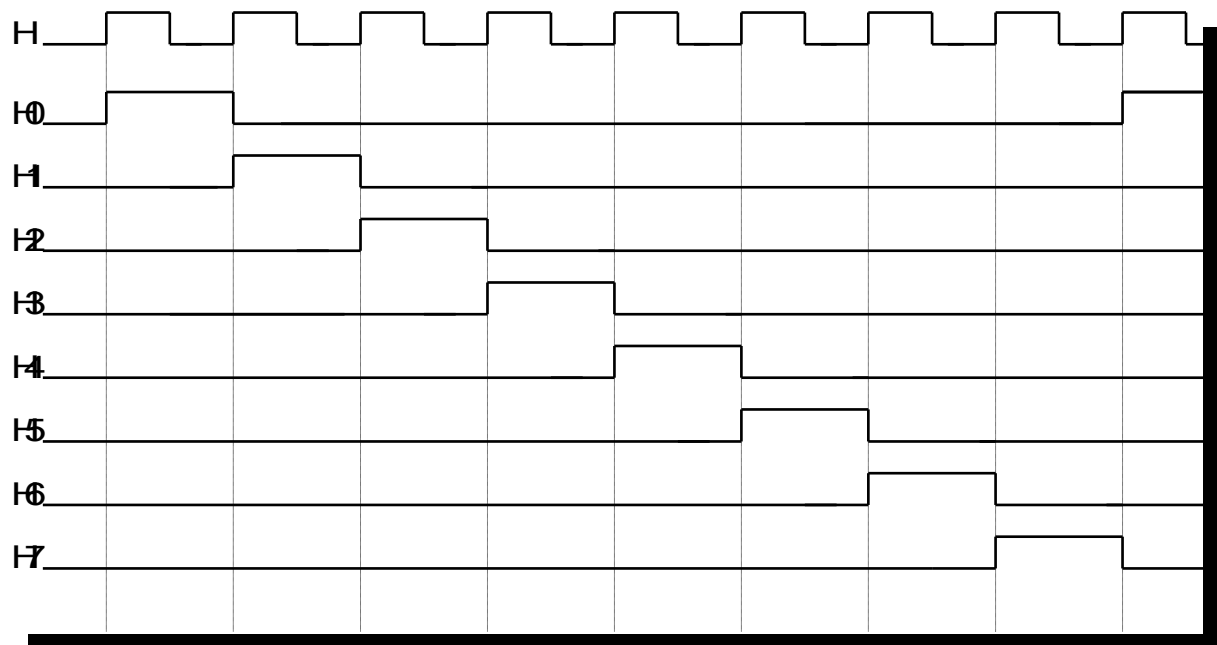
Soit le circuit qui permet d'effectuer la multiplication de deux nombres de deux bits A: (a2a1) par B:(b2b1)

Question:

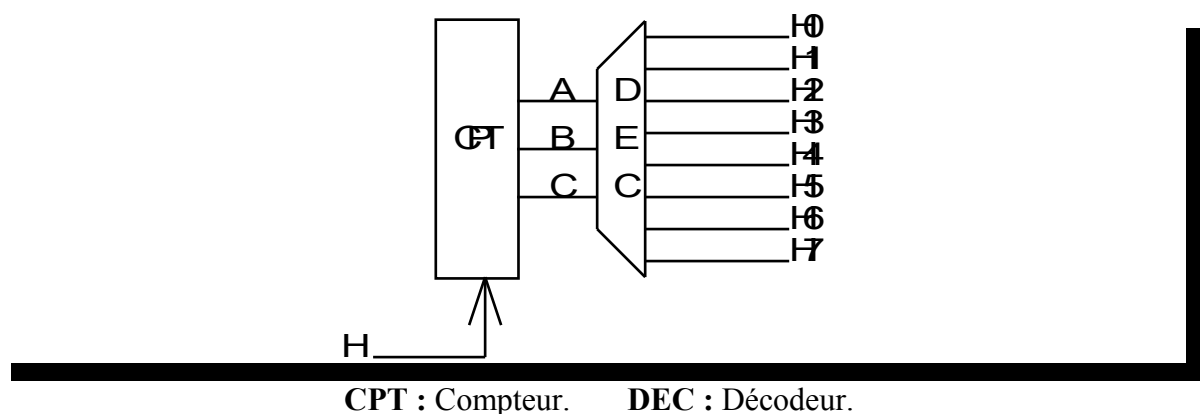
Représenter le circuit précédent **en utilisant uniquement un minimum de circuits ROM.**

Exercice IV: (4 points)

On désire générer 8 signaux d'horloge H0, H1, H2, H3, H4, H5, H6, H7 à partir d'un seul signal H.



Un exemple de circuit qui génère ces signaux est le suivant :



Question : Réaliser la totalité du circuit précédent à l'aide d'un seul circuit ROM et un registre à chargement parallèle.

.....Réaliser les parties A et B sur des copies séparées.....