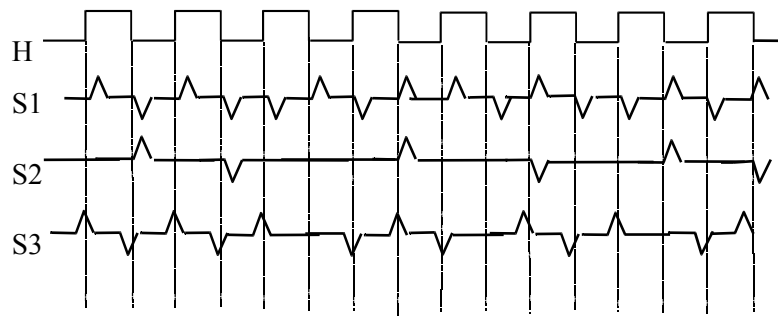


**Attention: il sera tenu compte de la présentation de votre copie**

**Exercice I: (3 points).**

Soient les signaux suivants:



**Question:**

Déterminer, pour chaque signal de lecture, le type de code utilisé et l'information codée.

**Exercice II: (2 points).**

Certaines défaillances de la mémoire peuvent être détectées en ajoutant un bit de parité à chaque mot de la mémoire.

- Lors d'une opération d'écriture, un bit de parité est généré par un **circuit de génération du bit de parité** et écrit en même temps que le mot en mémoire centrale.
- Lors d'une opération de lecture, un **circuit de contrôle de parité** recalcule le bit de parité correspondant au mot lu et le compare au bit de parité rangé avec le mot lors de l'opération d'écriture. Un signal **d'erreur de parité** est positionné à '1' par le circuit de parité si les 2 bits sont différents.

Les mots mémoires sont des mots de 3 bits chacun (2 bits de données plus le bit de parité). Le bit de parité P d'un mot est à '1' si le nombre de bits du mot qui sont égaux à '1' est pair. Il est à '0' si le nombre de bits du mot qui sont égaux à '1' est impair.

**Question:**

Faire la table de vérité et le schéma détaillé du **circuit de contrôle de parité**. Utiliser **uniquement un seul circuit ROM de taille minimale**.

**Exercice III: (5 points).**

Soit une mémoire associative composée d'entiers positifs de 16 bits. Donner l'algorithme qui effectue **en même temps et en parallèle** l'addition d'un 1 aux nombres pairs et la soustraction d'un 1 aux nombres impairs **en un minimum de cycles** (seul l'algorithme qui consomme le moins de cycles sera considéré).

#### Exercice IV ( 2,5 points):

On désire copier un fichier F1 occupant 1024 octets sur le disque dur vers un fichier F2 sur disquette à travers la mémoire centrale.

Le fichier F1 occupe les trois espaces non contigus suivants:

AdrD1: 256 octets.

AdrD2: 512 octets.

AdrD3: 256 octets.

En mémoire centrale, le fichier occupera les espaces suivants:

AdrM1: 128 octets.

AdrM2: 256 octets.

AdrM3: 128 octets.

AdrM4: 512 octets.

On suppose que la disquette est vide et que le fichier sera rangé sur un espace contigu ADRdq.

Ce transfert sera effectué en mode canal par un processeur d'E/S dont les instructions ont le format suivant:

Code opération	Nombre d'octets	Adresse source	Adresse destination	Chaînage de données	Chaînage de commandes
----------------	-----------------	----------------	---------------------	---------------------	-----------------------

#### Question:

En utilisant uniquement les codes opération de *lecture disque* et d'*écriture disque*, écrire le programme canal qui permet d'effectuer la copie du fichier (donner en détail, pour chaque commande canal, le contenu de chaque champ).

#### Exercice V ( 7,5 points):

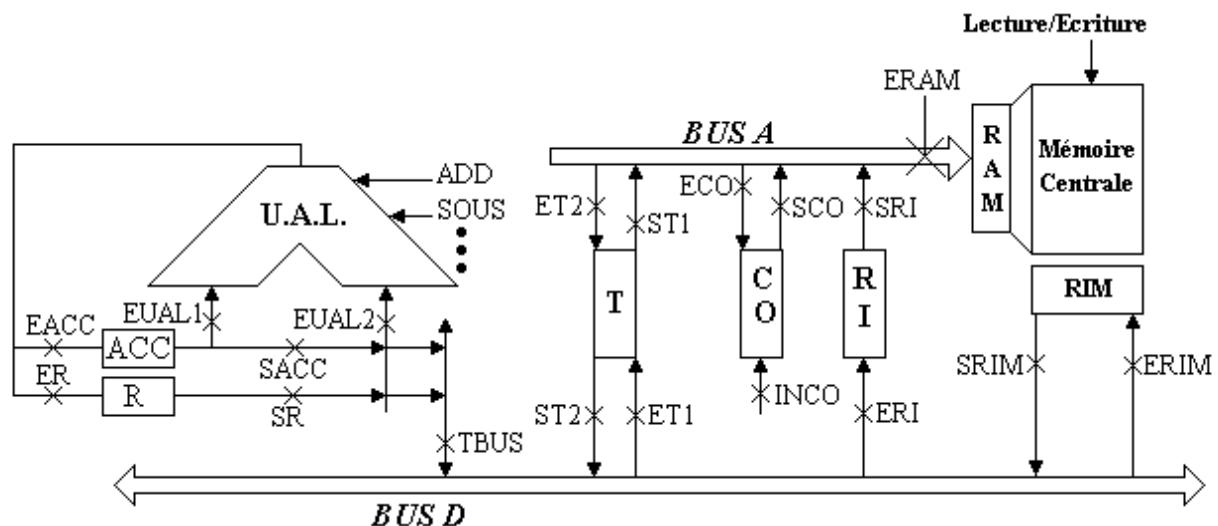


figure 1

- Le cycle mémoire nécessite deux phases. Lors d'une opération de lecture, l'information est disponible en première phase. Lors d'une opération d'écriture, l'information est écrite dans le mot mémoire durant la deuxième phase.
- Une opération dans l'UAL nécessite une phase.

**Questions:**

1. Donner le micro-programme détaillé des instructions suivantes (**donner pour chaque étape l'ensemble des micro-commandes associées et préciser clairement toutes les étapes pouvant se dérouler en parallèle**):
  - BI ADR (branchement inconditionnel, mode direct, **FORMAT LONG**).
  - SUB ADR (soustraction en **mode direct, format long** entre le contenu de l'accumulateur et le contenu du mot d'adresse ADR; le résultat est stocké dans l'accumulateur).
2. Tracer le chronogrammes de l'instruction **BI ADR** (branchement inconditionnel, mode direct, **FORMAT LONG**) **sur la feuille qui vous est remise**.

---

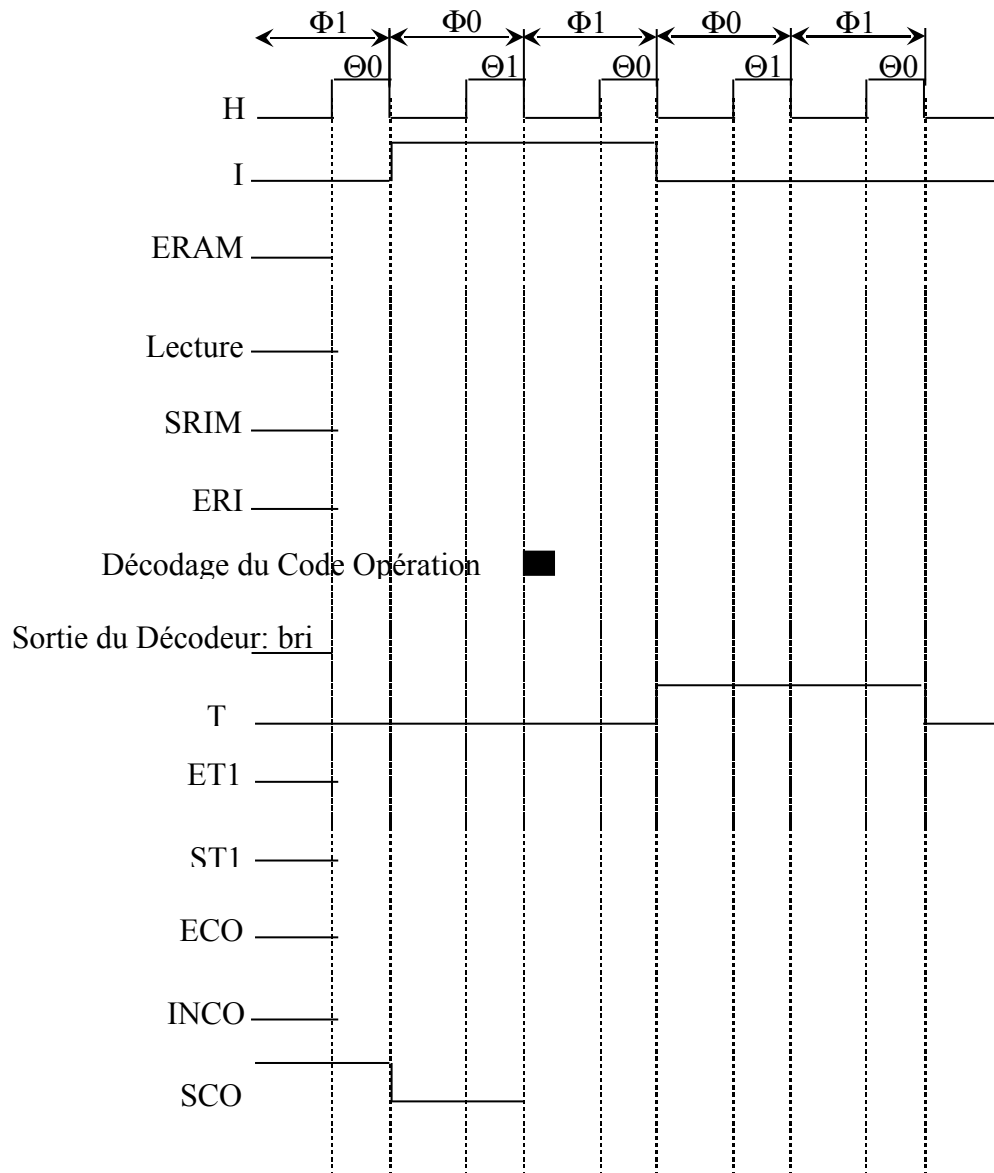
**Bon courage et bonnes vacances**

**Répondez sur Cette feuille directement**

Nom : .....

Prénom : .....

Groupe : .....



**Répondez sur Cette feuille directement**

**Les chronogrammes tracés sur une autre feuille que celle-ci ne seront pas corrigés**

# CORRIGE

## Exercice I: (3 points)

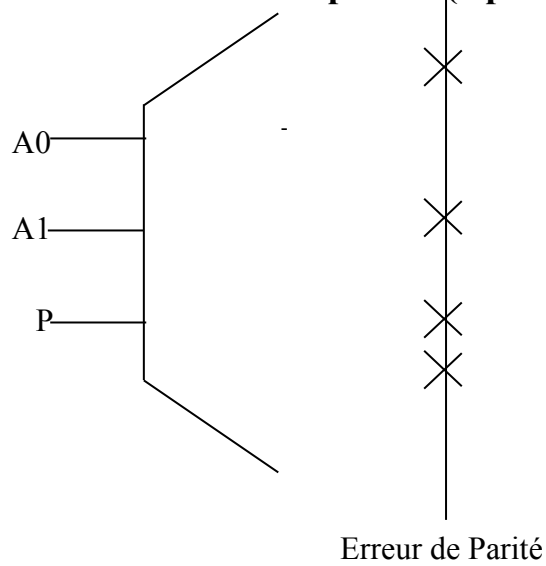
S1: Type RZ; Information: 1 1 0 0 1 1 0 0  
S1: Type MFM; Information: 1 1 0 1 0 0 1 1  
S1: Type FM; Information: 1 1 0 1 0 1 0 1

## Exercice II: (2 points)

### 1. Table de vérité: (1 point)

A1	A0	P	P Calculée	Erreur de parité
0	0	0	1	1
0	0	1	1	0
0	1	0	0	0
0	1	1	0	1
1	0	0	0	0
1	0	1	0	1
1	1	0	1	1
1	1	1	1	0

### 2. Schéma du circuit de contrôle de parité: (1 points)



**Exercice III: (5 points).****1ère solution:**

Description des phases	Etiqu.	Opération
	1-	Reset, $S/I \leftarrow 0$
Recherche des nombres pairs	2-	Set
	3-	$C \leftarrow 00...00$
	4-	$M \leftarrow 10...01$
	5-	Recherche
	6-	Si $S/N = 0$ , aller à 9
Traitement des nombres pairs (M est déjà positionné)	7-	$C \leftarrow 10...01$
	8-	Ecriture
	9-	$C \leftarrow 00...01$
Recherche des nombres impairs (M est déjà positionné)	10-	Set
	11-	Recherche
	12-	Si $S/N = 0$ , aller à 18
Traitement des nombres impairs (M est déjà positionné)	13-	$C \leftarrow 00...00$
	14-	Ecriture
	15-	Set
Remise à zéro du bit de poids fort (C est déjà positionné)	16-	$M \leftarrow 10...00$
	17-	Ecriture
	18-	Fin

**2ème solution:**

Description des phases	Etiqu.	Opération
	1-	Reset, $S/I \leftarrow 0$
Initialisation du bit de fort poids à '1'	2-	Set
	3-	$C \leftarrow 10...00$
	4-	$M \leftarrow 10...00$
	5-	Ecriture
	6-	$M \leftarrow 10...01$
Recherche des nombres pairs (C est déjà positionné)	7-	Recherche
Traitement des nombres pairs (M est déjà positionné)	8-	Si $S/N = 0$ , aller à 11
	9-	$C \leftarrow 00...01$
	10-	Ecriture
Recherche des nombres impairs (M est déjà positionné)	11-	$C \leftarrow 10...01$
	12-	Set
	13-	Recherche
Traitement des nombres impairs (M est déjà positionné)	14-	Si $S/N = 0$ , aller à 17
	15-	$C \leftarrow 00...00$
	16-	Ecriture
	17-	Fin

**Barème: 1 point par étape**

**Exercice IV: (2,5 points).**

Code opération	Nombre d'octets	Adresse source	Adresse destination	Chaînage de données	Chaînage de commandes
Lecture Disque	128	AdrD1	AdrM1	1	0
Lecture Disque	128	AdrD1+128	AdrM2	1	0
Lecture Disque	128	AdrD2	AdrM2+128	1	0
Lecture Disque	128	AdrD2+128	AdrM3	1	0
Lecture Disque	256	AdrD2+256	AdrM4	1	0
Lecture Disque	256	AdrD3	AdrM4+256	0	1
Ecriture Disque	128	AdrM1	ADRdq	1	0
Ecriture Disque	256	AdrM2	ADRdq+128	1	0
Ecriture Disque	128	AdrM3	ADRdq+384	1	0
Ecriture Disque	512	AdrM4	ADRdq+512	0	0

**Exercice V: (5,5 points).**

1. Micro-programme détaillé de l'instruction **BI ADR (branchement inconditionnel, mode direct, FORMAT LONG)** (2 points)

Description des phases	Etapes	Microcommandes
Recherche instruction	RAM $\leftarrow$ (CO)	SCO, ERAM
	Lecture; CO $\leftarrow$ (CO) + 1	LECTURE, INCO
	RI $\leftarrow$ (RIM)	SRIM, ERI
	Décodage	DECODAGE
Recherche Adresse et Branchement	RAM $\leftarrow$ (CO)	SCO, ERAM
	Lecture	LECTURE
	T $\leftarrow$ (RIM)	SRIM, ET1
	CO $\leftarrow$ (T)	ST1, ECO, ERAM

SUB ADR (soustraction en **mode direct, format long** entre le contenu de l'accumulateur et le contenu du mot d'adresse ADR). (3 points)

Description des phases	Etapes	Microcommandes
Recherche instruction	RAM $\leftarrow$ (CO)	SCO, ERAM
	Lecture; CO $\leftarrow$ (CO) + 1	LECTURE, INCO
	RI $\leftarrow$ (RIM)	SRIM, ERI
	Décodage	DECODAGE
Recherche opérande	RAM $\leftarrow$ (CO)	SCO, ERAM
	Lecture; CO $\leftarrow$ (CO) + 1	LECTURE, INCO
	T $\leftarrow$ (RIM)	SRIM, ET1
	RAM $\leftarrow$ (T)	ST1, ERAM
	Lecture	LECTURE
Soustraction	EUAL2 $\leftarrow$ (RIM)	SRIM, TBUS, EUAL2
	EUAL1 $\leftarrow$ (ACC)	EUAL1
	ADD	ADD
	ACC $\leftarrow$ Résultat	EACC

2. Chronogramme de l'instruction **BI ADR** (branchement inconditionnel, mode direct, **FORMAT LONG**) (2,5 points)

