

Contrôle intermédiaire  
D'architecture - CPI 2

Durée: 2 h.

Tous documents interdits.

**Exercice 1 : ( 4 points)**

*Compétences à valider : Concevoir des circuits à base de boîtiers mémoires.*

On veut réaliser une machine avec une mémoire d'une capacité de 8 Giga mots de 64 bits. La mémoire est divisée en 2 modules entrelacés avec un degré d'entrelacement  $D = 4$  (l'entrelacement se fait à l'intérieur de chaque module) en utilisant des boîtiers de 512 Méga mots de 64 bits.

**Questions :**

Représenter le schéma d'un seul module, en donnant tous les détails de connexion avec le bus d'adresses, le bus de données et le bus de commande. Vous devrez préciser clairement tous les poids des bits du bus d'adresse utilisés.

**Corrigé exercice1**

**Calcul du nombre de boîtiers de base**

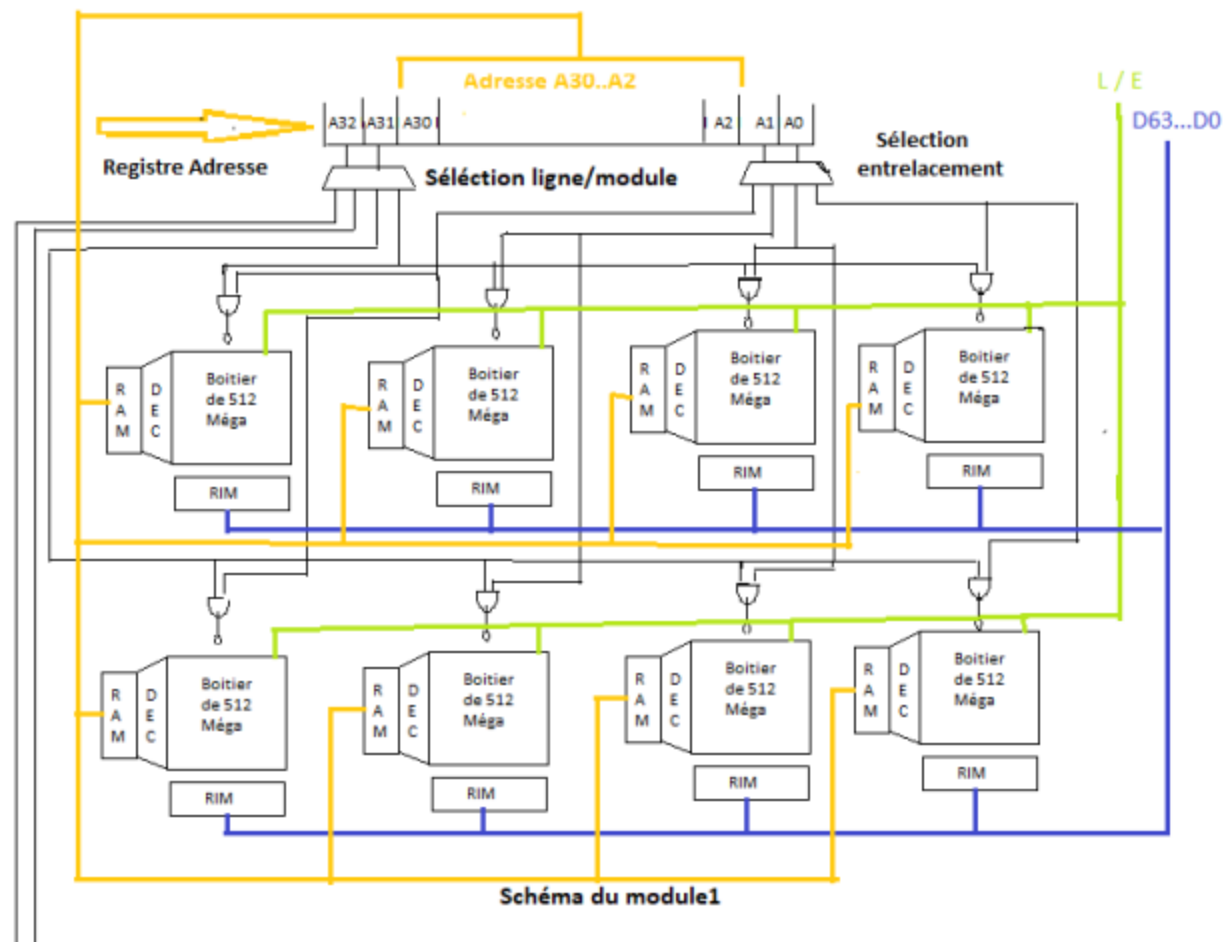
**Taille de la mémoire globale = 8 Giga mots de 64 bits =  $8 * 2^{30} = 2^3 * 2^{30} = 2^{33}$  mots → taille du registre d'adresse de la mémoire globale = 33 bits**

**Taille d'un boîtier = 512 Méga mots de 64 bits =  $2^9 * 2^{20} = 2^{29}$  mots → taille du registre d'adresse du boîtier = 29 bits**

**Nombre total de boîtiers =  $2^{33} / 2^{29} = 2^4 = 16$  boîtiers**

**Nombre de boîtiers par module =  $16 / 2 = 8$  boîtiers**

## Schéma d'un module



Vers module 2

## Barème exercice 1 (4 pts)

Taille du Bus d'adresse : 0.25 pt

Nombre de boîtiers mémoires par module : 0.25pt

Commande L/E : 0.5 pt

Bus de donnée : 0.5 pt

Décodeur d'entrelacement 0.5 pt

Décodeur ligne/module 0.5 pt

Schéma 1.5 pts

## Exercice 2 : (3 points)

**Compétences à valider :** Concevoir des circuits à base de mémoires mortes.

On veut réaliser un système de surveillance pour une entreprise, qui permet de surveiller 4 locaux. Ce système a 4 signaux en entrée. Chaque signal est connecté à l'un des 4 locaux (S0, S1, S2, S3). Le fonctionnement du système est le suivant :  $S_i=1$ , indique que quelqu'un s'est introduit dans le local i.

Le système d'alarme a trois sorties :

- Une sortie appelée SA qui est à 1 dès qu'un des signaux  $S_i$  est actif et qui déclenche une sonnerie;
- Deux signaux N0 et N1 donnent le numéro du local dont le signal est à 1 :

Signal	Valeur des sorties		
	N1	N0	SA
S0=1	0	0	1
S1=1	0	1	1
S2=1	1	0	1
S3=1	1	1	1
S0=0; S1=0 ; S2=0 ; S3=0	0	0	0

**Question:**

Réaliser le système d'alarme à l'aide d'un seul circuit ROM à 4 entrées et trois sorties.

**Question:**

Réaliser le système d'alarme à l'aide d'un seul circuit ROM à 4 entrées et trois sorties.

**Corrigé exercice 2****Table de vérité du circuit ROM (2 pts)**

S0	S1	S2	S3	N1	N0	SA
0	0	0	0	0	0	0
0	0	0	1	1	1	1
0	0	1	0	1	0	1
0	0	1	1	1	0	1
0	1	0	0	0	1	1
0	1	0	1	0	1	1
0	1	1	0	0	1	1
0	1	1	1	0	1	1
1	0	0	0	0	0	1
1	0	0	1	0	0	1
1	0	1	0	0	0	1
1	0	1	1	0	0	1
1	1	0	0	0	0	1
1	1	0	1	0	0	1
1	1	1	0	0	0	1
1	1	1	1	0	0	1

**Schéma de la ROM du circuit (encodeur de priorité) (2 pts)**

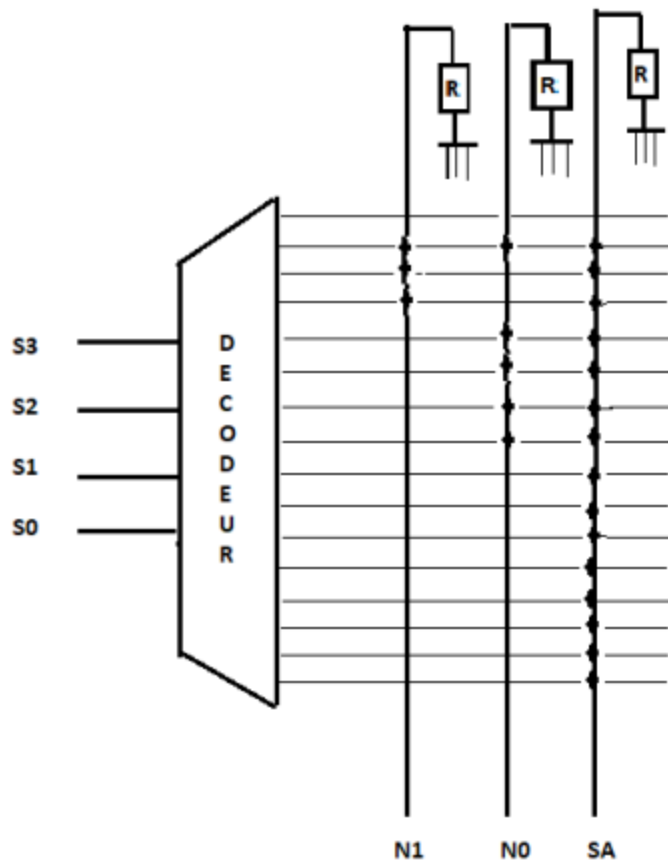


Schéma du circuit de la ROM

### Exercice 3:(6 points)

*Compétences à valider :Concevoir des circuits à base de mémoires.*

On désire réaliser une LIFO qui pourra être lue par deux processeurs différents P0 ou P1. Les mots de la LIFO sont composés de deux champs:

Info	NP: N° du processeur qui doit recevoir l'info
------	---

Lorsqu'un mot est écrit dans la LIFO, les deux champs sont écrits en même temps.

La lecture dans la LIFO est réalisée par un circuit CL. Lorsqu'un processeur demande une lecture à l'aide d'une commande DLi (i représente le numéro du processeur), CL vérifie d'abord le numéro NP du mot qui se trouve dans l'étage de sortie de la LIFO et le numéro du processeur. La lecture ne peut se faire que si la LIFO n'est pas vide et que le numéro qui se trouve dans le champ NP du mot est le même que le numéro du processeur :

- Si les deux numéros sont les mêmes, alors le mot est lu par la commande DL et le champ information est envoyé vers le bus du processeur Pi qui a demandé la lecture.
- Si les deux numéros sont différents, alors la lecture ne se fait pas.

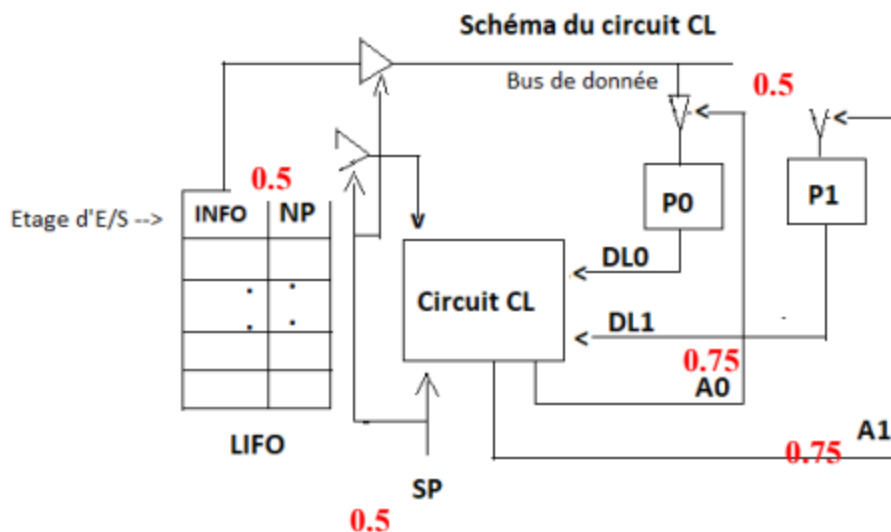
**Attention: les deux processeurs peuvent demander des lectures en même temps.**

## Questions:

1. Représenter sur un schéma les entrées et les sorties du circuit CL, ainsi que les connexions avec les différents processeurs, avec les bus de données et avec la LIFO (ne pas détailler l'intérieur de la LIFO ni le contenu du circuit CL).
2. Représenter la table de vérité du circuit CL.
3. Réaliser le circuit CL en utilisant une ROM et un minimum de circuit.

## Corrigé exercice 3

### 1. Schéma du circuit CL(3 points)



#### Légende

- INFO : Information
- NP : Numéro processeur
- SP : Sortie prête (Pile non vide)
- DL0 : Demande lecture P0
- DL1 : Demande lecture P1
- A0 : Accès à la donnée pour P0
- A1 : Accès à la donnée pour P1



## 2. Table de vérité du circuit CL(0.25\*6=1.5 pts)

Posons que  $P0 > P1$  dans notre cas.

PV	DL0	DL1	NP	A0	A1
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	0	0	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	0
0	1	1	0	1	0
0	1	1	1	0	0
1	x	x	x	0	0

### Légende

PV : Pile vide

DL0 : Demande de lecture formulé par P0

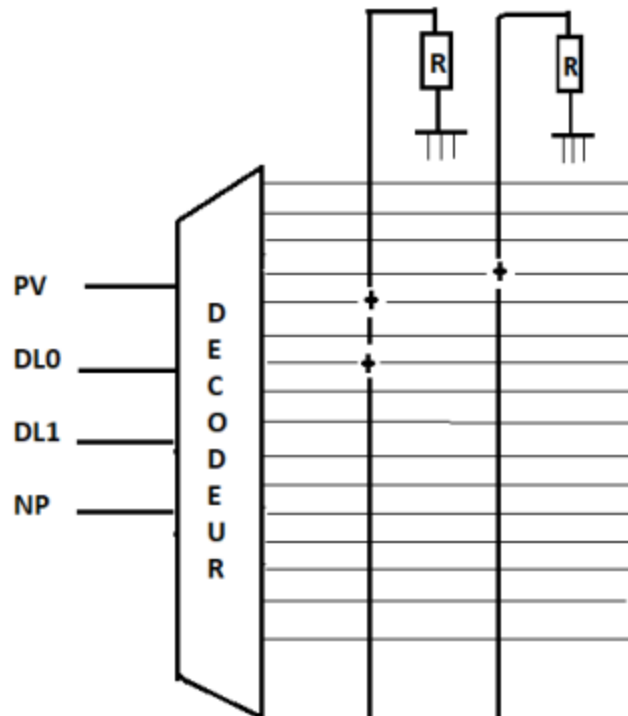
DL1 : Demande de lecture formulé par P1

NP : Numéro du processeur dans l'étage d'E/S de la Pile

A0 : Récupération de la donnée (INFO) sur le bus de donnée par P0

A1 : Récupération de la donnée (INFO) sur le bus de donnée par P1

### 3. ROM du circuit CL(1.5 pts)



Les équations :

$$A0 = SP \cdot DL0 \cdot \overline{NP}$$

$$A1 = SP \cdot DL1 \cdot \overline{DL0} \cdot NP$$

#### **Exercice 4 : (4 points)**

***Compétence à valider : Concevoir des systèmes à base de circuits mémoires.***

On veut réaliser un circuit qui contrôle le service permettant de transporter les jeunes filles et les garçons depuis 2 résidences universitaires vers notre école, à l'aller et au retour.

Les informations qui arrivent sont stockées, dans leur ordre d'arrivée, dans une mémoire M1. Chaque mot de cette mémoire contient les champs suivants :

- 1- Numéro du Bus (6 bits)
- 2- Sens de circulation (booléen)
  - Aller : 0
  - Retour : 1
- 3- Résidence (booléen)
  - Filles : 0
  - Garçons : 1

#### 4- Nombre de passagers du bus (8 bits)

On veut répartir les informations lues dans cette mémoire M1, vers 4 mémoires de destination, en préservant l'ordre d'arrivée des informations :

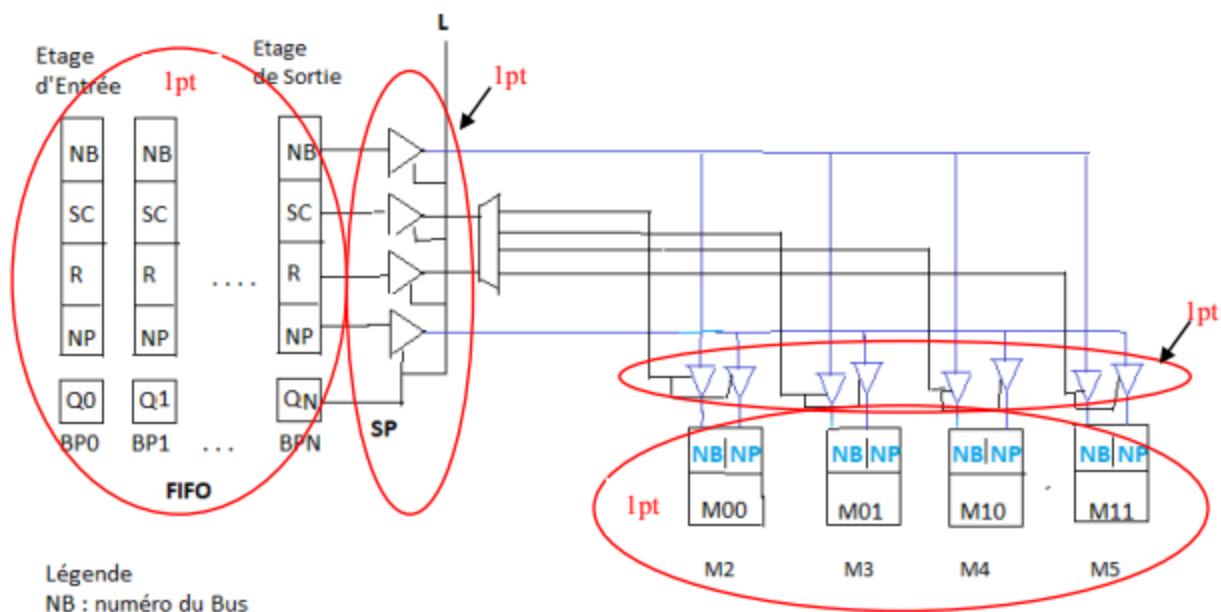
- M2 : contient les voyages dans le sens de l'aller, depuis la résidence de jeunes filles
- M3 : contient les voyages dans le sens du retour, vers la résidence de jeunes filles
- M4 : contient les voyages dans le sens de l'aller, depuis la résidence de garçons
- M5 : contient les voyages dans le sens du retour, vers la résidence de garçons

#### Questions :

**Faire le schéma du circuit représentant la mémoire d'entrée, les mémoires de destination et le circuit de contrôle, en fonction des types de trajet et de passagers. Détailler toutes les connexions entre les différents circuits mémoires et avec le circuit de sélection.**

### Corrigé exercice 4

### Schéma du circuit



### Légende

NB : numéro du Bus

SC : sens de circulation

R : résidence Fille ou garçon

NP: nombre de passagers

$$SP=Q_n=L$$

Nom :	Prénom :
Groupe :	

### **Exercice 5 : (3 points)**

#### *Compréhension des notions théoriques du cours*

1.	<p><b>Cochez la ou les réponse(s) correcte(s):</b></p> <p><input type="checkbox"/> le rafraîchissement transparent est plus intéressant pour les mémoires de grande capacité ;</p> <p><input type="checkbox"/> le mode bloqué ne garantit pas de rafraîchir tous les mots de la mémoire ;</p> <p><input type="checkbox"/> le rafraîchissement par vol de cycle est plus rapide sur les mémoires statiques ;</p> <p><input type="checkbox"/> le rafraîchissement bloqué donne la priorité à l'UC.</p>
2.	<p><b>Cochez la ou les réponse(s) correcte(s):</b></p> <p><input type="checkbox"/> l'organisation purement associative est plus rapide que le placement direct ;</p> <p><input type="checkbox"/> le placement direct divise la mémoire cache en plusieurs blocs ;</p> <p><input checked="" type="checkbox"/> <b>l'écriture immédiate en MC et en cache ralentit l'UC ;</b></p> <p><input type="checkbox"/> LRU signifie Latence Réduite Universelle.</p>
3.	<p><b>Cochez la ou les réponse(s) correcte(s):</b></p> <p><input type="checkbox"/> les EEPROM peuvent remplacer les RAM ;</p> <p><input checked="" type="checkbox"/> <b>les EEPROM sont des mémoires mortes effaçables et reprogrammables ;</b></p> <p><input type="checkbox"/> les ROM sont composées de cellules à base de condensateurs ;</p> <p><input type="checkbox"/> les EEPROM utilisent des rayons ultraviolets pour être effacée.</p>