Institut National de formation

Mercredi 21 Juin 2000.

de formation en Informatique

Examen de remplacement de Structure Machines 2^{ème} année - 2ème Semestre

Durée: 2^h00. Tous documents interdits.

Attention: il sera tenu compte de la présentation de votre copie

Exercice I: (6 points)

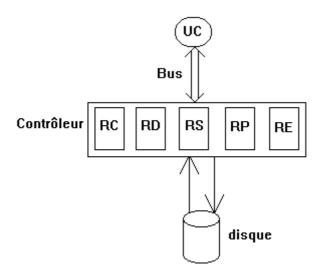
On dispose d'une mémoire associative composée de mots de 32 bits. Cette mémoire contient des entiers positifs codés sur 24 bits.

Question:

Donner l'algorithme qui effectue <u>en parallèle</u> la division par 2 de tous les nombres pairs de la mémoire. <u>L'algorithme devra s'exécuter en un minimum de cycles</u> (seul l'algorithme qui consomme le moins de cycles sera considéré).

Exercice II: (8 points)

Une unité de disque souple est reliée à l'unité centrale d'un ordinateur par l'intermédiaire du contrôleur représenté en figure suivante.



RC: Registre de Commandes. RD: Registre de Données. RS: Registre de Secteur.

RP: Registre de Piste. **RE:** Registre d'Etat.

Le répertoire de ce contrôleur comprend les commandes suivantes:

⇒ Recherche piste: SEEK adrpiste.
⇒ Lecture secteur: RS adrsecteur.
⇒ Ecriture secteur: WS adrsecteur.

L'unité centrale accède aux registres (de 8 bits chacun) du contrôleur au moyen des instructions suivantes:

⇒ LDA	RD	(chargement de RD dans l'accumulateur).
⇒ LDA	RE	(chargement de RE dans l'accumulateur).
⇒ STA	RD	(rangement de l'accumulateur dans RD).
⇒ STA	RC	(rangement de l'accumulateur dans RC).
⇒ STA	RS	(rangement de l'accumulateur dans RS).
⇒ STA	RP	(rangement de l'accumulateur dans RP).

Les bits **B0--B7** du registre d'état **RE** sont positionnés par le contrôleur pour indiquer l'état de l'unité et d'une entrée/sortie:

Questions:

Ecrire le programme qui fait la lecture du secteur 21 de la piste 8 et du secteur 18 de la piste 10 et les range en mémoire centrale à partir de l'adresse # 2AB4. La taille d'un secteur est de 1 Koctets. Il est inutile de tenir compte des différents cas d'erreurs.

Exercice III: (6 points)

On désire réaliser deux **piles** en même dans temps à l'aide d'un seul boîtier RAM de 32 mots et **d'un minimum de circuits**. L'opération de lecture est prioritaire sur l'écriture.

- La première écriture dans la LIFO1 se fait à l'adresse 0 de la RAM.
- La première écriture dans la LIFO2 se fait à l'adresse 31 de la RAM.
- Les opérations sur la LIFO1 et la LIFO2 sont indépendantes les unes des autres.
- La LIFO1 est prioritaire sur la LIFO2.

Question:

Faire le schéma détaillé du circuit permettant de réaliser ces mémoires en donnant clairement les équations logiques des signaux suivants: Sélection de la RAM (CS), écritures réelles dans la RAM pour chaque pile, lecture réelle dans la RAM pour chaque pile, LIFO1 pleine, LIFO2 pleine, LIFO1 vide, LIFO2 vide, génération des adresses de lecture/écriture...