

Ecole nationale Supérieure
d'Informatique

Examen Intermédiaire
CPI 2^{ème} année.

31 Octobre 2011

Durée: 2 heures

Tous documents interdits

Soignez la présentation, un exercice illisible ne sera pas corrigé.

Exercice 1: (2 points)

On veut réaliser un circuit qui calcule les puissances d'un nombre entier positif. Le nombre, noté A est codé sur deux bits. La puissance du nombre, notée B est également sur deux bits.

Rappel : $A^0=1$

Convention : $0^0=1$

Question:

Réaliser, à l'aide d'une seule ROM de seize mots le circuit qui calcule A^B .

Exercice 2: (2 points)

On désire réaliser un circuit qui permet d'éviter le blocage des roues d'une voiture pendant le freinage. Pour cela, on a besoin de la vitesse de chacune des deux roues avant. Supposons que cette vitesse soit codée en binaire sur deux bits:

- VG1, VG0 pour la vitesse de la roue gauche.
- VD1, VD0 pour la vitesse de la roue droite.

Chacune des roues peut donc prendre 4 vitesses différentes.

Le circuit à réaliser génère deux commandes de freinage FG pour la roue gauche et FD pour la roue droite selon le mode de fonctionnement suivant:

- Si la vitesse des deux roues est la même, les deux commandes FG et FD sont à 0.
- Si la vitesse de la roue gauche est supérieure à celle de la roue droite, on freine la roue gauche seulement (FG=1, FD=0)
- Si la vitesse de la roue droite est supérieure à celle de la roue gauche, on freine la roue droite seulement (FG=0, FD=1).

Question:

Donner la table de vérité et le schéma de ce circuit en le réalisant à l'aide d'une ROM seulement.

Exercice 3: (4 points)

Soit une mémoire LIFO contenant 16 mots. Les informations contenues dans la LIFO sont dans un ordre quelconque. On veut trier ces données en les transférant dans une mémoire à accès aléatoire (RAM). Les données contenues dans la LIFO comportent 2 champs comme le montre la figure 1:

- un champ information,
- un champ numéro: ce champ contient un numéro associé à l'information. Ce numéro est unique et varie de 0 à 15.

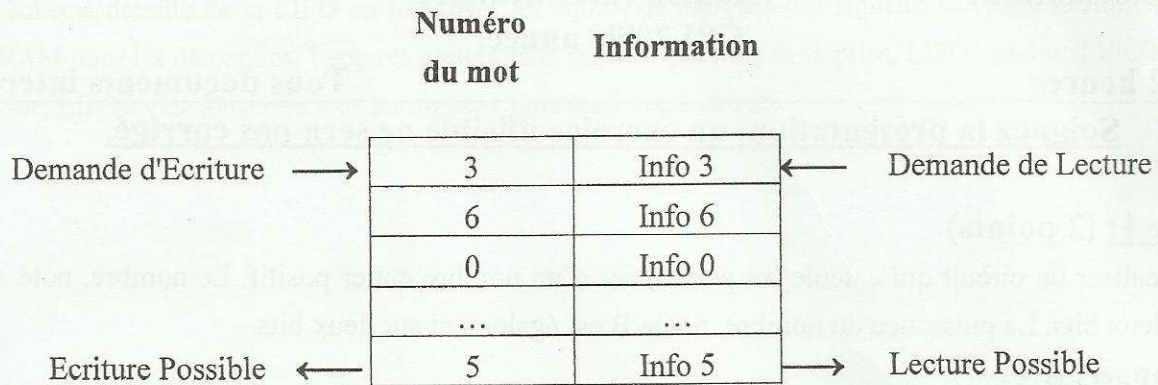


Figure 1: Exemple de contenu de la LIFO.

La LIFO est réalisée avec des registres à décalage sans utiliser de bascules de présence.

Chaque mot est lu dans la LIFO puis il est copié dans la RAM à l'adresse correspondant à son numéro.

Exemple: l'info 3 est copiée dans le mot d'adresse 3.

La figure 2 montre le résultat du tri et de l'écriture dans la RAM.

Informations	Adresses
Info 0	0
Info 1	1
.	.
.	.
.	.
Info 15	15

Figure 2: Contenu de la RAM après le tri et les écritures.

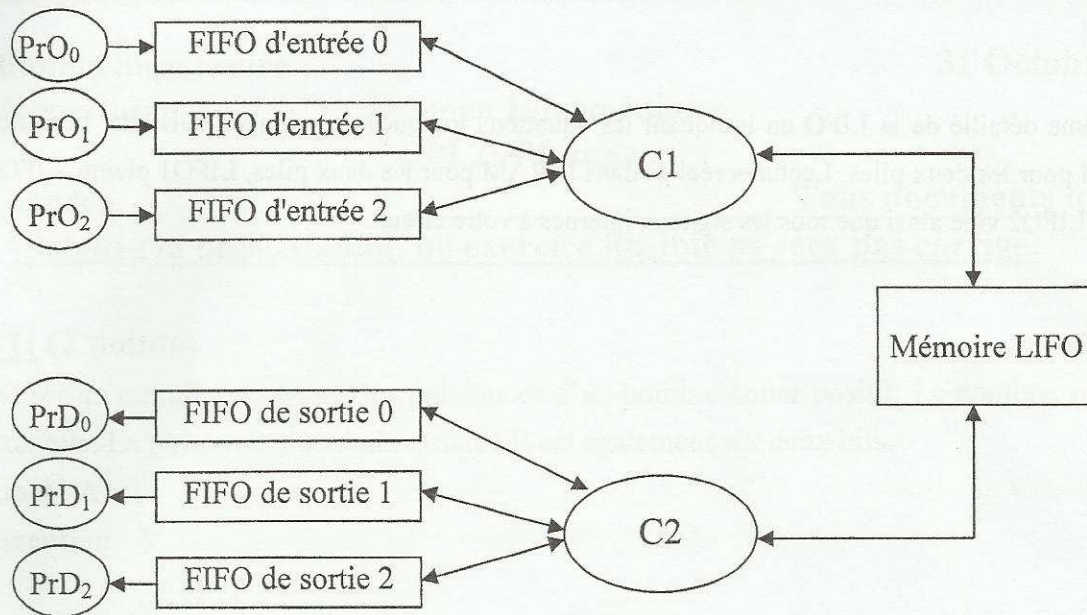
Questions:

- 1- Donner le schéma détaillé de la LIFO, en détaillant les signaux: **Ecriture_Possible**, **Lecture_Possible**, **Décalage_BAS**, **Décalage_HAUT**.
- 2- Donner le schéma complet avec la RAM en détaillant les signaux suivants: **Ecriture_RAM**, **Lecture_LIFO**, et en détaillant le circuit de gestion des adresses de la RAM.

Exercice 4 : (6 points)

Soit un circuit de communication entre des processeurs comme le montre la figure. Ce circuit est composé de:

- 3 mémoires FIFO d'entrée;
- une mémoire LIFO d'une capacité de 16 mots;
- 3 mémoires FIFO de sortie;
- un circuit C1 de lecture, depuis les FIFO d'entrée, des données qui seront écrites dans la LIFO.
- un circuit C2 d'écriture, dans les FIFO de sortie, des données lues en LIFO.



Le circuit fonctionne de la manière suivante:

- Les FIFO d'entrée reçoivent les données de 3 processeurs "ORIGINES" (PrO₀ à PrO₂);
- Le circuit C1 lit les données depuis les FIFO d'entrée et les envoie vers la LIFO, dans l'ordre de priorité suivant: PrO₀ > PrO₁ > PrO₂;
- Un champ « Numéro de processeur » est concaténé à la donnée et stocké dans la LIFO en même temps que le champ « donnée ».
- Lorsque la LIFO est pleine, l'opération d'écriture est bloquée..
- Le circuit de gestion de la LIFO lit toutes les données une par une et les envoie vers le circuit C2.
- Le circuit C2 envoie les données vers les FIFO de sortie en fonction du numéro de la FIFO d'entrée correspondante (en fonction du champ « Numéro de processeur » correspondant). Par exemple: les données de PrO₀ sont écrites dans la FIFO de PrD₀, ...
- Les FIFO de sortie reçoivent les données qui seront ensuite lues par le processeur "DESTINATION" correspondant (PrD₀ à PrD₂).
- Lorsque les 16 mots de la LIFO sont lus, les écritures dans la LIFO reprennent et les lectures sont bloquées.

Questions:

1. Donner le schéma détaillé des entrées et sorties du circuit C1 en détaillant tous les liens avec les FIFO d'entrée et la LIFO. Préciser sur le schéma comment se fait le choix de la donnée à écrire en LIFO et la génération du numéro du processeur origine correspondant.
2. Donner la table de vérité et le schéma interne du circuit C1 en utilisant une ROM.
3. Donner le schéma détaillé des entrées et sorties du circuit C2 en détaillant tous les liens avec les FIFO de sortie et la LIFO.
4. Donner la table de vérité et le schéma interne du circuit C2 en utilisant une ROM.

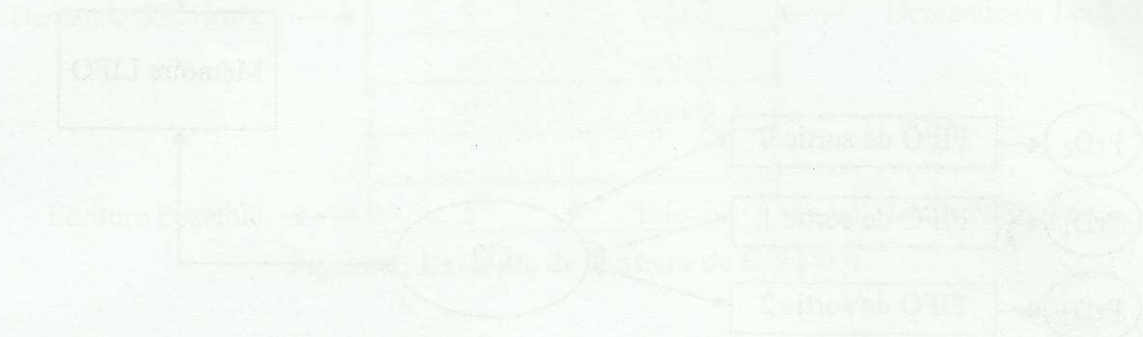
Exercice 5 : (6 points)

On désire réaliser deux mémoires **LIFO** à l'aide d'un seul boîtier RAM de 32 mots et **d'un minimum de circuits**. L'opération de lecture est prioritaire sur l'écriture.

- La première écriture dans la LIFO1 se fait à l'adresse 0 de la RAM.
- La première écriture dans la LIFO2 se fait à l'adresse 31 de la RAM.
- Les opérations sur la LIFO1 et la LIFO2 sont indépendantes les unes des autres.
- La LIFO1 est prioritaire sur la LIFO2.

Question:

Faire le schéma détaillé de la LIFO en indiquant les équations logiques des signaux suivants: Ecritures réelles dans la RAM pour les deux piles, Lectures réelles dans la RAM pour les deux piles, LIFO1 pleine, LIFO2 pleine, LIFO1 vide, LIFO2 vide ainsi que tous les signaux internes à votre circuit.



**Ecole nationale Supérieure
d'Informatique**

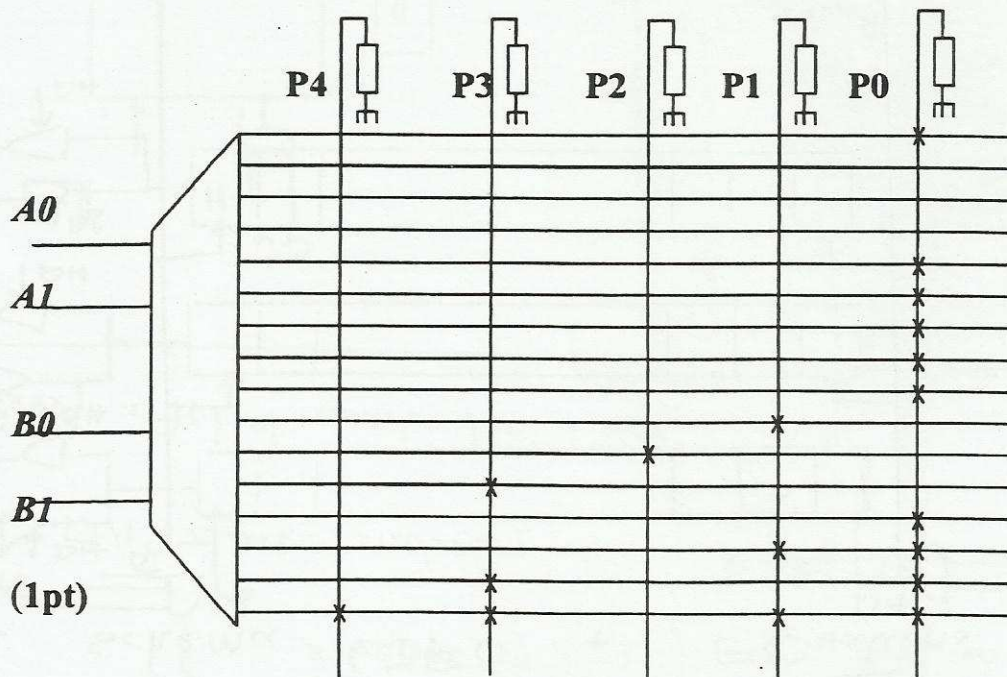
**Solution de l'Examen Intermédiaire
CPI 2^{ème} année.**

Exercice 1(2pts)

$$P = A^B$$

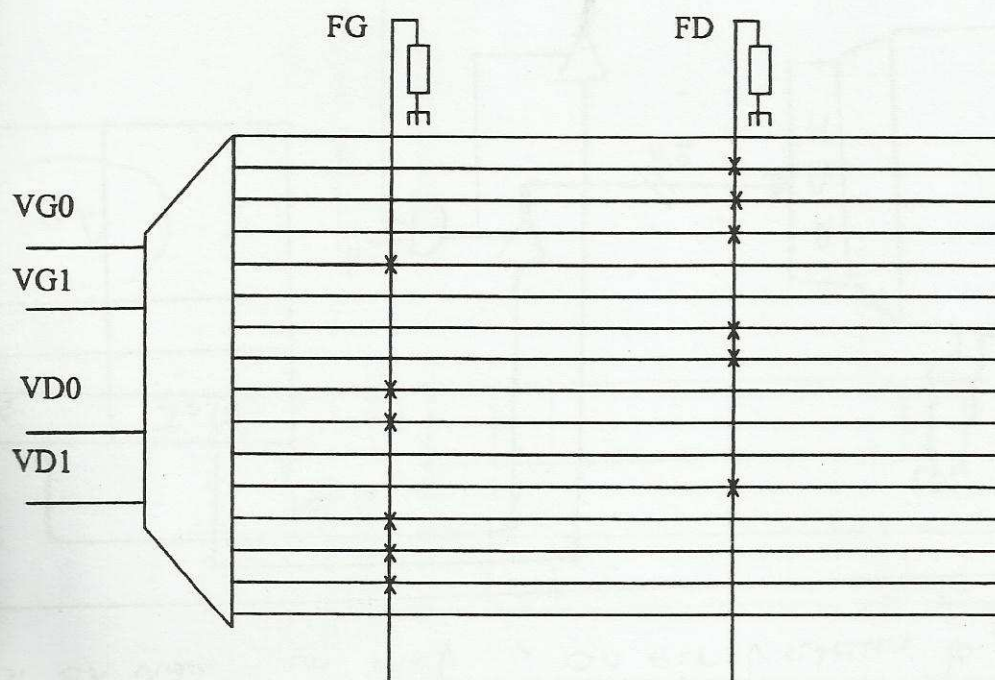
Table de vérité (1pt)

	A1	A0	B1	B0	P4	P3	P2	P1	P0
1	0	0	0	0	0	0	0	0	1
2	0	0	0	1	0	0	0	0	0
3	0	0	1	0	0	0	0	0	0
4	0	0	1	1	0	0	0	0	0
5	0	1	0	0	0	0	0	0	1
6	0	1	0	1	0	0	0	0	1
7	0	1	1	0	0	0	0	0	1
8	0	1	1	1	0	0	0	0	1
9	1	0	0	0	0	0	0	0	1
10	1	0	0	1	0	0	0	1	0
11	1	0	1	0	0	0	1	0	0
12	1	0	1	1	0	1	0	0	0
13	1	1	0	0	0	0	0	0	1
14	1	1	0	1	0	0	0	1	1
15	1	1	1	0	0	1	0	0	1
16	1	1	1	1	1	1	0	1	1



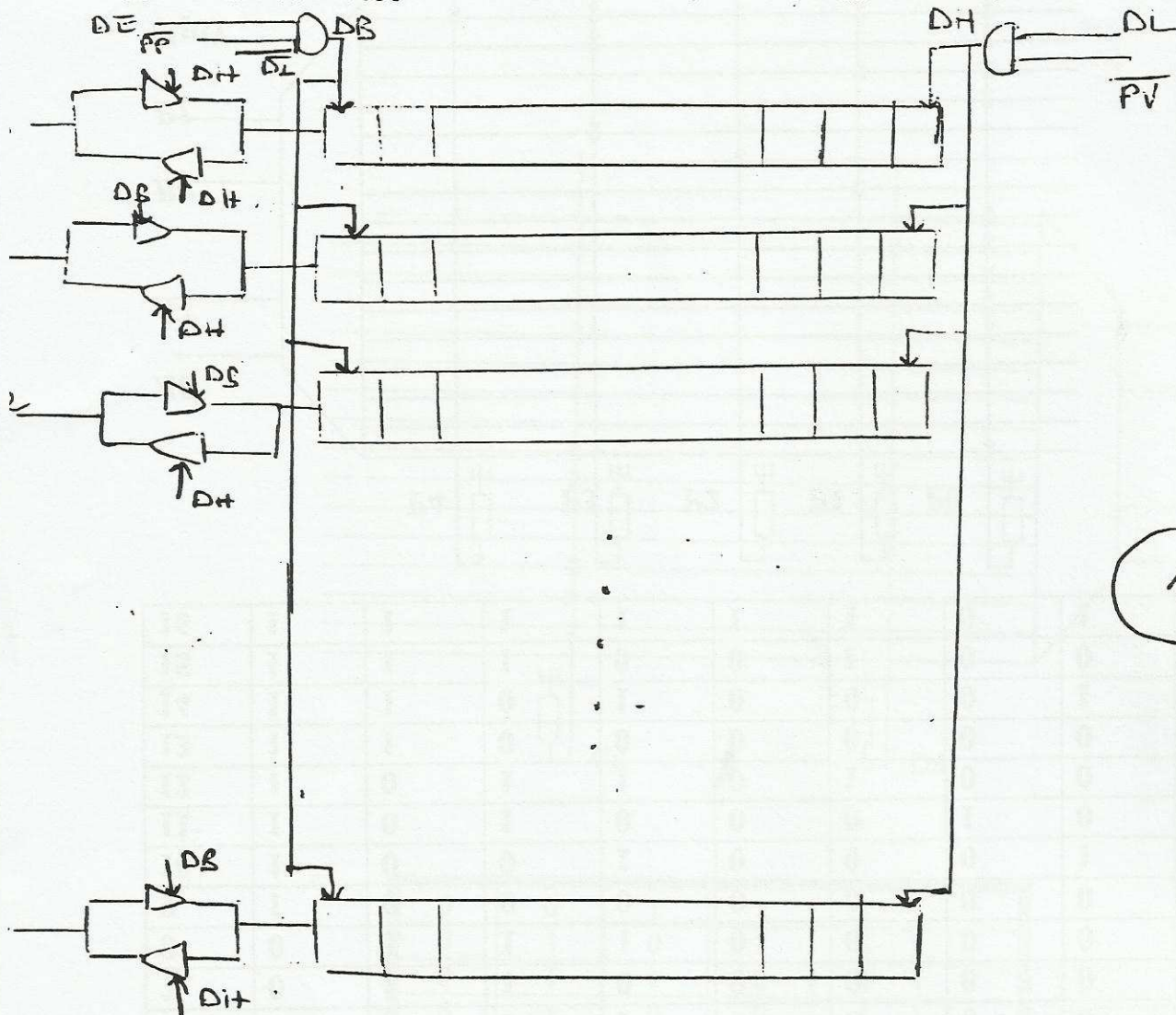
Exercice 2(2PTS)**Table de vérité: (1 pt)**

VG1	VG0	VD1	VD0	FG	FD
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	0	0	1
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	0
0	1	1	0	0	1
0	1	1	1	0	1
1	0	0	0	1	0
1	0	0	1	1	0
1	0	1	0	0	0
1	0	1	1	0	1
1	1	0	0	1	0
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	0	0

**(1 pt)**

Exercice 03

1 schéma LIFO + Equations



Equations

Ecriture - possible = \overline{PP} 0,25

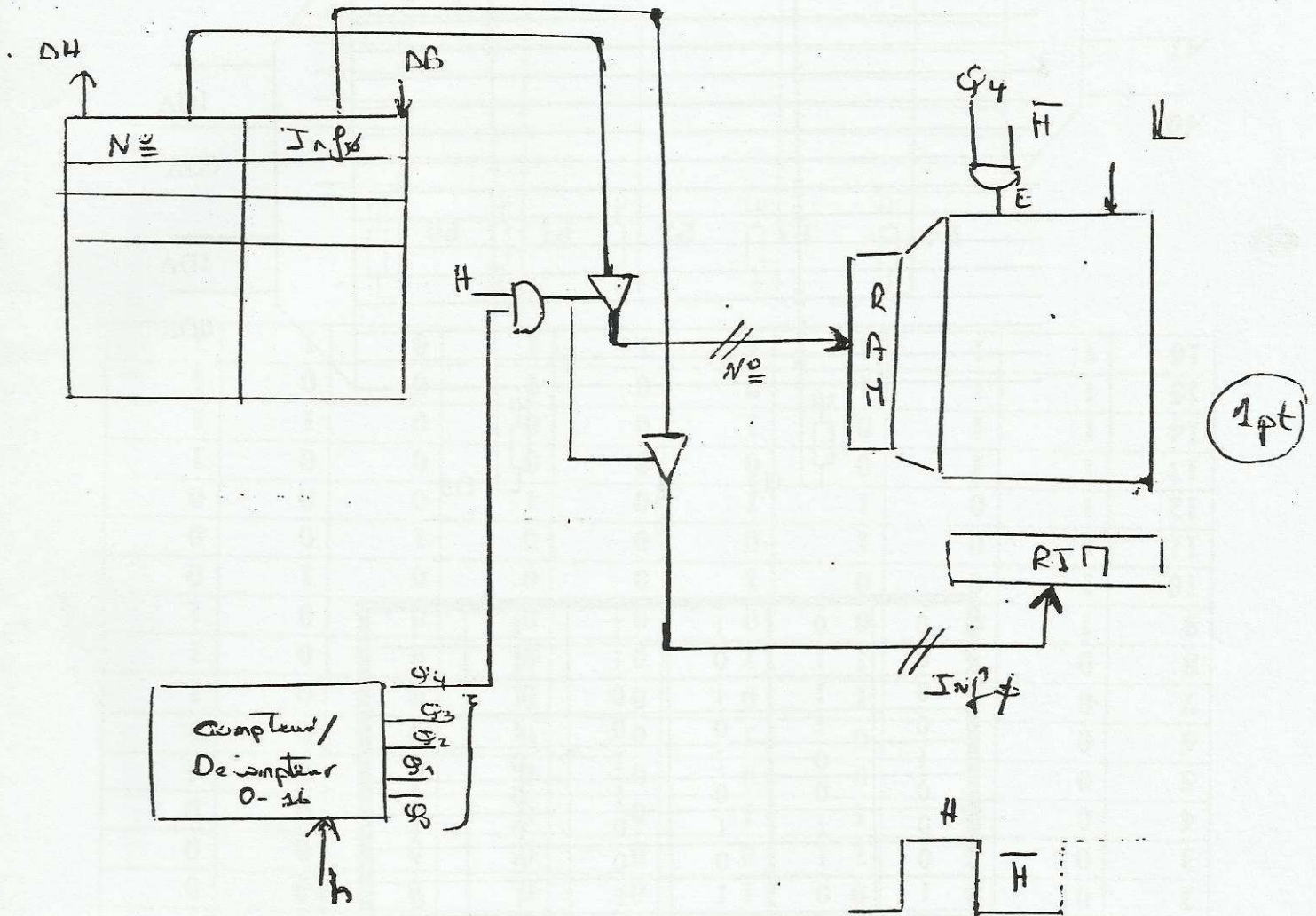
Lecture - possible = \overline{PV} 0,25

Décalage - Haut = $DH = DL \cdot \overline{PV}$ 0,25

Décalage - Bas = $DB = DE \cdot \overline{PP} \cdot \overline{DL}$ 0,25

2. schéma + Equations

- L'écriture se fait au fur et à mesure
- Une fois LIFO pleine \Rightarrow écriture dans RAM
- Si on vide un mot, on écrit dans la LIFO (xxx...x)



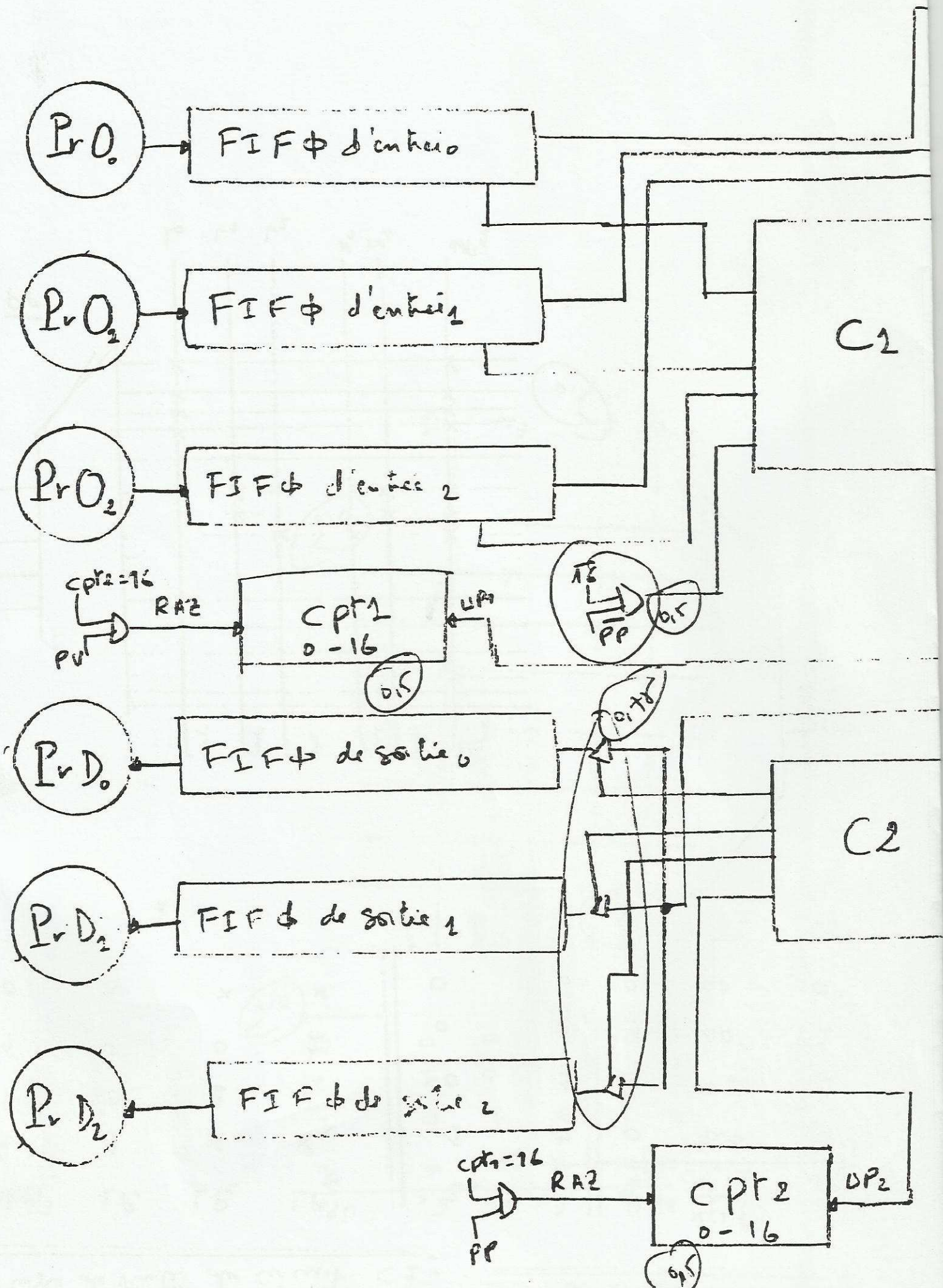
PP = 16 = Max

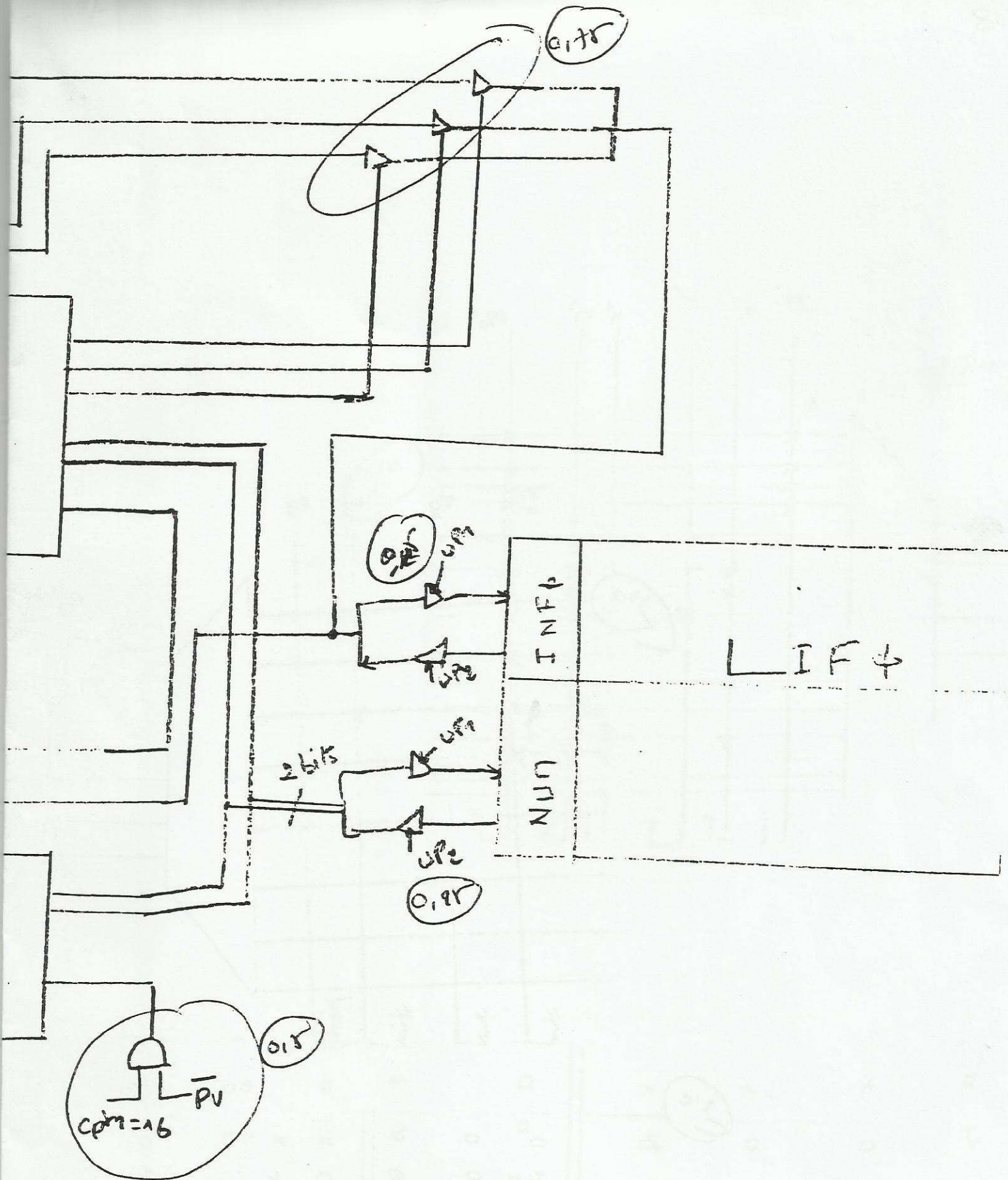
PV = 0 = Zero

Lecture LIFO = pile pleine - H

Ecriture RAM = pile pleine - H

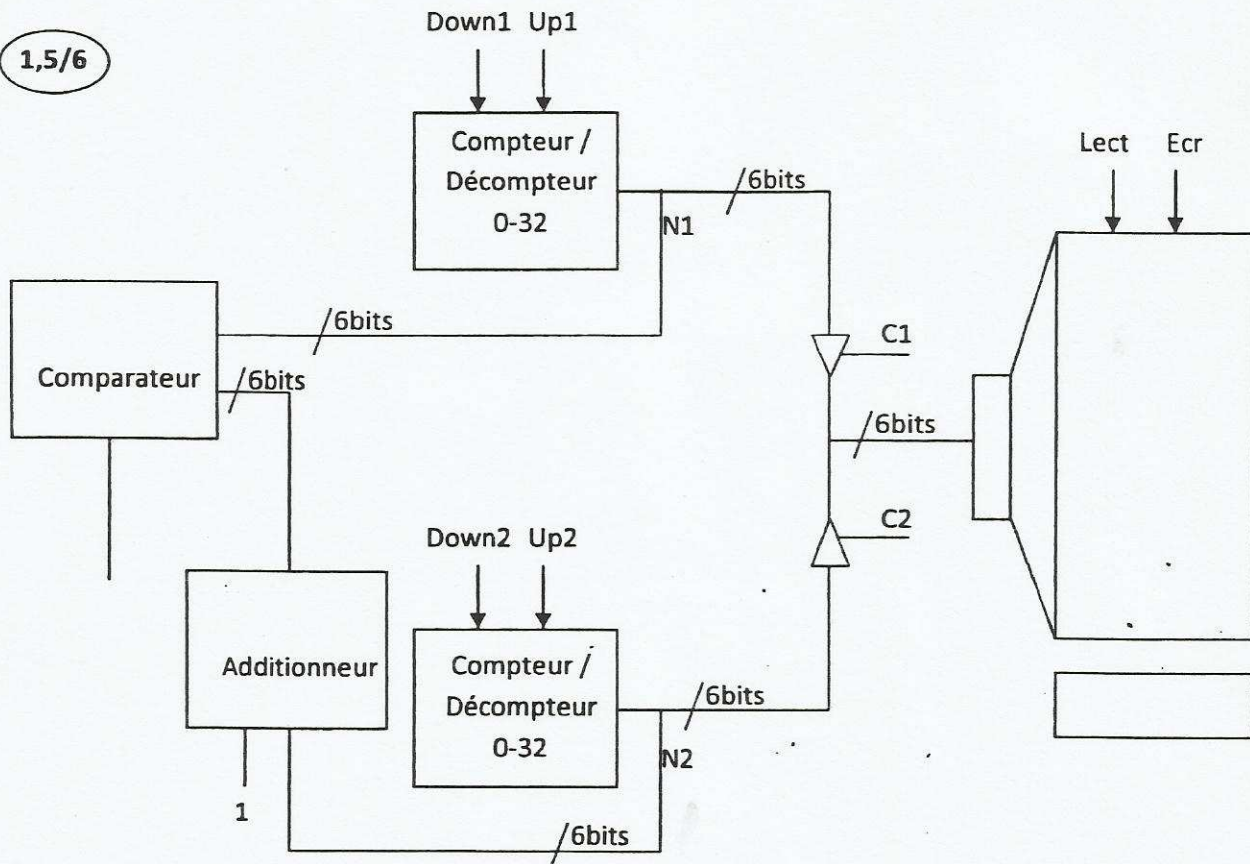
1pt





Exercice 5 :

1,5/6



1/6

PV1 : N1=0

PV2 : N2=31

PP1 : N1=N2+1

PP2 : N1=N2+1

C1=(Ecr1 ⊕ Lect1).H1

C2=(Ecr2 ⊕ Lect2).H1

1,5/6

$Ecr1 = \overline{DE1} \cdot \overline{PP1} \cdot \overline{DL1} \cdot H2$

$Lect1 = \overline{DL1} \cdot PV1 \cdot H2$

$Up1 = \overline{DE1} \cdot \overline{PP1} \cdot \overline{DL1} \cdot H2$

$Down1 = \overline{DL1} \cdot PV1 \cdot H2$

2/6

$Ecr2 = (DE2 \cdot \overline{PP2} \cdot \overline{DL2} \cdot H2) \cdot (\overline{Ecr1} \cdot \overline{Lect1})$

$Lect2 = (DL2 \cdot \overline{PV2} \cdot H2) \cdot (\overline{Ecr1} \cdot \overline{Lect1})$

$Up2 = (DL2 \cdot \overline{PV2} \cdot H2) \cdot (\overline{Ecr1} \cdot \overline{Lect1})$

$Down2 = (DE2 \cdot \overline{PP2} \cdot \overline{DL2} \cdot H2) \cdot (\overline{Ecr1} \cdot \overline{Lect1})$