Juin 2007

Institut National en Informatique Durée: 2h.

EMD3 de Structure Machines - 2ème année.

Tous documents interdits.

Partie I:

Rédigez les parties I et II sur des copies séparées.

Les exercices appartenant à des parties différentes et rédigés sur la même copie ne seront pas corrigés.

Exercice 1: (6 points)

Soit une machine disposant d'un système d'interruptions hiérarchisé. Ce système permet de valider ou invalider un système d'It, Masquer un niveau et inhiber une cause. Il permet de recevoir 8 causes d'interruption réparties comme suit:

Niveau 0:

* Cause 0 : It alimentation:

Niveau 1:

* Cause 1 et cause 2 : It contrôleurs d'entrées/sorties;

Niveau 2:

*Cause 3: It contrôleur d'Entrées/Sorties;

*Cause 4 : It contrôleur d'Entrées/Sorties:

Niveau 3:

*Cause 5 : It contrôleur d'Entrées/Sorties;

* Cause 6 : Inhibée;

Niveau 4: * Cause 7: It contrôleur d'Entrées/Sorties.

Remarque:

Un Niveau 5 existe, mais il est réservé aux interruptions internes (ne pas représenter ce niveau sur le schéma mais il faut réserver un bit dans le registre masque).

Question:

1. Faire un schéma détaillé du système d'It en indiquant le coi tenu des registres importants au démarrage de la machine.

Soit la séquence d'interruptions suivante:

- Allumage de la machine;
- Lancement d'un programme de niveau 5
- Signal de niveau 0 cause 0 pendant l'exécution du programme;
- Arrivée d'un Signal de niveau 1, cause 2 pendant la phase précédente;
- Arrivée d'un Signal de niveau 3, cause 5 pendant la phase précédente;

Questions:

- 2. Faire un schéma complet de la séquence en affectant à chaque étape une étiquette (exemple : Instant A, Instant B...). Identifiez clairement chacune des étapes importantes de la séquence comme vous l'avez vu en cours.
- 3. Indiquer le contenu de la pile et du registre masque à chaque instant. Ajouter une bascule pour le niveau 5 dans le registre masque.

Exercice 2: (4 points)

Soit une machine disposant d'un système d'interruptions hiérarchisé. Ce système permet de valider ou invalider un système d'It, Masquer un niveau et inhiber une cause. Il permet de recevoir 16 causes d'interruption réparties comme suit:

Niveau 0: *4 Causes IT contrôleurs d'entrées-sorties;
Niveau 1: *4 Causes IT contrôleurs d'entrées-sorties;
Niveau 2: *4 Causes IT contrôleurs d'entrées-sorties;
Niveau 3: *4 Causes IT contrôleurs d'entrées-sorties.

La reconnaissance de la cause d'interruption se fait par daisy-chain (une cellule daisy chain pour chaque niveau).

La reconnaissance dans un même niveau se fait par un encodeur de priorité.

Questions:

- 1- Faire un schéma détaillé du système d'It en montrant les connexions des différents circuits entre eux et avec l'unité centrale.
- 2- Faire le schéma détaillé d'une cellule daisy-chain. Montrer clairement dans le schéma les entrées et les sorties de la cellule et comment se fait la reconnaissance d'une cause dans un niveau.

Rédigez les parties I et II sur des copies séparées.

Les exercices appartenant à des parties différentes et rédigés sur la même copie ne seront pas corrigés.

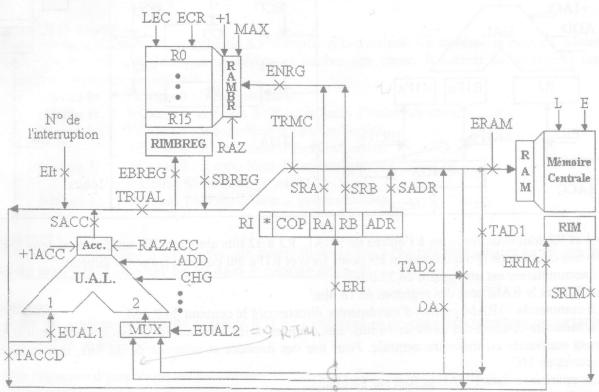
Partie II:

Rédigez les parties I et II sur des copies séparées.

Les exercices appartenant à des parties différentes et rédigés sur la même copie ne seront pas corrigés.

Exercice 3: (6 points)

Soit la machine suivante :



MUX est un multiplexeur qui permet de choisir d'où vient l'information en entrée 2 de l'UAL. La commande EUAL2 est l'entrée adresse du multiplexeur. Elle permet de choisir l'entrée du multiplexeur (Sortie du RIM ou bus d'adresse).

Si EUAL2=0, l'entrée provient du RIM, sinon elle provient du bus d'adresse.

Questions:

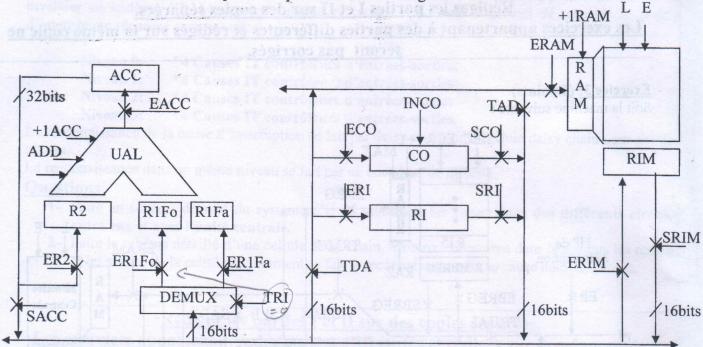
1. Décrire le déroulement d'une instruction de branchement inconditionnel en mode indirect. Détailler les microcommandes générées par le séquenceur.

2. Décrire le déroulement d'une instruction de chargement, dans l'accumulateur, du mot mémoire pointé par l'adresse contenue dans le registre dont le numéro est dans le champ RA. <u>Détailler les microcommandes générées par le séquenceur</u>.

Pour les deux questions précédentes, utiliser uniquement les feuilles qui vous sont remises.

Exercice 4: (4 points).

Soit une machine élémentaire représentée par le schéma de la figure:



R1 et R2 sont deux registres à l'entrée de l'UAL. R2 a 32 bits alors que R1 est divisé en deux parties de 16 bits chacune (R1Fo qui contient les poids forts et R1Fa qui contient les poids faibles).

L'accumulateur est un registre de 32 bits.

Le RIM et le RAM sont des registres de 16 bits.

La commande +1RAM permet d'incrémenter directement le contenu du RAM.

La mémoire contient des mots de 16 bits. Les données et les adresses de 32 bits sont décomposées sur 2 mots successifs en mémoire centrale. Pour lire ces données et adresses de 32 bits, il faut faire deux lectures en MC.

Les opérations dans l'UAL se font sur 32 bits.

DEMUX: Demultiplexeur qui permet d'envoyer l'information du bus d'adresse soit vers les poids forts ou les poids faibles de R1. L'entrée adresse du multiplexeur est TRI:

Si TRI = 0, l'entrée du demultiplexeur est envoyée vers les poids forts du registre R1 (R1Fo);

Sinon, l'entrée du demultiplexeur est envoyée vers les poids faibles du registre R1 (R1Fa);

CHA: Chargement de l'accumulateur avec le contenu du registre REU1;

+1ACC: incrémentation de l'accumulateur

Question:

Donner les micro-instructions et microcommandes de l'instruction de <u>format court</u> permettant <u>l'addition</u> <u>en mode direct</u> du contenu de l'accumulateur avec un opérande de 32 bits qui se trouve en mémoire centrale. Les deux demi-mots de l'opérande (chacun sur 16 bits) sont dans des adresses successives en mémoire centrale. Leur adresse début se trouve dans le champ adresse du RI.

<u>Utilisez uniquement la feuille qui vous est remise pour répondre à cet exercice.</u> <u>Détailler les microcommandes générées par le séquenceur.</u>

*** Bon courage ***