

**Institut National
de formation
en Informatique**

Jeudi 30 Décembre 1993.

**EMD N° 1 de Structure Machines
2^{ème} année.**

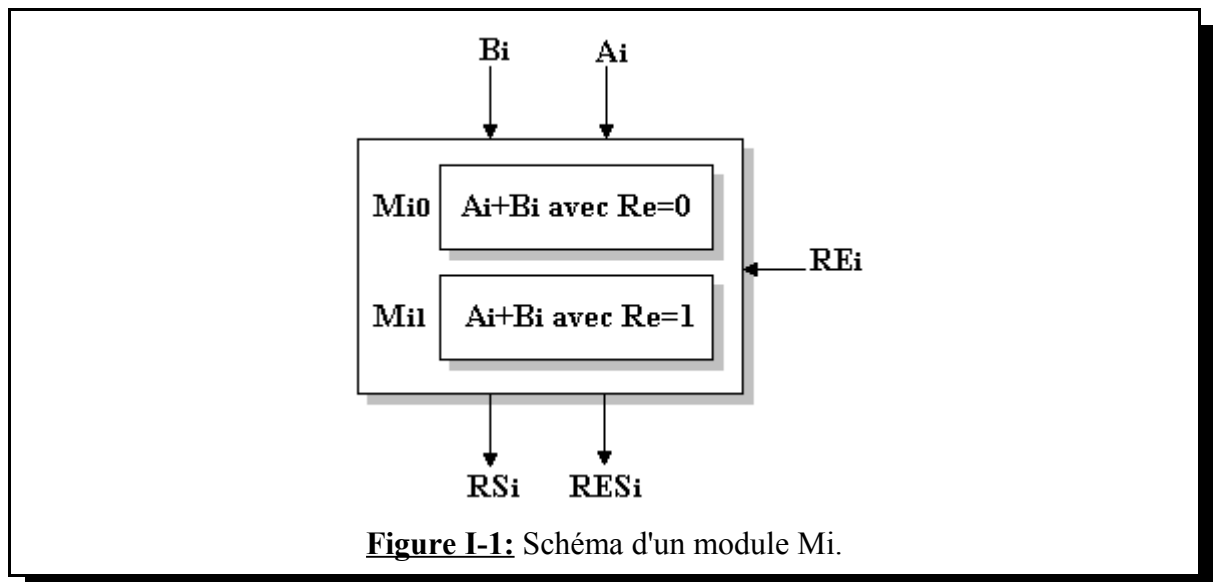
Durée: 2 heures.

Documents interdits

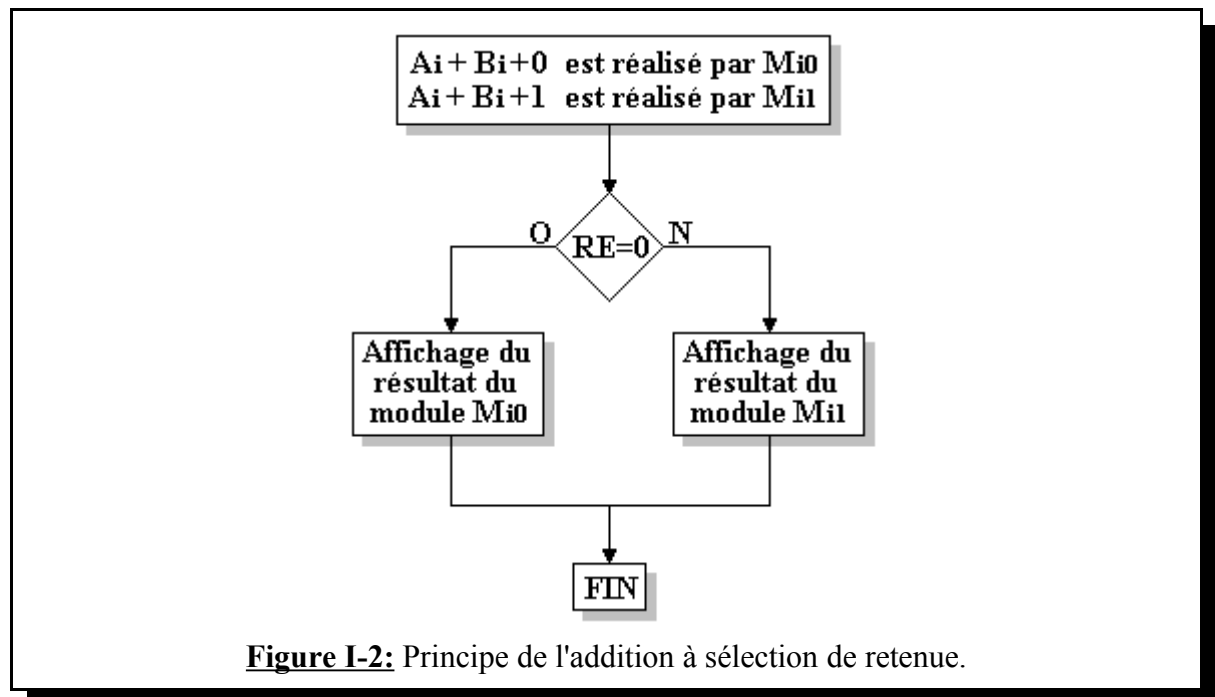
Exercice I: (4 points).

On désire réaliser un additionneur de deux mots de 2 bits à l'aide d'additionneurs de mots de 1 bit. Si on utilise les additionneurs à propagation de retenue, le second étage est obligé d'attendre que le premier (poids faible) ait terminé le calcul avant de pouvoir commencer l'addition (puisqu'elle dépend de la retenue entrante). Nous désirons accélérer le calcul en utilisant le principe des additionneurs à sélection de retenue.

Le principe de l'addition avec sélection de retenue est le suivant :
Pour chaque étage d'addition M_i (figure I-1), deux additionneurs de 1 bit travaillent en parallèle. Le premier considère que la retenue entrante est à '0' (additionneur M_{i0}) et l'autre considère qu'elle est à '1' (additionneur M_{i1}). Une fois que la retenue entrante RE_i est connue (elle correspond à la retenue sortante RS_{i-1} du module M_{i-1}), il ne reste plus qu'à "choisir" le résultat correct qui a déjà été calculé par l'un des deux additionneurs et qui sera affiché.



L'organigramme de la figure I-2 illustre le principe de l'addition à sélection de retenue:

**Question:**

1) Réaliser, à l'aide de deux ROM de quatre mots de quatre bits et d'un minimum de circuits, un additionneur de deux mots de deux bits chacun, en utilisant le principe de la sélection de retenue.

Exercice II:

A- On désire réaliser une mémoire de **2 Méga mots de 4 bits**, organisée en modules de **512 Kilo mots**. Chaque module est formé de **4 blocs entrelacés**. On utilise pour cela des boîtiers de **64 Kilo mots de 4 bits**.

Question : (5 points)

Faire le schéma de la mémoire en détaillant un bloc (représenter toutes les connexions en précisant le poids des bits d'adresses).

B- Certaines défaillances de la mémoire peuvent être détectées en ajoutant un bit de parité à chaque mot de la mémoire.

- Lors d'une opération d'écriture, un bit de parité est généré par un **circuit de parité** et écrit en même temps que le mot en mémoire centrale.
- Lors d'une opération de lecture, le circuit de parité recalcule le bit de parité correspondant au mot lu et le compare au bit de parité rangé avec le mot lors de l'opération d'écriture. Un signal **d'erreur de parité** est mis à '1' par le circuit de parité si les 2 bits sont différents.

Le bit de parité P d'un mot est à '1' si le nombre de bits égaux à '1' est pair. Il est à '0' si le nombre de bits à '1' est impair.

Exemple:

A ₁	A ₀	P
0	0	1
0	1	0
1	0	0
1	1	1

Questions: (4 points)

B-1- Quelle est la nouvelle taille du mot en mémoire centrale ?

B-2- Représenter les entrées et les sorties du circuit de parité.

B-3- Faire le schéma détaillé du circuit de parité en utilisant une **ROM de 4 mots de 1 bit**.

C- On rajoute un boîtier dans chaque bloc pour ranger les bits de parité (un bit du boîtier de parité correspond à un mot du bloc).

Question: (5 points)

Représenter le schéma d'un bloc en réalisant le boîtier de parité à l'aide d'un boîtier de **32 Kilo mots de 4 bits** (représenter en détail toutes les connexions en précisant le poids des bits d'adresses).