

Módulo 3

Hierarquia de Memória: Organização

Exercício 1 - A tabela abaixo apresenta na coluna da esquerda uma sequência de endereços ($m=5$) de acesso à memória gerados por um determinado programa. As três colunas seguintes representam 3 diferentes modos de mapeamento numa *cache* que usa o algoritmo de substituição LRU. Preencha estas colunas indicando em que *set*/linha (dentro do *set*) mapeia cada endereço e indicando se se trata de um *cold miss*, colisão ou de um *hit* (veja o exemplo na 1ª linha). Considere a cache inicialmente fria. Finalmente indique na última linha a *miss rate* observada.

Sugestão: Para cada organização mantenha um registo do valor da *tag* para cada linha.

Addr	(S=4, E=1,B=2,m=5)	(S=1, E=4,B=2,m=5)	(S=2, E=2,B=2,m=5)
5 (00101)	Set 2 / Linha 0 (<i>cold miss</i>)	Set 0 / Linha 0 (<i>cold miss</i>)	Set 0 / Linha 0 (<i>cold miss</i>)
14			
10			
29			
4			
21			
16			
5			
Miss rate:			

Exercício 2 - A tabela abaixo apresenta o estado da *cache* associada a uma máquina com endereços de 8 *bits* (são apresentados apenas os campos de controlo, não os de dados). Cada linha da *cache* comporta um bloco de dados de 8 *bytes*.

Set	Tag	Valid
000	11	1
001	01	0
010	00	1
011	11	1
100	10	1
101	00	1
110	00	0
111	00	0

- a) Indique justificando qual o tuplo (S,E,B,m) que caracteriza a organização desta cache.

- b) Para cada um dos endereços (Addr em hexadecimal) abaixo, e assumindo que ocorrem em sequência, indique na tabela qual o *set* em que mapeia, qual o valor do campo *Tag* depois do acesso e se se trata de um *Hit* ou *Miss*.

ADDR = 0x28

Set	Tag

Hit/Miss

ADDR = 0x4a

Set	Tag

Hit/Miss

ADDR = 0x4b

Set	Tag

Hit/Miss

ADDR = 0x68

Set	Tag

Hit/Miss