



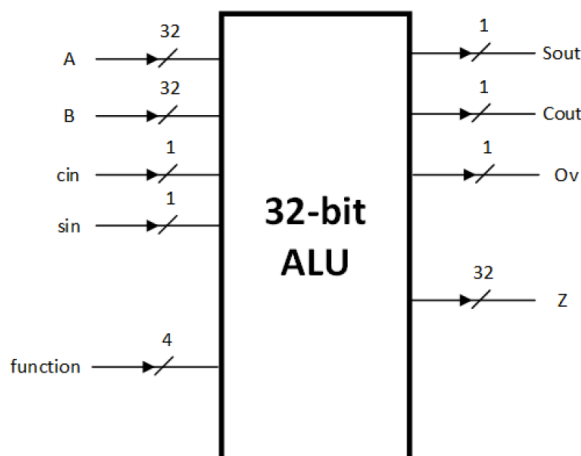
نکات مهم:

- (۱) تمرین های زیر را با نوشتن کد *VHDL* و *Testbench* مربوط به آن پیاده سازی و تست نمایید (با استفاده از *ActiveHDL*).
- (۲) یک فایل گزارش ایجاد نموده و خروجی های شبیه سازی و توضیحات مورد نیاز را در آن قرار دهید.
- (۳) تمام فایل های *VHDL* و تست بنچ و فایل گزارش را در یک پوشه با نام "*CAD_HW02_Name*" قرار دهید و *rar* کنید.
- (۴) فقط یک فایل *rar* شده به آدرس <https://www.dropbox.com/request/3knDRN3iOOxdTWABo7Nh> ارسال کنید.

۱- مداری طراحی کنید که دارای ورودی شانزده بیتی و خروجی شانزده بیتی باشد. اگر تعداد بیت های «صفر» ورودی بیشتر از ۱۰ تا باشد، خروجی برابر با مکمل دو ورودی، و در غیراینصورت، خروجی برابر با ورودی به علاوه ۶ باشد.

۲- یک دیکودر ۶ به ۶۴ پیاده سازی نمایید. درستی مدار را در شبیه سازی نشان دهید.

۳- یک مدار *ALU* را با توجه به لیست عملیات جدول زیر پیاده کنید و با نوشتن *Testbench* درستی کار مدار را نشان دهید.



Function	Output
0000	-B
0001	A+B (2's comp Add without carry)
0010	A+B+Cin (2's comp Add with carry)
0011	A-B (2's comp subtraction without carry)
0100	-B (2's comp of B)
0101	~B (Bitwise NOT)
0110	A & B (A AND B)
0111	A B (A OR B)
1000	A ^ B (A XOR B)
1001	One bit logical left shift of A
1010	One bit logical right shift of A
1011	One bit circular left shift of A, input bit is sin, output bit is sout
1100	One bit circular right shift of A, input bit is sin, output bit is sout
1101	Z = 1 if A>B else 0
1110	Z = 1 if A<B else 0
1111	Z = 1 if A=B else 0

مهلت تحویل: شنبه ۳ اردیبهشت ۱۴۰۱، تا ساعت ۲۳:۵۵

فقط یک فایل *PDF* با نام خودتان به آدرس <https://www.dropbox.com/request/3knDRN3iOOxdTWABo7Nh> ارسال کنید.

موفق باشید
زهره احمدی، حسنا حبیبی، پویا کاوش
مهدی امینیان