

Passionné par l'électronique et l'intelligence artificielle embarquée avec deux années d'expérience professionnelle, motivé par les défis techniques, je suis en recherche constante d'opportunités pour enrichir mes compétences et contribuer à des projets innovants. Mon objectif est de mettre mon expertise au service de réalisations ambitieuses tout en poursuivant mon développement professionnel.

06 71 02 60 57

yacine.mehadji@outlook.com

linkedin.com/in/yacine-mehadji

Permis B

## Langues

|          |                   |
|----------|-------------------|
| Français | Courant           |
| Anglais  | Professionnel     |
| Arabe    | Langue maternelle |

## Compétences

Langages de description matérielle (HDL) :  
System Verilog, VHDL, Verilog.

Conception et vérification :  
Vivado, Modelsim, Cadence Virtuoso, Spectre.  
Calibre : DRC (Design Rule Check), (LVS) Layout vs Schematic, PEX (Parasitic Extraction).

Langage de programmation :  
C/C++, Python, Assembleur, Java.

Frameworks et bibliothèques :  
Tensorflow, Pytorch, OpenGL, Glut.

Logiciels :  
Altium, KiCAD, Matlab, Microsoft office (Word, Excel, Power Point).

Systèmes Embarqués :  
Développement sur STM32, FPGA (Basys 3), Raspberry Pi, Arduino.



## EXPERIENCES PROFESSIONNELLES

### Ingénieur d'études en électronique à CEA - SPINTEC | (Mars 2024-Février 2025).

#### Conception et simulation de réseaux de neurones stochastiques de type Bayésien.

-Implémenter des modèles de réseaux neuronaux convolutionnels (CNN) sous **Tensorflow** et **entraînement** sur des jeux de données complexes.

-Modéliser, simuler des circuits spintroniques avec **Cadence Virtuoso**, intégrant des modèles physiques au niveau transistor pour faire de la **conception analogique**.

**Outils utilisés**: Python, Jupyter, Frameworks IA: Pytorch et Tensorflow, Cadence Virtuoso.

### Ingénieur de recherche en électronique à L'Ecole Polytechnique Fédérale de Lausanne (EPFL) – Groupe de Recherche BIOROB | (Mars 2023-Février 2024).

#### Développement d'une stratégie de rééducation par Electrostimulation musculaire.

-**Personnaliser** et vérifier les fonctions du **firmware** de la carte de l'électrostimulateur 16 canaux intégrée dans un **système embarqué**.

-**Développer** une application avec **interface graphique (GUI)** en **C++** et proposer une structure de configuration de la stratégie de rééducation.

-**Vérifier** et valider le fonctionnement via tests matériels et instrumentation (oscilloscope).

**Outils utilisés**: Linux, C, C++, Matlab, Qt creator, STM32CubeIDE, Oscilloscope.

### Stagiaire au Laboratoire d'Informatique de Robotique et de Microélectronique (LIRMM)

#### (Octobre-Février 2022) : Développement d'un modèle compact pour la simulation de circuits d'architecture BEYOND CMOS pour le calcul neuromorphique.

-Calibrer le **modèle compact** à partir de données expérimentales et de simulations TCAD.

-Utiliser le modèle pour la **conception et simulation numérique/analogique d'architectures de réseaux neuronaux oscillatoires** - **Outils utilisés** : Synopsys TCAD, SPICE, MATLAB.

#### (Septembre-Février 2022) : Conception d'un contrôleur VGA en SystemVerilog.

-Développer un contrôleur vidéo pour générer les signaux de synchronisation horizontale et verticale conforme à la norme VGA.

-Implémenter la logique de gestion des timings (résolution, fréquence d'horloge, sync pulse).

-Simuler et vérifier la conception à l'aide d'un testbench en **SystemVerilog** (Modelsim).

-**Synthétiser** et **implanter** sur FPGA (Basys 3), valider le fonctionnement sur écran externe.

**Outils utilisés** : SystemVerilog, ModelSim, Implantation FPGA : Vivado, Carte Basys 3.

#### (Septembre-Janvier 2022) : Développement en C++ d'un simulateur logique pour circuits numériques.

-Concevoir et implémenter les algorithmes de simulation logique appliqués aux circuits numériques.

-Mettre en place d'une architecture modulaire pour optimiser la simulation et faciliter l'extension du simulateur - **Outils utilisés** : C++, Linux.

#### (Mai-Juin 2021) : Développement d'un démonstrateur d'architecture de tolérance aux fautes hybrides sur FPGA.

-**Concevoir** une architecture hybride tolérante aux fautes en **VHDL**.

-**Simuler** et vérifier la conception à l'aide d'un testbench en **VHDL** (Modelsim).

-**Synthétiser** et implanter sur FPGA Xilinx Basys 3 via Vivado avec validation expérimentale des fonctionnalités - **Outils utilisés** : VHDL, ModelSim, Vivado, FPGA Basys 3.

#### (Septembre-Février 2021) : Développement d'un jeu vidéo Twenty Game en C avec GLUT.

-Concevoir et implémenter les mécanismes de jeu et de l'interface graphique en C utilisant GLUT.

-**Tester, déboguer et optimiser** le code pour garantir la stabilité et la performance.

**Outils utilisés** : C, GLUT, OpenGL.

#### (Septembre-Janvier 2021) : Commande d'un robot parallèle type Delta avec Matlab.

-Simuler les trajectoires et planifier les mouvements (prise et dépose) dans Matlab pour assurer la précision et la fluidité.

-Analyser les performances et optimiser les paramètres de commande pour améliorer la stabilité et la rapidité du robot - **Outils utilisés** : Matlab.

#### (Mars-Juin 2020) : Conception de PCB du circuit au Layout jusqu'à la production.

-**Concevoir** les schémas et **router** les **circuits imprimés (PCB)** en respectant les contraintes électriques.

-**Vérifier** la conception à l'aide de **Design Rule Check (DRC)** et préparer les fichiers de fabrication pour production - **Outils utilisés** : Altium, KiCAD.



## DIPLOME

**Master Électronique Énergie Électrique Automatique (EEA) parcours Systèmes Électroniques Intégrés et Embarqués (SEIE) - Université de Montpellier.**



## CENTRES D'INTERET

Natation (10 ans en club).

Pratique de tennis et de la musculation.