FPGA 実験レポート

八木洸太 1201201140

2022年7月24日

1 FPGA の用途

FPGA の用途としては、5G 基地局や自動ブレーキ、ロボットの制御、民生電子機器などがある.

2 真理値表から回路図の導出法

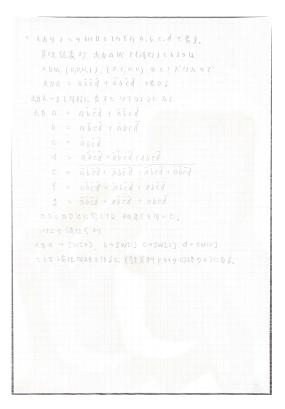


図1 心理値表から回路図の導出

3 課題3の回路の解説

課題 3 では、2 進数 n 桁の加算を行うことができる回路を作成した。具体的には、半加算器 1 個と全加算器 n-1 個を用いてリップルキャリー型全加算器を作成した。以下に実行結果をまとめる。

以下のコマンドを実行

- \$ iverilog kadai3.v
- \$ vvp a.out

動作結果 1(input1=3, input2=2 の場合)

N bit adder

 $0000000000000000000000000000011(2) \ + \ 00000000000000000000000000000010(2)$

3 + 2 = 5

動作結果 2(input1=100, input2=200 の場合)

N bit adder

 $000000000000000000000001100100(2) \ + \ 000000000000000000000011001000(2)$

= 000000000000000000000000100101100(2)

100 + 200 = 300

4 各課題について苦労した点や工夫した点

4.1 課題1

- 苦労した点:初めて触る言語だったのでコードの理解に苦労した.
- 工夫した点:モジュールを利用してコードの可読性を上げた.

4.2 課題 2

- 苦労した点:配布されたコードが16進数のアップカウンタになっている意味がわからず苦労した.
- 工夫した点:コードを読むだけでなく、実際に図を書いてみることで、配布されたコードが 16 進数の アップカウンタになっていることを確認した.

4.3 課題3

• 苦労した点:論理回路をコードで表現するという点で苦労した. 特に, 関数の引数が 1bit を期待して いるのか 32bit を期待しているのかを理解せずにコードを書いていたために発生したエラーの解決に最 も苦労した. また,全加算器 n 個で回路を作成した際は,以下のような実行結果になりエラー解決に苦 労した.

N bit adder

= 00000000000000000000000000000001xx(2)

1 + 4 = X

• 工夫した点:2 進数表記で 1bit 目が 0 である数値と 1bit 目が 1 である数値を加算した際に上記のエラーが出ることがわかったので全加算器での 1bit 目の計算がうまくいっていないと判断し、半加算器を作成し、1bit 目の計算だけに用いてエラーを解消した。また、適切な待機命令をして、計算が終了してから計算結果を表示できるようにした。

参考文献

- [1] 用途別に探す FPGA の設計事例 https://edn.itmedia.co.jp/edn/articles/1105/13/news145. html
- [2] N-bit Adder https://www.fpga4student.com/2017/07/n-bit-adder-design-in-verilog.html
- [3] 成瀬正著「コンピュータアーキテクチャ」(森北出版) p.20-22