

İSTANBUL TEKNİK ÜNİVERSİTESİ
ELEKTRİK-ELEKTRONİK FAKÜLTESİ

**FPGA TABANLI GÖMÜLÜ SİSTEM İLE BEYİN – BİLGİSAYAR ARAYÜZÜ:
EEG SİNYALLERİNİN YAPAY ZEKÂ ALGORİTMALARI İLE
SINIFLANDIRILMASI**

LİSANS BİTİRME TASARIM PROJESİ

Yağız YAĞMUR

Onur SERTGİL

Burak Efe KOÇ

ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ BÖLÜMÜ

HAZİRAN, 2025

İSTANBUL TEKNİK ÜNİVERSİTESİ
ELEKTRİK-ELEKTRONİK FAKÜLTESİ

**FPGA TABANLI GÖMÜLÜ SİSTEM İLE BEYİN – BİLGİSAYAR ARAYÜZÜ:
EEG SİNYALLERİNİN YAPAY ZEKÂ ALGORİTMALARI İLE
SINIFLANDIRILMASI**

LİSANS BİTİRME TASARIM PROJESİ

Yağız YAĞMUR

040210052

Onur SERTGİL

040210010

Burak Efe KOÇ

040210028

Proje Danışmanı: Prof. Dr. Ece Olcay GÜNEŞ

ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ BÖLÜMÜ

HAZİRAN, 2025

İTÜ, Elektronik ve Haberleşme Mühendisliği Bölümü'nün ilgili Bitirme Tasarım Projesi yönergesine uygun olarak tamamen kendi çalışmamız sonucu hazırladığımız “FPGA TABANLI GÖMÜLÜ SİSTEM İLE BEYİN – BİLGİSAYAR ARAYÜZÜ: EEG SİNYALLERİNİN YAPAY ZEKÂ ALGORİTMALARI İLE SINIFLANDIRILMASI” başlıklı Bitirme Tasarım Projesi’ni sunmaktayız. Bu çalışmayı intihal olmaksızın hazırladığımızı taahhüt eder; intihal olması durumunda bitirme tasarım projesinin başarısız sayılacağını kabul ederiz.

Yağız YAĞMUR
040210052

Onur SERTGİL
040210010

Burak Efe KOÇ
040210028

ÖNSÖZ

Çalışma süresince bizlere rehberlik eden Prof. Dr. Ece Olcay GÜNEŞ'e içten teşekkürlerimizi sunarız. Kendisinin yönlendirmeleri ve desteği, projenin ilerleyişinde önemli bir rol oynamış olup akademik bir çalışma ortaya koyma yolunda bizlere ışık tutmuştur.

Ayrıca, üniversite hayatımız boyunca bizleri her daim destekleyen ailelerimize teşekkür ederiz.

Bu çalışmanın, ilgili çalışma alanlarında gelecekte yapılacak çalışmalara katkı sağlamasını temenni ederiz.

Haziran 2025

Yağız YAĞMUR
Onur SERTGİL
Burak Efe KOÇ

İÇİNDEKİLER

	<u>Sayfa</u>
ÖNSÖZ	vii
İÇİNDEKİLER	ix
KISALTMALAR	xi
ÇİZELGE LİSTESİ.....	xiii
ŞEKİL LİSTESİ.....	xv
ÖZET	xvii
SUMMARY	xix
1. GİRİŞ	1
1.1 Proje Tanımı ve Amacı	1
1.2 Literatür Araştırması	1
2. EEG SINYALİNİN ÖN İŞLENMESİ	3
2.1 EEG Sinyallerinin Özellikleri	3
2.2 EEG Sinyallerinin Örneklenmesi	5
2.3 EEG Sinyallerindeki İstenmeyen Bileşenler	5
2.3.1 Şebeke Gürültüsü:	5
2.3.2 Baz Çizgisi Kayması:.....	5
2.3.3 Yüksek Frekanslı Gürültü ve Kas Hareketleri:	6
2.4 Filtrelerin Tasarımı ve Uygulaması.....	7
2.5 EEG Sinyallerinin Ön İşlenmesinde Kullanılan Süzgeçler	8
2.5.1 Çentik Süzgeç (Notch Filter):	8
2.5.2 Sonsuz İmpuls Yanıtlı (IIR) Yüksek Geçiren Süzgeç:	8
2.5.3 Ortalama Alıcı Süzgeç (Moving Average Filter):.....	9
2.5.4 Hareketli Fark Alıcı Süzgeç (Moving Difference Filter):.....	10
2.5.5 FIR Alçak Geçiren Süzgeç:.....	11
2.5.6 Seçilen Ön İşleme Tasarımı:.....	12
2.6 Ön İşleme Simülasyonu	13
2.7 Ön İşleme RTL Tasarımı.....	14
3. ÖZNİTELİK ÇIKARIMI.....	15
3.1 Sınıflandırma Modeli İçin Gerekli Öznitelikler	15
3.2 Öznitelik Çıkarımı Yöntemleri.....	15
3.3 Ayrık Zamanlı Dalgacık Dönüşümü (DWT) ile Nitelik Çıkarımı	16
3.3.1 Mallat Algoritması ile Ayrık Zamanlı Dalgacık Dönüşümü:	16
3.3.2 DWT Avantaj ve Dezavantajları:.....	17
3.3.3 DWT ile EEG Frekans Bantlarının Eldesi:	18
3.3.4 DWT RTL Tasarımı	22
3.4 Güç Spektral Yoğunluğu (PSD) ile Nitelik Çıkarımı.....	24
3.4.1 Güç Spektral Yoğunluğunun EEG Sinyallerinde Kullanımı	24
3.4.2 Welch Metodu ile PSD Hesaplaması	24
3.4.3 PSD RTL Tasarımı.....	25
3.5 Sıfır Geçiş Oranı Özniteligi.....	25

3.6 Tepe Değer Özniteliği	26
3.7 Öznitelik Çıkarma Ana Modülü ve Sistem Bağlantıları.....	27
4. EEG SİNYALLERİNİN SINIFLANDIRILMASI	29
4.1 Sınıflandırma İçin Kullanılabilecek Yapay Zekâ Algoritmaları	29
4.1.1 Karar Ağacı (Decision Tree):	29
4.1.2 Destek Vektör Makineleri (SVM):.....	31
4.1.3 Yapay Sinir Ağları (ANN):	32
4.2 Karar Ağacı Tasarımı ve Uygulaması	33
4.2.1 Eğitim için Verinin Hazırlanışı:	33
4.2.2 Karar Ağacı Parametrelerinin Belirlenmesi:	33
4.2.3 Eğitim Sonucu Doğruluk Oranı:	34
4.2.4 Test Sonuçlarının Değerlendirmesi:.....	35
4.3 Yapay Sinir Ağı Tasarımı ve Uygulaması.....	36
4.3.1 Derin Öğrenme Modelinin Tasarımı:	37
4.3.2 Model Eğitim Parametrelerinin Belirlenmesi:	38
4.3.3 Eğitim Sonucu Doğruluk Oranı:	39
4.4 Destek Vektör Makineleri Tasarım ve Uygulaması	39
4.4.1 Parametrelerin Belirlenmesi	39
4.5 Sonuçların Karşılaştırılması	40
5. DONANIM SİSTEM MİMARİSİ.....	41
5.1 Zynq SoC Mimarisi	41
5.1.1 PS Özellikleri:	42
5.1.2 PL Özellikleri:	42
5.2 Veriyolu (Bus) Haberleşme Protokollerı.....	42
5.3 AXI4	42
5.4 AXI Kullanımı.....	43
6. SİSTEMİN TESTİ VE SONUÇLARI	47
6.1 PL Karar Ağacı ile Sınıflandırma	47
6.2 PS Karar Ağacı ile Sınıflandırma	48
7. GERÇEKÇİ KISITLAR, SONUÇLAR VE ÖNERİLER	51
7.1 Çalışmanın Uygulama Alanı	51
7.2 Gerçekçi Tasarım Kısıtları	51
7.2.1 Maliyet	51
a. Donanım:.....	51
b. Yazılım:.....	52
c. İşçilik:	52
7.2.2 Standartlar	52
7.2.3 Sosyal, çevresel ve ekonomik etki	53
7.2.4 Sağlık ve güvenlik riskleri.....	53
7.3 Sonuçlar	54
7.4 Geleceğe Yönelik Öneriler	54
KAYNAKLAR.....	55
ÖZGEÇMİŞ	59
ÖZGEÇMİŞ	60
ÖZGEÇMİŞ	61

KISALTMALAR

FPGA	: Field Programmable Gate Array
EEG	: Elektroensofalografi
IIR	: Infinite Impulse Response / Sonsuz İmpuls Yanıtı
RTL	: Register Transfer Level
FIR	: Finite Impulse Response / Sonlu İmpuls Yanıtı
IIR	: Infinite Impulse Response / Sonsuz İmpuls Yanıtı
LUT	: Look-Up Table
ADC	: Analog to Digital Converter / Analog – Sayısal Dönüştürücü
ANN	: Artificial Neural Network / Yapay Sinir Ağları
DWT	: Discrete Wavelet Transform / Ayrık Dalgacık Dönüşümü
PSD	: Power Spectral Density / Güç Spektral Yoğunluğu
AXI	: Advanced Extensible Interface
SVM	: Support Vector Machine / Destek Vektör Makineleri
ANN	: Artificial Neural Network / Yapay Sinir Ağları
CNN	: Convolutional Neural Network / Konvolüsyonel Sinir Ağları
FSM	: Finite State Machine / Sonlu Durum Makinesi
PL	: Programmable Logic / Programlanabilir Lojik
PS	: Processing System / İşlemci Sistemi
SOC	: System-on Chip
ReLU	: Rectified Linear Unit
FFT	: Fast Fourier Transform
IP	: Intellectual Property
BCI	: Beyin Bilgisayar Arayüzü
MLP	: Multi Layer Perceptron / Çok Katmanlı Algılayıcılar

ÇİZELGE LİSTESİ

	<u>Sayfa</u>
Çizelge 2.1 : 50 Hz çentik süzgecin kaynak kullanımı	8
Çizelge 2.2 : 1 Hz yüksek geçiren süzgecin kaynak kullanımı.....	9
Çizelge 2.3 : 16 pencere uzunluklu ortalama alıcı süzgecin kaynak kullanımı	10
Çizelge 2.4 : 128 pencere uzunluklu fark alıcı süzgecin kaynak kullanımı.....	11
Çizelge 2.5 : 16. Mertebeden FIR alçak geçiren süzgecin kaynak kullanımı	12
Çizelge 2.6 : Problem – Süzgeç tablosu.....	12
Çizelge 2.7 : Sentezde kullanılan kaynakların tablosu.....	14
Çizelge 3.1 : ‘db8’ dalgacığı için kullanılan kaynak sayısı.	23
Çizelge 3.2 : ‘haar’ dalgacığı için kullanılan kaynak sayısı.	23
Çizelge 3.3 : PSD modülü için kullanılan kaynak miktarı.....	25
Çizelge 3.4 : Sıfır geçişçi sayıcı modülünde kullanılan kaynak sayısı.	26
Çizelge 3.5 : Tepe değer modülünde kullanılan kaynak sayısı.	27
Çizelge 3.6 : ‘feature_extractor_top’ modülünde kullanılan kaynak sayısı.....	28
Çizelge 4.1: Farklı karar ağaçlarının doğruluk oranı.	34
Çizelge 4.2 : Sentezde kullanılan kaynakların tablosu.....	36
Çizelge 4.3: Destek vektör makinelerinin doğruluk oranı.	40
Çizelge 4.4: Yapay zekâ modellerinin karşılaştırılması.....	40
Çizelge 5.1: Eski AXI modülü kaynak kullanımı.	45
Çizelge 5.2 : Yeni AXI modülü kaynak kullanımı.	46
Çizelge 6.1 : PL karar ağacı ile sınıflandırma kaynak kullanımı.	48
Çizelge 6.2 : PS karar ağacı kaynak kullanımı.	50

ŞEKİL LİSTESİ

	<u>Sayfa</u>
Şekil 2.1: EEG sinyali frekans bantları [24].	3
Şekil 2.2: Sağlıklı insanın EEG sinyalleri [8].	4
Şekil 2.3: Nöbet anında EEG sinyalleri [8].....	4
Şekil 2.4 : a) Tip-1 filtre diyagramı, b) Tip-2 filtre diyagramı [33].....	7
Şekil 2.5 : 50 Hz çentik sözgecin frekans yanıtı.	8
Şekil 2.6 : 1 Hz yüksek geçiren sözgecin frekans yanıtı.....	9
Şekil 2.7 : 16 pencere uzunluklu ortalama alıcı sözgecin frekans yanıtı.	10
Şekil 2.8 : 128 pencere uzunluklu fark alıcı sözgecin frekans yanıtı.....	11
Şekil 2.9 : 16. Mertebeden FIR alçak geçiren sözgecin frekans yanıtı.	12
Şekil 2.10 : Matlab ön işleme sonuçları	13
Şekil 2.11 : “preprocessor_top” şematiği.....	14
Şekil 3.1 : Mallat Algoritması gösterimi [9].	17
Şekil 3.2 : Mallat Algoritması ile EEG frekans bantları ayırtımı.....	18
Şekil 3.3 : a) Haar dalgacığı, b) zaman domeni ve c) frekans domeni çıktıları.....	19
Şekil 3.4 : a) Daubechies-8 (db8) dalgacığı, b) zaman domeni ve c) frekans domeni çıktıları [34].....	20
Şekil 3.5 : a) Symlet-8 (sym8) dalgacığı, b) zaman domeni ve c) frekans domeni çıktıları [34].....	21
Şekil 3.6 : Simülasyon ortamında yukarıdan aşağıya sırasıyla gamma, beta, alfa, theta ve delta katsayıları.	22
Şekil 3.7 : DWT ana modülünün çıkışından bir kesit.	23
Şekil 3.8 : Göz açıp kapamanın güç spectral yoğunluğununa etkisi [21].	24
Şekil 3.9 : Welch Metodu yardımıyla PSD işlemi [35].	24
Şekil 3.10 : PSD için oluşturulan sistem şematiği.	25
Şekil 3.11: ‘zcr’ modülünün şematiği.	26
Şekil 3.12 : ‘peak’ modülünün şematiği.	27
Şekil 3.13 : ‘feature_extractor_top’ modülünün şematiğinden bir kesit.....	28
Şekil 4.1 : Karar ağacı yapısı.	30
Şekil 4.2 : Destek vektörleri ile sınıflandırma.[25].....	31
Şekil 4.3 : Yapay sinir ağları katmanlarının gösterimi [36].....	33
Şekil 4.4 : a) Yüksek detay, b) orta detay, c) düşük detay karar ağaçlarına ait karmaşılık matrisleri.	34
Şekil 4.5 : Yaprığa ait struct yapısı.	35
Şekil 4.6: Karar ağacı RTL şematiği.....	36
Şekil 4.7: Yapay sinir ağlı mimarisı.....	37
Şekil 4.8: Eğitim boyu iterasyon - doğruluk grafiği	39
Şekil 5.1 : Zynq – 7000 SoC mimarisı [37].	41
Şekil 5.2 : AXI4-Lite okuma süreci [37].	43
Şekil 5.3 : AXI4 çevre birimi yapısı.	44

Şekil 5.4 : ‘custom_axi’ çevre birimi yapısı.	45
Şekil 6.1 : PL karar ağacı sisteminin blok diyagramı.	47
Şekil 6.2 : PL karar ağacı sisteminin karmaşıklık matrisi.	47
Şekil 6.3: PS karar ağacına ait blok diyagramı	49
Şekil 6.4: PS karar ağacına ait karmaşıklık matrisi.....	49

**FPGA TABANLI GÖMÜLÜ SİSTEM İLE BEYİN – BİLGİSAYAR
ARAYÜZÜ: EEG SİNYALLERİNİN YAPAY ZEKÂ ALGORİTMALARI İLE
SİNİFLANDIRILMASI**

ÖZET

Sunulan bitirme projesinde, EEG (Elektroensefalografi) işaretlerinin FPGA (Field Programmable Gate) tabanlı gömülü sistem ile, çeşitli makine öğrenmesi yöntemleri kullanılarak ikili sınıflandırması gerçekleştirilmiştir. Bu çalışmada ele alınan örnek uygulama senaryosu, kişinin gözünün açık veya kapalı olma durumunun ayırt edilmesidir. Geliştirilen sistem, farklı ikili sınıflandırma problemlerine de uyaranabilir yapıdadır. Sistem geliştirilirken; gerçek zamanlılık, düşük gecikme ve kaynak verimliliği göz önünde bulundurulmuştur.

Yapılan çalışmada, çevrim içi bir açık kaynak veri setinden faydalananmıştır [1]. Bu sayede gerek sistem geliştirme gerek test aşamasında tutarlı ve tekrar edilebilir sonuçlar elde edilmiştir. Sistemin donanım gerçeklemesinde Xilinx Zybo Z7-20 FPGA geliştirme kartı seçilmiştir. Bu geliştirme kartı, Zynq-7000 SoC mimari ile hem programlanabilir lojik (PL) hem de işlemci sistemi (PS) yapılarını birlikte sunarak geliştirilen sisteme uygun bir platform niteliği taşımaktadır.

Tasarlanan sistem; ön işleme, öznitelik çıkarımı ve sınıflandırma olmak üzere üç aşamada ele alınmıştır. Her bir aşamada teorik altyapı ışığında alternatif çözümler geliştirilmiş, performans kıyaslamaları vasıtasyyla sisteme uygun seçenekler tercih edilmiştir.

Ön işleme aşamasında, sistem girişindeki EEG işaretinin kalitesini artırmak ve gürültüden arındırmak amacıyla çok aşamalı bir filtre yapısı kurulmuştur. Bu filtre yapısında; şebeke gürültüsü, düşük frekans gürültüleri ve rastgele gürültülerin önüne geçmek amacıyla farklı türlerde filtrelerden yararlanılmıştır. Gerçeklenen filtreler, çıkış sinyaline etkileri ve beraberinde getirdikleri hesaplama gereksinimi oranı göz önünde bulundurularak karşılaştırılmış ve uygun bulunanlar tercih edilmiştir.

Ön işleme sonucu elde edilen işaretler öznitelik çıkarımına tabi tutulmuştur. Ayırık Dalgacık Dönüşümü (DWT), Güç Spektral Yoğunluğu (PSD), sıfır geçiş sayısı, tepe değer gibi özniteliklerin eldesini sağlayan matematiksel modeller kurulmuş ve makine öğreniminde kullanılmak üzere 27 farklı öznitelik çıkarılmıştır. Bu sayede giriş işaretinin zaman ve frekans domenlerindeki davranışları, makine öğrenmesi modelleri tarafından izlenebilir hale getirilmiştir.

Sınıflandırma aşaması için karar ağacı, destek vektör makineleri (SVM) ve yapay sinir ağları (ANN) algoritmaları karşılaştırılmıştır. Her bir yöntemin bilgisayar benzetimi ile gerçeklenmesi ve karşılaştırılması sonucunda, karar ağacı ve SVM modellerinin doğruluk ve kaynak gereksinimi dengesinde ön plana çıktığı görülmüştür. Model eğitimi bilgisayar üzerinde gerçekleştirilmiş, hesaplanan katsayılar sınıflandırma sırasında kullanılmak üzere gömülü sisteme aktarılmıştır.

Başlangıç noktası olarak sistemde ön işleme ve öznitelik çıkarımı PL kısmında, sınıflandırma işlemi ise PS tarafında gerçekleştirilmiştir. Çalışmanın ilerleyen aşamalarında, karar ağacının tamamen PL'de gerçekleştirilmesi; gecikme, kaynak verimliliği ve sistem karmaşıklığının azaltılması alanlarında ön plana çıkan bir alternatif olarak önerilmiştir. Önerilen bu yapının, doğruluk oranında da ciddi bir fark yaratmaması onu geçerli bir alternatif kılmıştır.

Sonuç olarak önerilen sistem, kabul edilebilir bir gecikme süresiyle birlikte optimal kaynak kullanımı ve yeterli doğruluk oranı sağlamıştır. Proje geliştirmeye açık olmakla birlikte, kompakt ve taşınabilir bir ortamda uygulanabilecek esnek bir beyin-bilgisayar arayüzü çözümü olarak değerlendirilebilir.

FPGA-BASED EMBEDDED SYSTEM WITH BRAIN-COMPUTER INTERFACE: CLASSIFICATION OF EEG SIGNALS USING ARTIFICIAL INTELLIGENCE ALGORITHMS

SUMMARY

In the presented graduation project, binary classification of EEG (Electroencephalography) signals was performed using an FPGA (Field Programmable Gate Array)-based embedded system, utilizing various machine learning algorithms. The example application scenario considered in this study is determining whether an individual's eyes are open or closed. However, the developed system is designed to be adaptable to many other EEG classification problems as well, including seizure detection and motor imagery. The prioritized metrics during the development were real-time performance, low latency and resource efficiency.

An online open-source dataset was utilized in the study, allowing consistent and reproducible results throughout the development and testing phases.[1] The Xilinx Zybo Z7-20 FPGA development board was selected for the hardware implementation. The Zynq-7000 SoC architecture provides both programmable logic (PL) and processing system (PS) components, making it a suitable platform for the project.

The designed system is structured into three stages: preprocessing, feature extraction, and classification. For each stage, alternative solutions were explored based on theoretical background, and the most suitable options were selected through performance comparisons.

In the preprocessing stage, a multi-stage filter structure was implemented to improve the quality of the input EEG signal and reduce noise. Different types of filters were used to eliminate powerline interference, baseline drift and random noise. The implemented filters were compared based on their impact on the output signal and their computational power. In the final system, an IIR notch filter for powerline interference, a moving difference filter for baseline drift and a FIR lowpass filter for high frequency noise were cascaded.

The preprocessed signals then underwent feature extraction. Discrete Wavelet Transform (DWT) and Power Spectral Density (PSD) models were developed on hardware to extract features. DWT using Mallat's Algorithm is applied for extracting the wavelet coefficients of the corresponding EEG frequency bands delta, theta, alpha, beta and gamma. The maximum, minimum, mean and sum values of the coefficients were extracted as features. A similar approach to Welch's method for PSD was designed for calculating the band powers in the frequency domain. With 20 features from DWT and 5 from PSD modules, alongside zero-crossing count and peak value, a total of 27 features were extracted to capture the signal behavior in both time and frequency domains, enabling machine learning models to process them effectively.

For the classification stage, decision tree, Support Vector Machines (SVM), and Artificial Neural Networks (ANN) algorithms were compared. Different SVM models including Linear, Quadratic and Gaussian SVMs were designed and compared. The proposed ANN model was designed with a total of 18 layers using ReLU activation between layers and softmax prior to the classification layer.

Based on software simulations and performance evaluations, decision tree and SVM models surpassed the ANN model for their hardware resource requirements. Model training was carried out on a computer, and the calculated parameters were then transferred to the embedded system for classification.

As an initial design, preprocessing and feature extraction were implemented on the PL side, while classification was performed on the PS side, where both the decision tree and the SVM algorithms were implemented in distinct models. In the later stages of the project, implementing the decision tree entirely on the PL was proposed as an alternative, offering advantages in terms of latency, resource efficiency, and reduced system complexity. The fact that this approach did not significantly affect accuracy also made it a viable option.

In conclusion, the proposed system design resulted in tolerable latency with optimal resource utilization and sufficient accuracy. While there is much space for improvement, the project can be applied as an adaptable brain computer interface solution in a compact and portable environment.

1. GİRİŞ

1.1 Proje Tanımı ve Amacı

Projenin amacı, temin edilen EEG sinyallerini FPGA tabanlı bir sistem üzerinden işleyerek, makine öğrenmesi modellerini gömülü bir sistemde çalıştmaktır. Bu projede, çeşitli EEG sinyallerini analiz edebilmek için farklı yöntemler incelenecuk ve bu sinyalleri tanıyalı bir sistem geliştirilecektir. Bu süreçte Vivado ve Vitis sistemlerinin detaylı bir şekilde öğrenilmesinin yanı sıra FPGA üzerindeki donanım ve yazılım entegrasyonunun sağlanması hedeflenmektedir. Projenin sonunda farklı EEG sinyalleri üzerinde başarılı bir şekilde eğitilmiş bir makine öğrenmesi modeli elde edilmesi amaçlanmaktadır. Bu çalışma, sinyal işleme ve makine öğrenmesi teknolojilerinden faydalananarak biyomedikal alanında pratik bir çözüm geliştirmek adına önemli bir adım olacaktır.

Projenin sonunda EEG sinyallerinin gerçek zamanlı olarak işlenmesi ve makine öğrenmesi yöntemleri yardımıyla sınıflandırılması amaçlanmaktadır. Sistemin başarısı; göz açma kapama durumunu tespit etme kabiliyetine göre değerlendirilecektir. Projenin hedefleri arasında sistemin sınıflandırmada yüksek doğruluk oranı sağlama ve düşük gecikmeyle çalışması yer almaktadır.

1.2 Literatür Araştırması

Guruva Reddy ve Narava (2013) çalışmalarında şebeke gürültüsü ve baz kayması sorunlarının önüne geçmek adına En Küçük Kareler - LMS ve Normalize En Küçük Kareler - NLMS algoritmaları ile adaptif filtrelemeye başvurmuştur [2]. Bu sayede ön işleme aşamasında gürültü bileşenleri bastırılırken bilgi işaretleri etkilenmemiştir. Wu ve dig. (2023) EKG gibi diğer sinyallerle girişimin ayrıştırılması için adaptif filtrelemenin yanı sıra Temel Bileşen Analizi - Principal Component Analysis (PCA) ve Bağımsız Bileşen Analizi - Independent Component Analysis (ICA) gibi kaynak ayrıştırma algoritmalarından yardım almışlardır [3]. Wijesinghe ve dig. (2014) ise daha klasik bir yöntem izleyerek 64 katsayılı 0.5 Hz FIR yüksek geçiren süzgeç ve 50

Hz FIR çentik süzgeç tasarımları kullanmıştır [4]. Bu çalışmada ise hız ve kaynak kullanımının optimizasyonu açısından düşük katsayılı ve işlem yükü düşük FIR ve IIR süzgeç tasarımlarına yönelik olmuştur.

Chen ve dig. (2017) epilepsi nöbet tespiti için birçok farklı dalgacıları farklı ayrıştırma seviyelerinde incelemiştir; DWT katsayılarından öznitelikler elde ederek SVM ile sınıflandırarak dalgacıkları, katman sayılarını ve doğruluk oranlarını karşılaştırmıştır. Katman sayısının artmasıyla doğruluk oranının artması trendini yakalamıştır [5]. Benzer çalışmalarında sıkça kullanılan DWT yönteminin yerine Qassim ve dig. (2012) ise sürekli dalgacık dönüşümü (CWT) algoritmasını Xilinx FFT IP Core ve yardımcı kontrol ünitesiyle birlikte gerçekleştirmiştir [6]. Wijesinghe ve dig. (2014) öznitelik olarak Haar, Daubechies 4 ve 6 dalgacıkları ile DWT katsayıları, PSD, band enerjileri, korrelasyon, sıfır geçişleri, otoregresif katsayılar ve faz senkronizasyonu kullanılmıştır [4]. Bu çalışmada Haar dalgacıklı DWT'nin yanı sıra PSD tabanlı band enerjileri, sıfır geçiş sayısı ve tepe değer öznitelikleri kullanılmıştır.

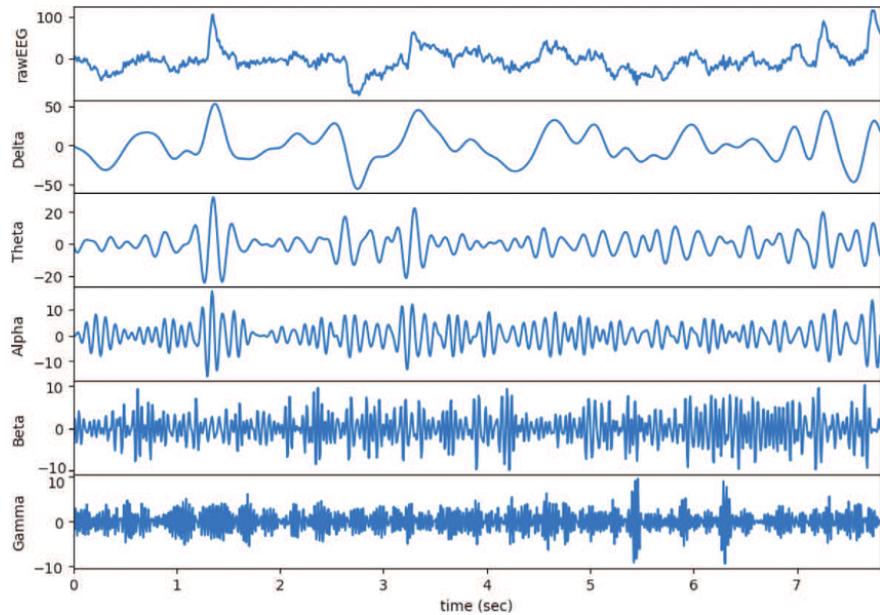
Hosseini ve dig. (2021) farklı EEG uygulamalarında sınıflandırma için kullanılmış makine öğrenmesi algoritmalarını çalışmalarında listelemiştir, regresyon, SVM, KNN, ANN, Naive Bayes, karar ağacı, bulanık mantık gibi birçok metodun uygulamalarını anlatmış ve avantaj ve dezavantajlarını birbirleriyle kıyaslayarak listelemiştir [7]. Bu çalışmada ANN, SVM ve karar ağacı algoritmaları sınıflandırma için hazırlanmış, SVM ve karar ağacı algoritmaları ise doğrudan gömülü sistemde test edilmiştir.

2. EEG SİNYALİNİN ÖN İŞLENMESİ

2.1 EEG Sinyallerinin Özellikleri

Elektroensofalogram (EEG), beyindeki postsinaptik aktivitelerin toplamının serebral korteksteki karşılığinden meydana gelir [8]. EEG sinyalleri; zamanla değişen, durağan olmayan zayıf sinyallerdir. Bu sinyaller; yaklaşık 1 ile 100 mikrovolt arasında olup girişimsel olmayan yollarla elde edilir ve gürültüye oldukça açık haldedirler [9].

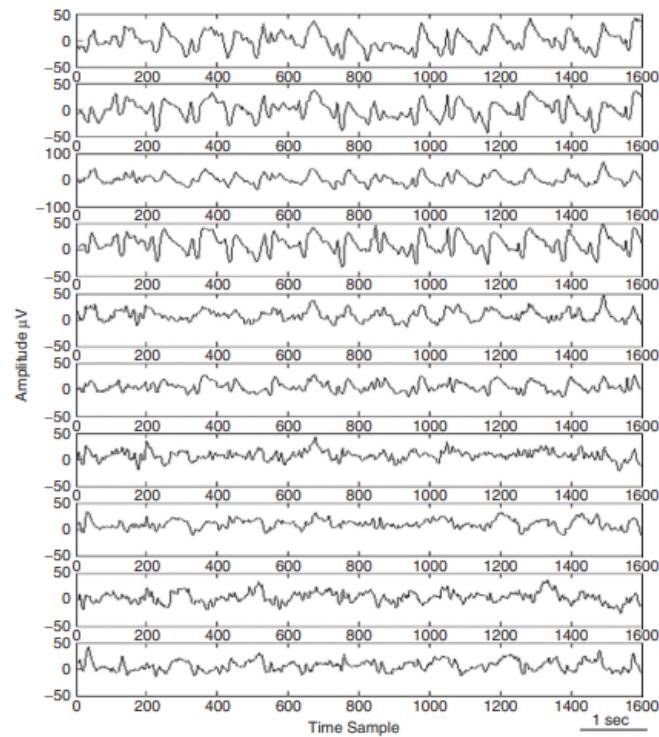
EEG sinyalleri 1-100 Hz arası değişken frekanslı sinyallerden meydana gelir ve belirli frekans bantlarında sınıflandırılır. Bu sınıflar en düşük frekanstan en yükseğe olmak üzere Delta (0-4 Hz), Theta (4-8 Hz), Alpha (8-12 Hz), Beta (12-40 Hz) ve Gamma (40 Hz ve üzeri) sinyalleridir. Farklı yaş gruplarında ve farklı aktiviteler esnasında farklı bantların baskınlığı gözlemlenir. “Delta” bandı uyurken baskındır; “Beta” bandında ise aktif düşünme sırasında hareketler gözlemlenir. Bebeklik ve çocukluk esnasında “Delta” ve “Theta” bantları daha aktifken yaş ilerledikçe değişimleri ve etkileri azalır. Bu bantlardaki aktiviteyi gösteren örnek ölçüm Şekil 2.1’de verilmiştir.



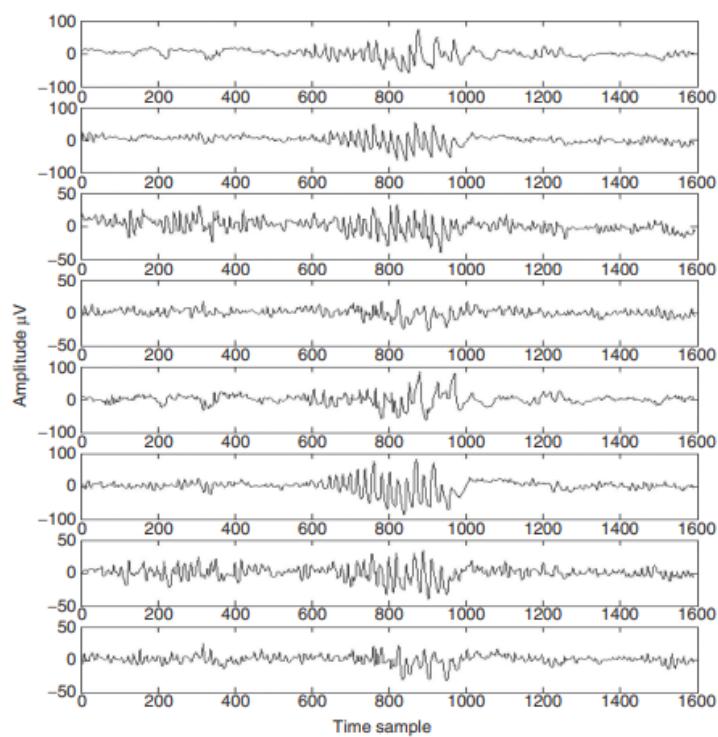
Şekil 2.1: EEG sinyali frekans bantları [24].

Beklenenden fazla veya az etkinlik gösteren frekans bantları, belirli bir aktivitenin veya bir hastalığın işaretçisi olarak kabul edilir. Belirli bir duruma karşı oluşan sinyallere olayla ilişkili potansiyel (ERP) sinyali adı verilir. Göz açıp kapama, motor nöronlara hareket komutları verme, duygusal düşünceler gibi bilişsel davranışlar veya Şekil 2.3’té de görülen epilepsi nöbetlerinde yüksek genlik ve frekansta anormal

dalgaların gözlemlenmesi gibi durumlar bu sinyallere örnek verilebilir [10]. Kıyaslama için sağlıklı bir insana ait veriler Şekil 2.2'de verilmiştir.



Şekil 2.2: Sağlıklı insanın EEG sinyalleri [8].



Şekil 2.3: Nöbet anında EEG sinyalleri [8].

2.2 EEG Sinyallerinin Örneklenmesi

Sinyallerin sayısal ortama geçirilip işlenmesi için önce analog sinyalin sayısal sinyale dönüşümü sağlanmalıdır. Örnekleme (sampling) işlemi aracılığıyla belirli aralıklarla analog sinyalden örnek alınır ve sinyal ayrık zamana geçirilir. Sinyalin ayrık zamana geçerken özelliklerini kaybetmemesi adına örneklemenin, sinyalin maksimum frekansının en az iki katı frekansta, yani Nyquist frekansında, yapılması öngörlür [11].

EEG sinyallerinin frekans aralığı 1-100 Hz olduğundan ve sayısal işlem yaparken ikilik sistem kullanıldığından ikinin kuvveti olan 256 Hz, örnekleme frekansı olarak tercih edilir. Daha yüksek frekanslı sinyallerin daha detaylı görülmesi gereken durumlarda 1024 Hz örnekleme frekansı da kullanılabilir [8].

2.3 EEG Sinyallerindeki İstenmeyen Bileşenler

2.3.1 Şebeke Gürültüsü:

Elektrotlardan iletilen sinyallerin düşük genlik özellikleri dolayısıyla gürültüye oldukça hassas yapıdadırlar. Bu gürültülerin başında şebeke gürültüsü yer almaktadır. Şebeke gürültüsü, trafoda üretilen alternatif akım elektrik enerjisinin etrafaya yayılarak diğer elektronik sinyallere girişimi ile oluşur. Avrupa'da 50 Hz, Amerika'da 60 Hz alternatif akım (AC) elektrik şebekeleri bulunur ve bu frekanslarda gürültü oluşumuna sebebiyet verirler.

Modern biyomedikal kuvvetlendiriciler çok yüksek ortak-mod red oranı (Common Mode Rejection Ratio, CMRR) sahip olsa da, elektrot empedanslarındaki farklılıklar ve vücut/kablo üzerinden toprak kaçak akımları nedeniyle hala bir 50 Hz girişimi kayıtları kirletebilir [12].

Şebeke gürültüsüne en uygun çözüm şebeke frekansını bastıran bir çentik (notch) süzgeç tasarımidır. Bu süzgeçin yapısı detaylarıyla bölüm 2.4.1'de anlatılacaktır.

2.3.2 Baz Çizgisi Kayması:

Düşük frekanslı bozulmalar ve doğru akım kaynaklı eklemeler sinyalin baz çizgisinde oynamalara sebep olur. Bu bozulmaların başlıca sebepleri; beyin aktiviteleri, kas kasılmaları, terleme, göz ve kafa hareketleri ve diğer gürültü kaynaklarıdır [13]. Bu

değişimler tespit edilip etkisi önlenmezse gelen sinyalin genliği olduğundan farklı göstererek yanlış tahminlerde bulunulmasına sebep olur.

Baz çizgisinin kaymasına etki eden bileşenler frekans bandında 0 Hz (DC) ve oldukça küçük frekanslarda belirir. 1 Hz ise en düşük frekanslı EEG bandı Delta'nın başlangıç frekansıdır. 0 – 1 Hz arası oluşan sinyal bileşenleri baz kaymasını etkileyen gürültüler kabul edilir ve bu bileşenlerin bastırılması gereklidir.

Düşük frekansları bastırıp yüksek frekansları zararsız geçirmek için 1 Hz kesim frekanslı yüksek geçiren süzgeç tasarlamak gereklidir.

Baz çizgisi kaymasının düzeltilmesinde en detaylı sonucu alan yöntem, dalgacık dönüşümü kullanılarak belirli limitlere uymayan katsayıların yok edilmesi olsa da yüksek işlem ve uzun gecikmesi sebebiyle FPGA donanımında gerçekleme uygun değildir.

2.3.3 Yüksek Frekanslı Gürültü ve Kas Hareketleri:

Kas artefaktları zamansal olarak genellikle ani ve kısa süreli yüksek genlikte ortaya çıkar; örneğin kişi dişlerini sıktığında, çiğnediğinde, kaşlarını oynattığında veya başına oynattığında EEG'de geniş bantlı bir dalgalanma gözlenir. Deneysel çalışmalarında, deneğin başına oynatması, yutkunması veya dilini hareket ettirmesi gibi eylemlerin, EEG sinyaline belirgin EMG gürültüsü eklediği gözlemlenmiştir [14]. Bu tip hareketler sırasında EEG kanal kayıtlarında normal beyin dalgalarının üzerine binen, çoğu 30 Hz'in üzerinde enerjiye sahip parazit sinyaller görülür. Sonuç olarak kas artefaktları, özellikle EEG'nin yüksek frekans bölgesinde spektral güçte "patlamalar" şeklinde kendini gösterir ve gerçek beyin sinyallerinin yorumlanması güçleştirir.

EEG sinyal bandının en yüksek frekansı yaklaşık olarak 100 Hz olarak belirtilir. Bu frekanstan sonrası dışarıdan etki eden gürültü etkisidir. Bu bileşenler alçak geçiren süzgeç yardımıyla sökümlenebilir.

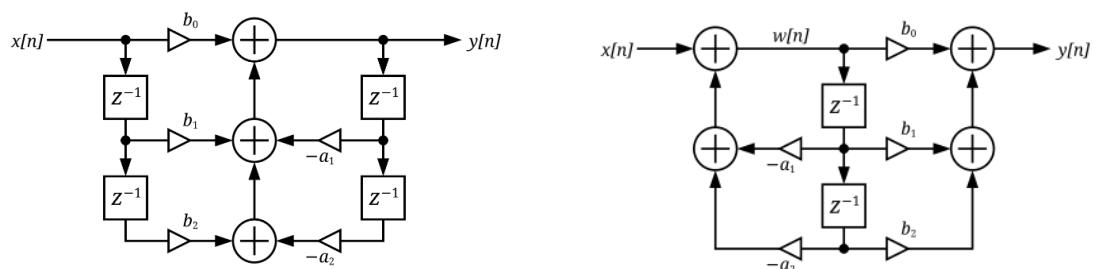
100 Hz'in aşağıdaki kas artefaktları için klasik sinyal işleme teknikleri çözüm sağlamaz. Daha hassas işlenmiş ve kusursuz bir sinyal verisi için adaptif filtreleme, dalgacık dönüşümü ile gürültü silme gibi ileri sinyal işleme uygulamaları tercih edilir. Bu uygulamada bu kadar hassas işleme gerekmediği ve bu uygulamaların matematiksel yükünün fazla olması sebebiyle tercih edilmemişlerdir.

2.4 Filtrelerin Tasarımı ve Uygulaması

Sayısal filtreler; belirli bir kernel ile konvolüsyon yapan sonlu impuls yanılı (FIR) filtreler veya giriş ve çıkış sinyalini içerisinde bulunduran, yani geri beslemeli, bir transfer fonksiyon ile işlem yapan sonsuz impuls yanılı (IIR) filtreler olarak oluşturulabilir [15]. IIR filtreler daha az işlem gücüyle aynı sonucu elde etme faydası sağlasa da faz kayması ve kararlılık sorunlarına yol açabilir. FPGA kaynaklarının verimliliği açısından IIR filtreler FIR filtrelerle kıyasla daha uygundur.

IIR filtreler farklı frekans bileşenlerine farklı derecelerde faz kayması uygular. Bu durum EEG sinyallerinde sinyal bozulmasına yol açabilir. Alçak geçiren IIR filtrelerde yüksek frekanslarda kayma gözlenirken yüksek geçiren süzgeçlerde ise düşük frekanslarda kayma görülür.

FPGA tabanlı sayısal filtreler ayrık zamanda uygulandığı için Z domeninde tanımlı transfer fonksiyonlar ile gösterilir. FPGA donanımında kullanılmak üzere bir filtre tasarlanırken amaç transfer fonksiyondaki katsayı miktarını azaltarak kaynaktan kazanç sağlamaktır. Butterworth temelli analog çentik filtre transfer fonksiyonu kullanılarak bilineer dönüşüm ile Z domeninde sadece iki katsayı kullanılan çentik filtre tasarımları gerçekleştirmek mümkündür [16]. İkinci dereceden filtreler, iki katsayı kullanılan çentik filtrelerin bir diğer adı, Şekil 2.4'te görüldüğü gibi farklı varyasyonlarda hazırlanabilir. Tip-1 filtrelerde daha fazla hafiza bloğu gereklidir ancak tek toplama işlemi gerçekleşir. Tip-2 filtrelerde ise daha az hafiza bloğu kullanılır ama giriş ve çıkış toplamaları birbirinden ayrırlar. İki durumda da aynı sonuç elde edilir ve beş katsayı ile beş farklı çarpma işlemi gerçekleştirilir.



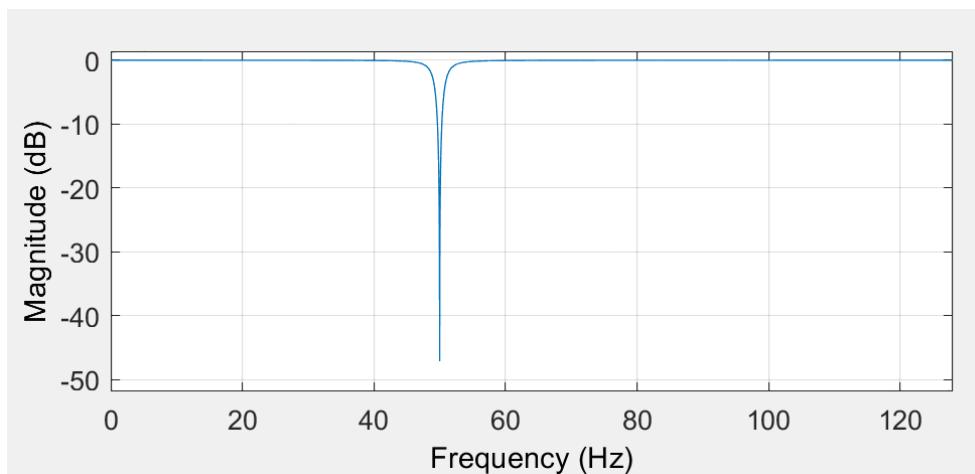
Şekil 2.4 : a) Tip-1 filtre diyagramı, b) Tip-2 filtre diyagramı [33].

2.5 EEG Sinyallerinin Ön İşlenmesinde Kullanılan Süzgeçler

2.5.1 Çentik Süzgeç (Notch Filter):

Çentik süzgeçler, sadece belirli frekansları oldukça keskin biçimde durdurmaya yarayan özelleştirilmiş band durdurucu süzgeç türüdür [16].

Şebeke frekansına bağlı olarak 50 veya 60 Hz'te etkin olabilen şebeke kaynaklı gürültü, EEG sinyallerinde etkin olan en belirgin gürültü kaynağıdır. 50 Hz'i bastıran bir çentik süzgeç, Şekil 2.5'te görüldüğü üzere hazırlanmıştır ve tüm sinyalde görülen gürültünün önemli bir miktarını yok etmiştir [8]. Çizelge 2.1'de ise RTL sentezi sonucu harcanan kaynak sayısını tablolaşmıştır.



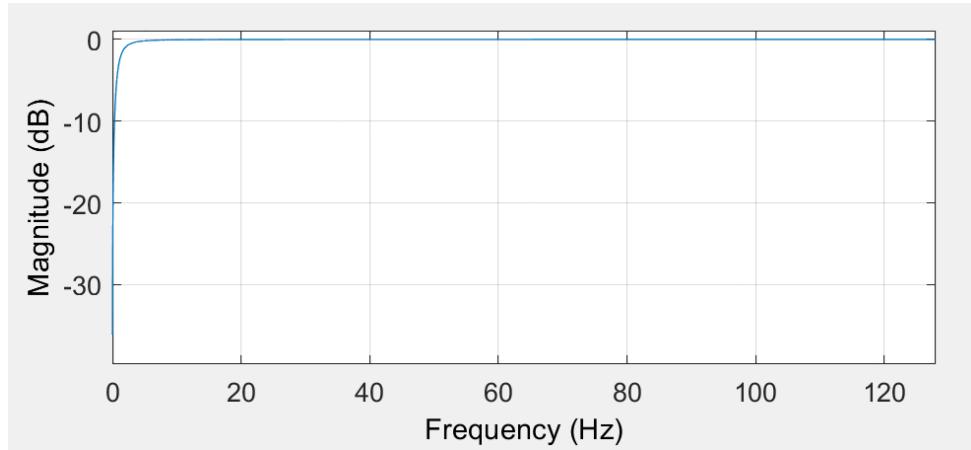
Şekil 2.5 : 50 Hz çentik süzgecin frekans yanıtı.

Çizelge 2.1 : 50 Hz çentik süzgecin kaynak kullanımı.

Kaynak	Kullanılan	Mevcut	Kullanım %
Mantık olarak LUT	1088	53200	2.05
Slice Register	362	106400	0.34

2.5.2 Sonsuz İmpuls Yanıtlı (IIR) Yüksek Geçiren Süzgeç:

Baz kaymasının önlenmesi için en etkili yöntemlerden biri keskin bir yüksek geçiren süzgeç tasarımidır. 1 Hz ve daha düşük frekansları sönümlayan bir süzgeç yardımıyla düşük frekanslı bozulmalar hızlıca ve tek adımda sinyalden uzaklaştırılır. Bunu sağlayan filtrenin frekans yanıtı Şekil 2.6'da gösterilmiştir. Bu derecede keskin süzgeç tasarımları için FIR süzgeçler uygun değildir çünkü çok yüksek mertebede tasarım gerektirirler. IIR süzgeç ile oldukça az mertebede aynı keskinliğe ulaşmak mümkündür.



Şekil 2.6 : 1 Hz yüksek geçiren süzgecin frekans yanıtı.

IIR süzgeç yapısından kaynaklı düşük frekanslarda faz kayması görülmektedir ve bu durum geniş frekans bandı bulunan EEG sinyalinin bozulmasına yol açar. Bu problemin önüne geçilmek için sıfır-fazlı filtreleme (zero-phase filtering) yöntemi uygulanmalıdır. Ancak bu yöntem de filtrenin sonlu bir sinyale düz ve ters (forward – backward) olarak iki kez uygulanmasıyla gerçekleşir ve gerçek zamanlı uygulamalara uygun değildir.

Çizelge 2.2’de IIR yüksek geçiren süzgeçin kaynak kullanımı verilmiştir. Bu açıdan ne kadar verimli bir süzgeç olsa da bu proje bazında kullanımı uygun değildir.

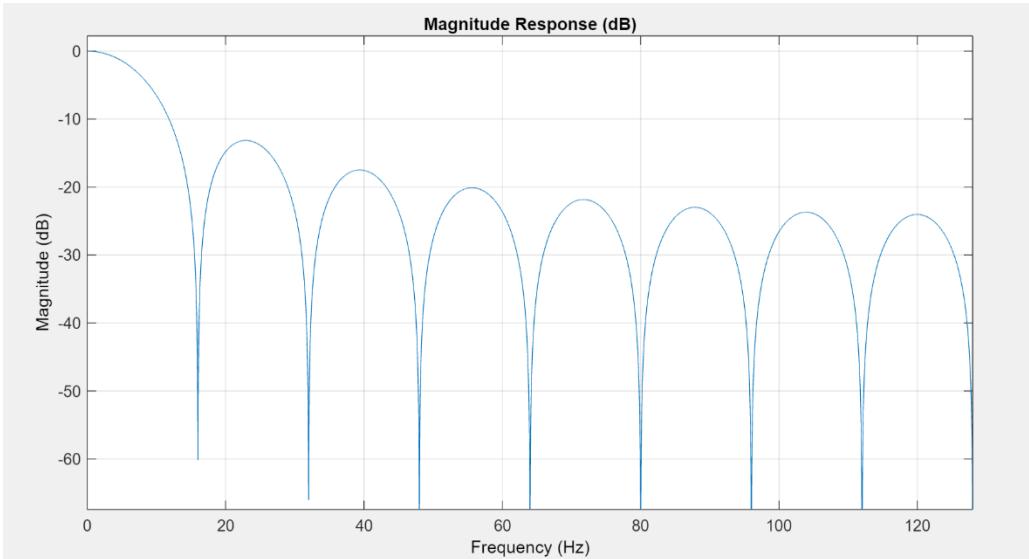
Çizelge 2.2 : 1 Hz yüksek geçiren süzgeçin kaynak kullanımı.

Kaynak	Kullanılan	Mevcut	Kullanım %
Mantık olarak LUT	576	53200	1.08
Slice Register	348	106400	0.33

2.5.3 Ortalama Alıcı Süzgeç (Moving Average Filter):

Belirli bir pencere aralığındaki değerlerin ortalamasını hesaplayarak sinyaldeki küçük zamanlı dalgalanmaları yok ederek geniş zamanlı trendlerin takibini sağlayan süzgeç türüdür. Bahsi geçen bu filtre, belirli filtre katsayıları yerine sinyalin değerlerini kullanır ve bir sonlu impuls yanılı (FIR) alçak geçiren süzgeç türüdür. Daha pürzsüz hale gelen sinalde beyin aktivitelerinin etkisi daha belirgin gözlemlenebilir [8]. Şekil 2.7’de görüldüğü üzere ne yüksek sönümleme kabiliyetine ne de keskin bir geçiş bandına sahiptir. Çizelge 2.3’te gösterildiği üzere, ortalama alıcı süzgeçin en büyük

avantajı diğer FIR süzgeçlerin aksine katsayılarla çarpma işlemi yapmadığı için donanım seviyesinde daha az kaynak kullanmasıdır.



Şekil 2.7 : 16 pencere uzunluklu ortalama alıcı süzgecin frekans yanıtı.

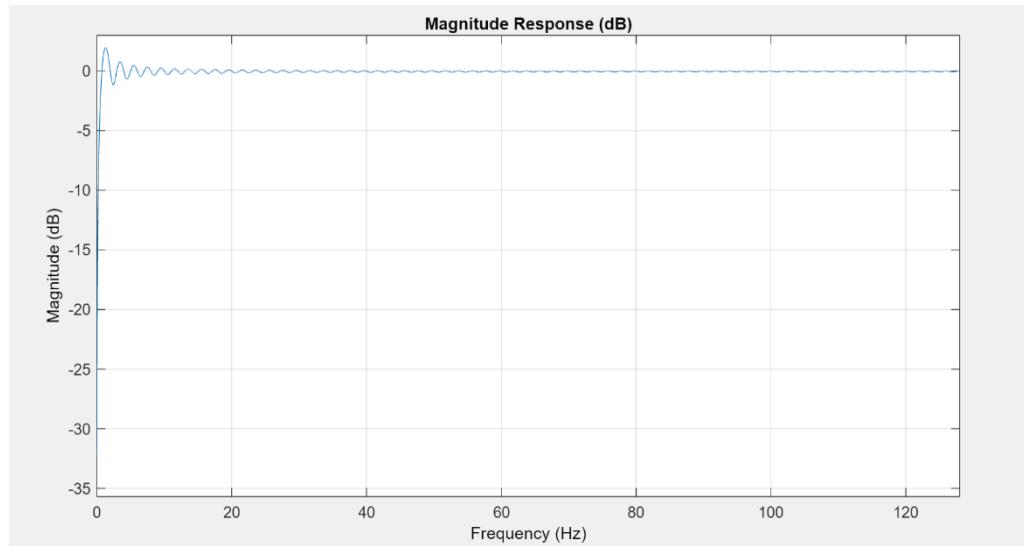
Çizelge 2.3 : 16 pencere uzunluklu ortalama alıcı süzgecin kaynak kullanımı.

Kaynak	Kullanılan	Mevcut	Kullanım %
Mantık olarak LUT	73	53200	0.14
Bellek olarak LUT	32	17400	0.18
Slice Register	149	106400	0.14

2.5.4 Hareketli Fark Alıcı Süzgeç (Moving Difference Filter):

Ortalama alıcı süzgecin tam tersi mantıkla çalışır ve belirli pencere aralığındaki değerlerin ortalamasını gelen sinyalden çıkararak sadece değişiklik gösteren sinyal bileşenlerini öne çıkarır. Sonlu impuls yanılı (FIR) bir yüksek geçiren süzgeç niteliğindedir.

Pencere uzunluğunu arttırmak kesim frekansını aşağıya çekerken geçiş bandını keskinleştirmektedir. Şekil 2.8'de pencere uzunluğu 128 olan fark alıcı süzgecin frekans yanıtı incelendiğinde kesim frekansı (-3dB) 0.5 Hz denk gelmektedir ve geçiş frekansı (0 dB) 1 Hz olmaktadır. Çizelge 2.4'te kaynak kullanımı gösterilmektedir.



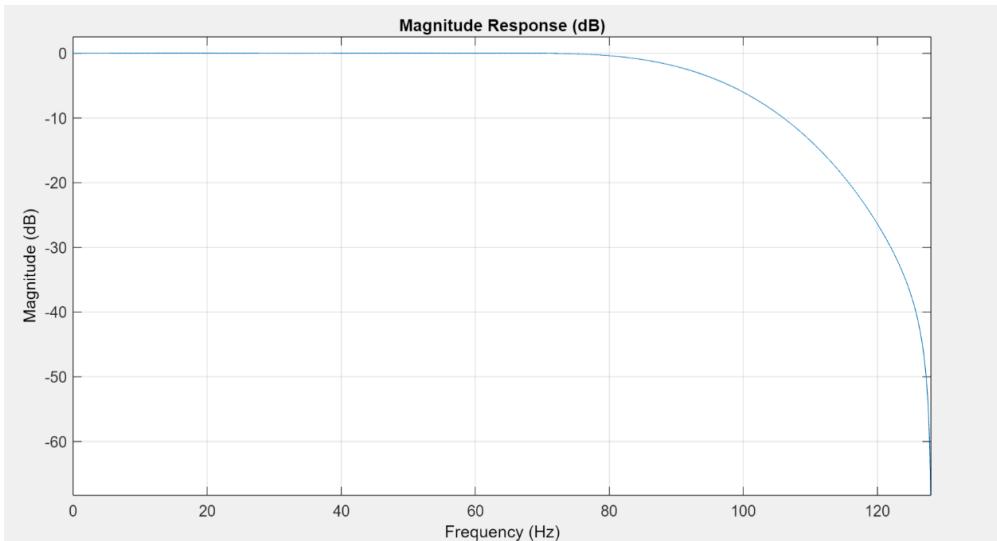
Şekil 2.8 : 128 pencere uzunluklu fark alıcı süzgecin frekans yanıtı.

Çizelge 2.4 : 128 pencere uzunluklu fark alıcı süzgecin kaynak kullanımı.

Kaynak	Kullanılan	Mevcut	Kullanım %
Mantık olarak LUT	112	53200	0.21
Bellek olarak LUT	128	17400	0.74
Slice Register	327	106400	0.31

2.5.5 FIR Alçak Geçiren Süzgeç:

256 Hz örneklenen EEG sinyalinde Nyquist Teoremi gereği maksimum frekans değeri 128 Hz'dir. Ancak anlamlı EEG sinyalleri maksimum 100 Hz değerinde görülür. Yüksek frekanslı gürültünün sökümlenmesi amacıyla 100 Hz alçak geçiren FIR filtre tasarımı gerçekleştirılmıştır. Süzgeçin keskin geçişe sahip olmasına gerek olmadığı için 16. Mertebeden Hamming Pencereli FIR süzgeç kullanılarak IIR süzgeçin faz kayma problemini çözmek yerine düşük işlem gücü ile çalışan basit bir FIR süzgeç tercih edilmiştir. Şekil 2.9'da frekans yanıtı ve Çizelge 2.5'te kaynak kullanımı verilen FIR alçak geçiren süzgeç yardımıyla 100 Hz üzeri gereksiz frekans bileşenleri sökümlenmiş ve örtüşme probleminin önüne geçilmiştir.



Şekil 2.9 : 16. Mertebeden FIR alçak geçiren süzgecin frekans yanıtı.

Çizelge 2.5 : 16. Mertebeden FIR alçak geçiren süzgecin kaynak kullanımı.

Kaynak	Kullanılan	Mevcut	Kullanım %
Mantık olarak LUT	2540	53200	4.77
Slice Register	1873	106400	1.76

2.5.6 Seçilen Ön İşleme Tasarımı:

Çizelge 2.6 : Problem – Süzgeç tablosu.

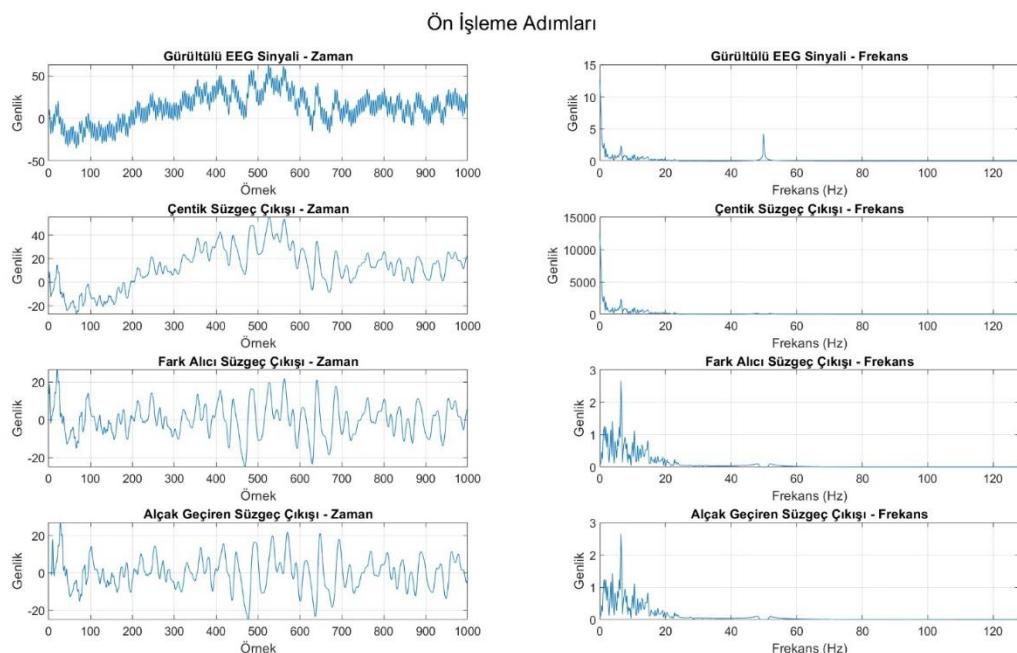
Problem	Süzgeç	Artıları	Eksileri	Tercih
Sebeke Gürültüsü	50 Hz IIR Çentik Süzgeç	- Kusursuz gürültü bastırma - Düşük gecikme	- Oturma süresi (settling time)	✓
	Ortalama Alıcı Süzgeç	- Basit yapı, az kaynak	- Düşük sökümleme gücü - Düşük frekans hassasiyeti	
Baz Kayması	Fark Alıcı Süzgeç	- Basit yapı, az kaynak	- Düşük sökümleme gücü - Yüksek gecikme	✓
	1 Hz IIR Yüksek Geçiren Süzgeç	- Kusursuz baz kayması önleme - Düşük gecikme	- Faz kayması (Kabul edilemez)	
Yüksek Frekans Gürültü Bileşenleri – Aliasing	FIR Alçak Geçiren Süzgeç	- Kusursuz gürültü bastırma	- Çok kaynak harcama - Yüksek gecikme	✓
	Ortalama Alıcı Süzgeç	- Pürzüsüz sinyal - Basit yapı, az kaynak	- Gürültü dışı bilgi işaretlerini de sökümleme	

Çizelge 2.6'da problemlere uygun tercih edilen süzgeçler belirtilmiştir.

Proje kapsamında ön işleme modülü içerisinde ikinci metrebeden Tip-1 IIR Butterworth süzgeç, 128 pencere genişlikli fark alıcı süzgeç ve 16. Mertebeden 100 Hz FIR alçak geçiren süzgeç birleştirilmiştir.

2.6 Ön İşleme Simülasyonu

RTL tasarımı öncesi MATLAB kullanılarak sistemin simülasyonu gerçekleştirilmiştir. Çevrim içi kaynaklardan örnek olarak alınan EEG sinyalinin belirli bir parçası simülasyona aktarılmıştır. Süzgeçlerin etkisinin daha net gözlemlenmesi için baz kayması ve 50 Hz şebeke gürültüsü sinyale eklenmiştir. Sonrasında sinyal sırayla önceki adımda hazırlanan süzgeçlerden geçmiştir. Şekil 2.10'da simülasyon sonuçları hem zaman hem frekans domeninde verilmiştir.

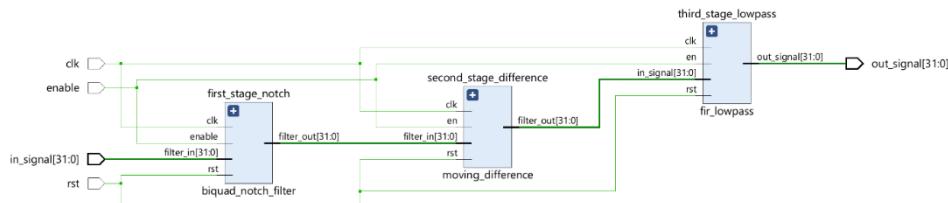


Şekil 2.10 : Matlab ön işleme sonuçları

2.7 Ön İşleme RTL Tasarımı

Donanım tanımlama dili (HDL) olarak gelişmiş dizi ve vektör tanımlamaları ve kod yazım kolaylığı sebebiyle SystemVerilog tercih edilmiştir. “biquad_notch_filter”, “moving_difference_filter” ve “lowpass_filter” modülleri oluşturulmuş ve “preprocessor_top” modülünde birleştirilmiştir. 32-bit signed (int32) giriş sinyali MATLAB verisinin Q1.30 fixed-point ölçeklendirilmesiyle elde edilmiştir.

Öncelikle veri 256 Hz frekansında toplanıp 100 MHz sistem frekansında işleme girmesi için ‘epoch_reg.sv’ adındaki kaydırmalı kaydedicide birikir. Pencere uzunluğu 256 örnek belirlenen bu kaydedici dolduktan sonraki her örnekte bu pencere tüm işlemleri yüksek frekansta gerçekleştirmektedir. Pencere sırayla çentik, fark alıcı ve alçak geçiren süzgeç modüllerinden geçirilerek çıkış sinyali elde edilmiştir. Ana modül, ‘clk’ adlı saat sinyali ile senkron çalışır. ‘enable’ girişi modülü aktive ederken ‘rst’ sinyali ile çalışan modül sıfırlanır. Şekil 2.11, bu sistemin şematiğini temsil etmektedir.



Şekil 2.11 : “preprocessor_top” şematiği.

Ön işleme modülünde kullanılan toplam kaynak sayısı Çizelge 2.7’de gösterilmiştir.

Çizelge 2.7 : Sentezde kullanılan kaynakların tablosu.

Kaynak	Kullanılan	Mevcut	Kullanım %
Mantık olarak LUT	6121	53200	11.51
Bellek olarak LUT	128	17400	0.74
Slice Register	10852	106400	10.2
F7 Mux	1056	26600	3.97
F8 Mux	512	13300	3.85

3. ÖZNİTELİK ÇIKARIMI

3.1 Sınıflandırma Modeli İçin Gerekli Öznitelikler

EEG sinyallerinin sınıflandırılması için öncelikle ön işlemeden geçmiş sinyalin özelliklerine ulaşmak gereklidir. Bu özellikler, zaman veya frekans domeninde sinyalin belli başlı karakteristiklerini gösterir. Bazı EEG özellikleri:

- Frekans Bantları (Delta, Theta, Alpha, Beta, Gamma)
- Frekans Güçleri
- Entropi
- Sıfır Geçiş Oranı
- Tepe Genlik Değeri
- Tepe Frekans Değeri
- Varyans
- RMS
- Eğim
- Olay İlişkili Desenkronizasyon (ERD)
- Asimetri İndeksi

3.2 Öznitelik Çıkarımı Yöntemleri

EEG sinyallerinden özellik çıkarımında en çok kullanılan yöntem, hem zaman hem frekans domeninde analiz sağlayan ayrik zamanlı dalgacık dönüşümüdür (Discrete Wavelet Transform, DWT). DWT, belirlenen dalgacık fonksiyonuna uygun biçimde sinyali parçalayarak dalgacık katsayıları elde eder [17], [18].

Sadece frekans domeni karakteristikleri için kullanılan Güç Spektral Yoğunluğu (Power Spectral Density, PSD), yaygın bir metottur ve küçük zaman dilimlerinde Fourier dönüşümü (STFT, FFT) aracılığıyla farklı frekanslardaki güç yoğunluğunu analiz eder.

Zaman domeninde analiz için Hjort Parametreleri adı verilen aktivite, mobilite ve kompleksite değerleri kullanılır. Aktivite değeri, sinyalin gücünü ve enerji seviyesini temsil ederken mobilite, sinyalin frekans içeriğini ve değişim hızını tanımlar. Son olarak kompleksite değeri de sinyalin düzensizliğini ifade etmek amacıyla kullanılır [19]. Denklem 3.1'de Hjort parametrelerinin denklemleri verilmiştir.

$$\begin{aligned}
 Activity &= \sigma_x^2 = \frac{\sum_{n=1}^{N-1} (x(n) - \bar{x})^2}{N} \\
 Mobility &= \frac{\sigma_x'^2}{\sigma_x^2} \\
 Complexity &= \frac{\sigma_{x''}/\sigma_{x'}}{\sigma_{x'}/\sigma_x}
 \end{aligned} \tag{3.1}$$

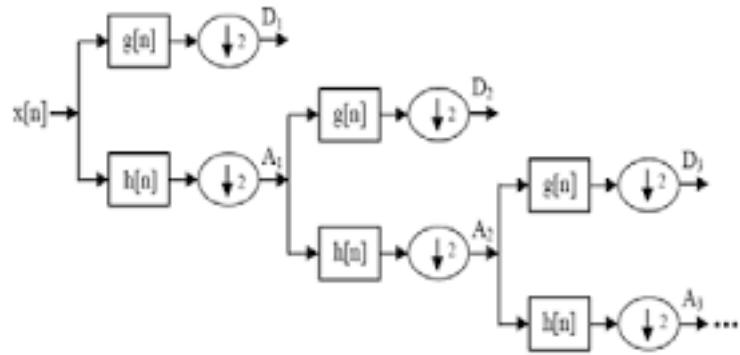
Hjort parametreleri her ne kadar zaman domeninde sinyalin özelliklerini anlamlandırmayı başarsa da matematiksel olarak karmaşık işlemler barındırdığı için donanımda öznitelik çıkarımı sırasında pek tercih edilmemektedir. Alternatif olarak, işlemsel olarak oldukça hafif olan sıfır geçiş oranı ile sinyalin frekans karakteristiği ve tepe değeri kullanarak sinyalin enerjisi ve gücü ile ilgili bilgi edinmek mümkündür. Donanımda gerçekleştirmek üzere ayrık zamanlı dalgacık dönüşümü katsayıları kullanılarak 20 adet, güç spectral yoğunluğu hesabı ile 5 adet ve ek olarak tepe değer ve sıfır geçiş oranı olmak üzere toplam 27 öznitelik çıkarılmıştır.

3.3 Ayrık Zamanlı Dalgacık Dönüşümü (DWT) ile Nitelik Çıkarımı

3.3.1 Mallat Algoritması ile Ayrık Zamanlı Dalgacık Dönüşümü:

Ayrık zamanlı dalgacık dönüşümü, verilen bir sinyali farklı frekans bantlarında inceleyerek sonrasında benzer bir yöntemle tekrar ana sinyali elde etmeye yarayan bir yöntem olarak tanımlanır. Hem sinyalin ana yapısını hem de frekans bantlarını detaylı olarak incelemek amacıyla kullanılır.

Ayrık zamanlı dalgacık dönüşümünde Mallat Algoritması kullanılır. Şekil 3.1'de verilen algoritmada öncelikli olarak kullanılacak dalgacık ailesi belirlenir. Her dalgacık ailesinin özelliğine göre hazırlanmış filtre bankaları bulunur. Bu bankaların içerisinde alçak geçiren ayrıştırma (yaklaşım), yüksek geçiren ayrıştırma (detay) ve bunların zamanda tersleri olan alçak geçiren yapılandırılmış ve yüksek geçiren yapılandırılmış filtreleri bulunur [17].



Şekil 3.1 : Mallat Algoritması gösterimi [9].

Dalgacık katsayılarına ayrıştırılması istenen giriş sinyali alçak ve yüksek geçen ayrıştırma filtrelerinden geçirilir ve 2 katsayısıyla aşağı örneklenir. Bu aşama, alçak geçen filtre çıkışında oluşan yaklaşım katsayıları ile tekrar uygulanır [9]. En sonunda oluşan detay ve yaklaşım katsayıları, ayrıştırma işleminin tersi olacak şekilde 2 katsayısıyla yukarı örneklenir ve yapılandırma filtrelerinden geçirilerek giriş sinyali kusursuz olarak yeniden oluşturulur.

3.3.2 DWT Avantaj ve Dezavantajları:

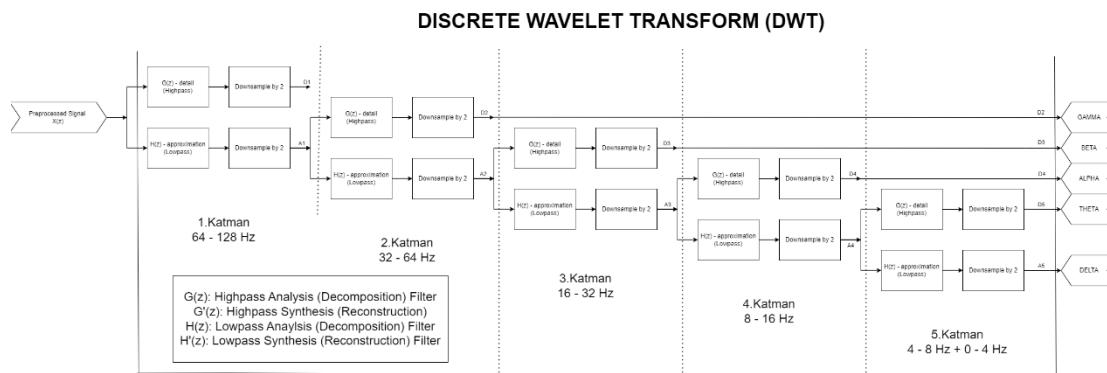
Dalgacık dönüşümü, sayısal işaret işleme ve görüntü işleme alanlarında oldukça yaygın, kabul görmüş bir yöntemdir. Alt bantlara ayrıştırma için verimli ve çok yönlü bir yöntem olan Ayırık Dalgacık Dönüşümü (DWT), bu alanlardaki uygulamalarda sıkılıkla tercih edilmektedir [9]. DWT, orijinal işaretin analiz ve sentezi için yeterli bilgiyi sağlamaktadır [20]. DWT'nin en belirgin avantajı, zaman ve frekans bilgilerini aynı anda sağlayabilmesidir. Bu, sinyalin hem düşük frekanslı ana yapısını hem de yüksek frekanslı detaylarını incelemeyi mümkün kılar. Ayrıca DWT, mükemmel yeniden yapılandırma kapasitesi ile giriş sinyaline tekrar ulaşabilmektedir [17].

DWT'nin dezavantajları ise çok katlıfiltreleme ve örnekleme işlemlerinden gelen yüksek hesaplama yüküdür. FPGA tabanlı sistemlerde LUT ve/veya DSP tüketimi fazladır. Bir diğer dezavantaj ise çıkış gecikmesidir. Birden fazla filtreden seri olarak geçen ve aynı zamanda aşağı örneklemeye uğrayan sinyalin çıktıları uzun gecikmeye yol açar. Ayrıca çıkış sinyallerinin farklı gecikmelerde olma durumunun sınıflandırma aşamasında sorun çıkarmaması için senkronizasyon yapılmalıdır.

3.3.3 DWT ile EEG Frekans Bantlarının Eldesi:

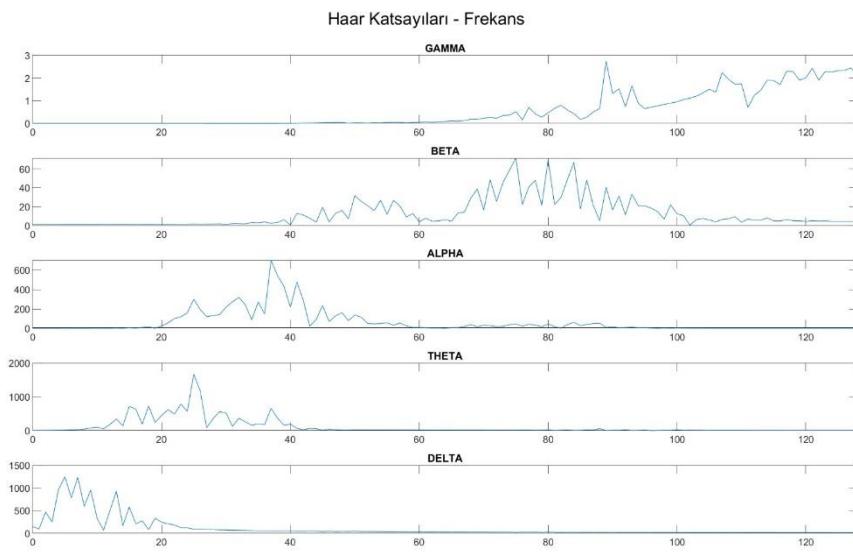
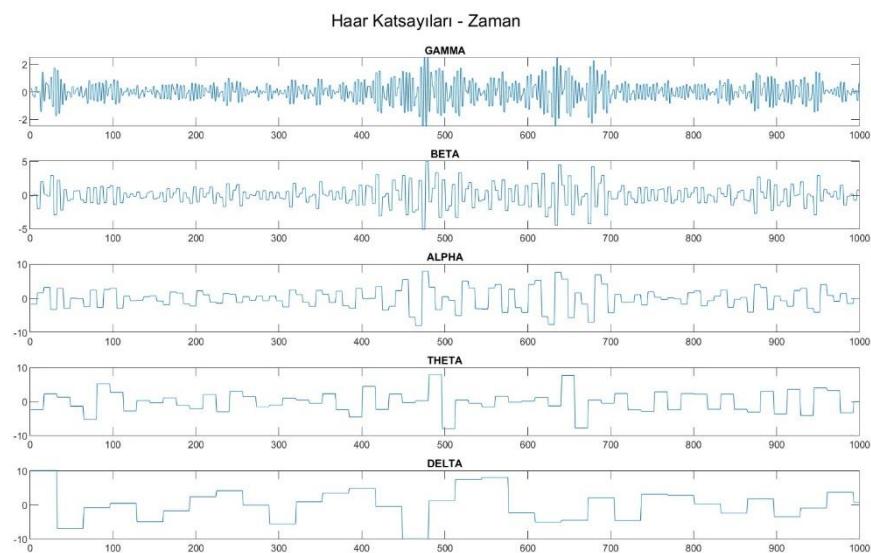
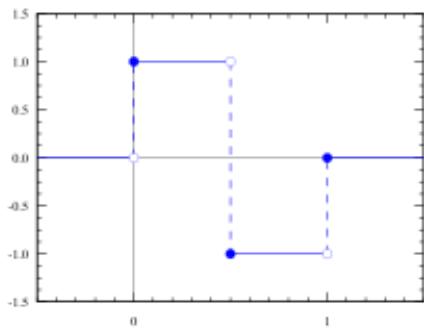
Daha öncesinde bahsedilen ve Şekil 2.2'de gösterilen Delta (0-4 Hz), Theta (4-8 Hz), Alpha (8-12 Hz), Beta (12-40 Hz) ve Gamma (40 Hz ve üzeri) frekans bantlarına ait katsayırlara ulaşmak için ayrıştırma adımları uygulanır. Sinyallere ulaşmak gerekiyorsa baştaki sinyal yeniden yapılandırma adımlarıyla kayıpsız şekilde elde edilebilir [4], [9].

Mallat Algoritması'nın EEG frekans bantlarına 256 Hz örneklemeye frekansında uygulanması için 5 kat kullanılması yeterlidir. Belirlenen dalgacık ailesinin detay ve yaklaşım filtreleri ve aşağı örneklemeye (downsampling) süreci, Şekil 3.2'de verildiği gibi ayrılr ve frekans bantlarının katsayıları elde edilir. D2 detay katsayıları Gamma, D3 detay katsayıları Beta, D4 detay katsayıları Alpha, D5 detay katsayıları Theta ve A5 yaklaşım katsayıları Delta dalgalarını temsil eder.

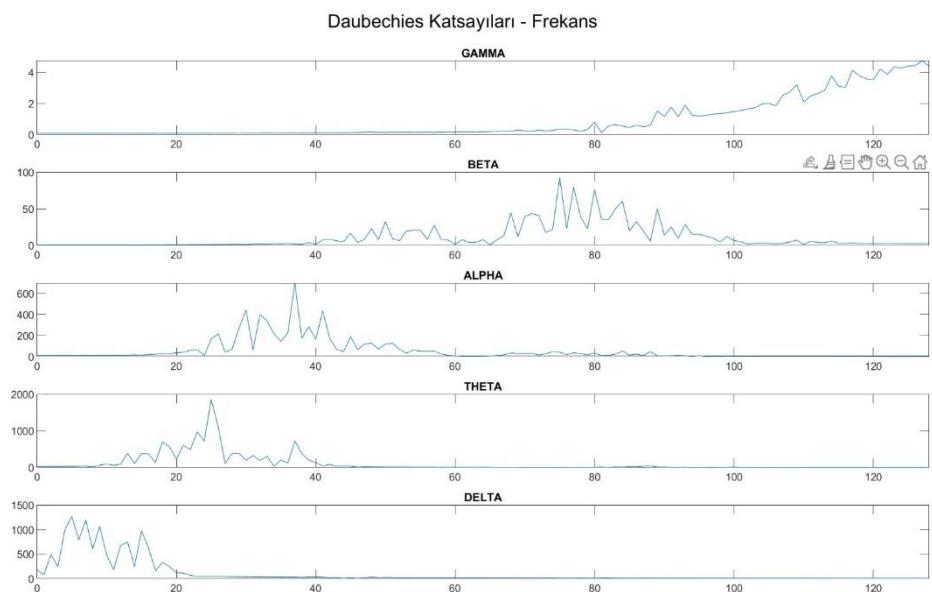
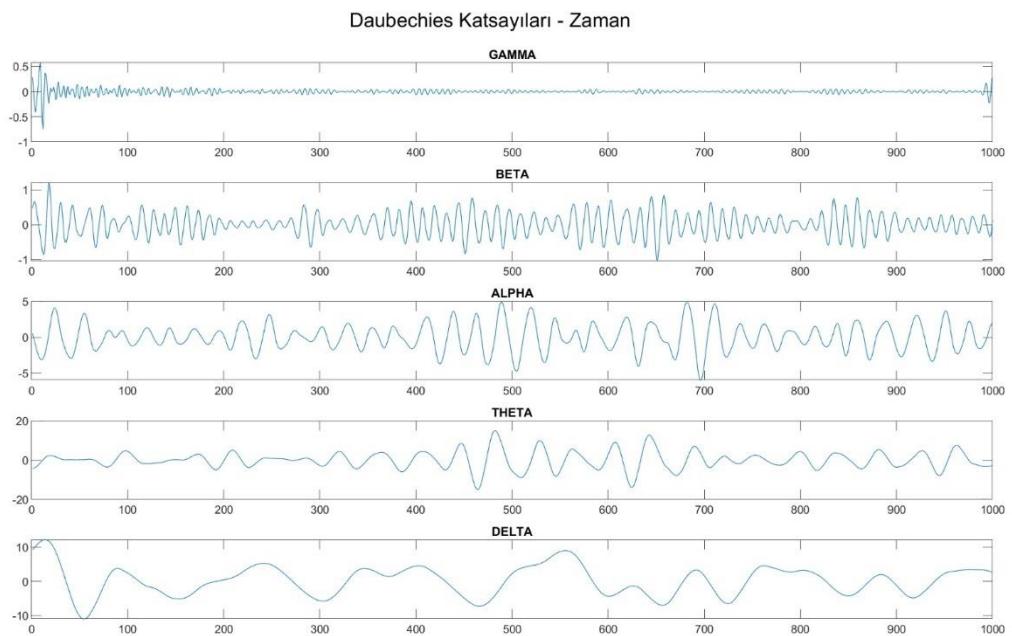
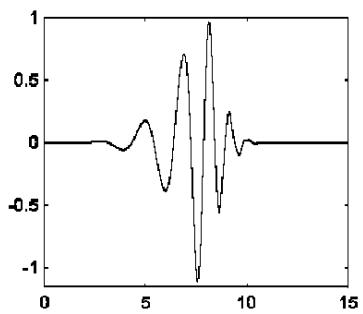


Şekil 3.2 : Mallat Algoritması ile EEG frekans bantları ayrışımı.

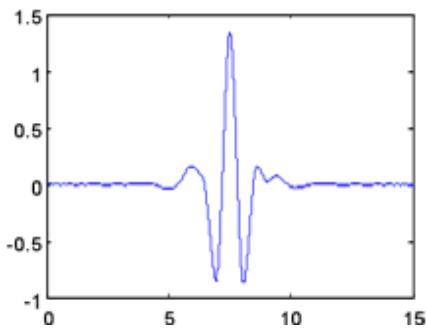
MATLAB kullanılarak EEG frekans bantlarının eldesi simüle edilmiştir. Simülasyon yardımıyla farklı dalgacık aileleri karşılaştırıldıktan sonra滤re katsayıları da elde edilmiştir [18]. Şekil 3.3, Şekil 3.4 ve Şekil 3.5'te bu simülasyonların sonucunda elde edilen çıktılar paylaşılmıştır.



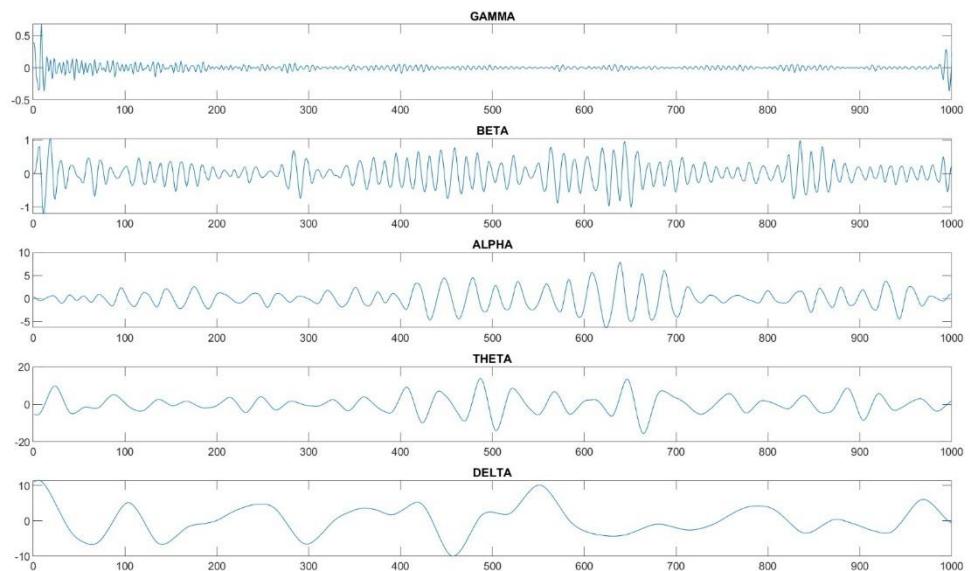
Şekil 3.3 : a) Haar dalgacığı, b) zaman domeni ve c) frekans domeni çıktıları.



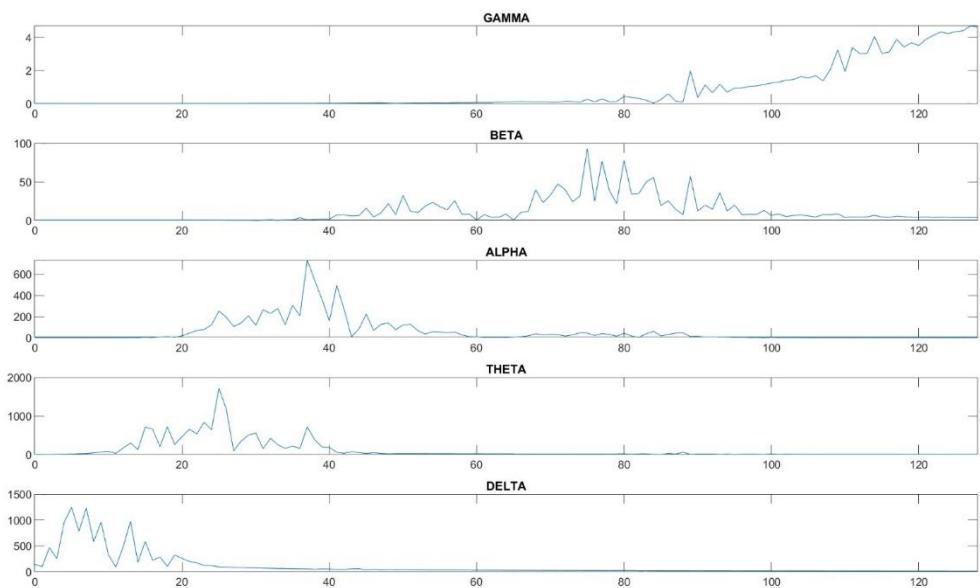
Şekil 3.4 : a) Daubechies-8 (db8) dalgacığı, b) zaman domeni ve c) frekans domenide çıktıları [34].



Symlet Katsayıları - Zaman



Symlet Katsayıları - Frekans



Şekil 3.5 : a) Symlet-8 (sym8) dalgacığı, b) zaman domeni ve c) frekans domeni çıktıları [34].

3.3.4 DWT RTL Tasarımı

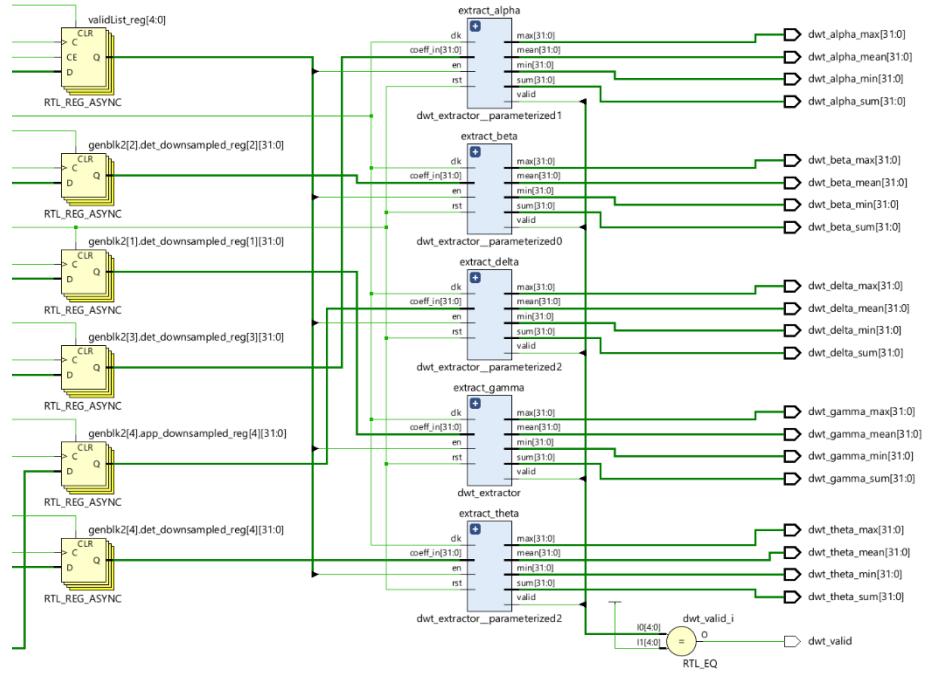
Ayrık zamanlı dalgacık dönüşümünün FPGA üzerinde uygulanması için öncelikle MATLAB kullanılarak ‘db8’ ve ‘haar’ dalgacık ailelerinin filtre katsayıları fixed-point biçiminde ölçeklendirilmiş ve filtreler SystemVerilog kullanılarak tasarlanmıştır. DWT ana modülünde ön işleme çıkışından gelen sinyal Şekil 3.2’de gösterilen ayrışım katmanlarından geçirilmiştir. Katsayıların simülasyondaki görüntüleri Şekil 3.6’da gösterilmiştir.

Ana modülün girişinde saat, reset ve aktivasyon sinyalleri ve 32-bit giriş sinyali, çıkışında ise 32-bit delta, theta, alpha, beta ve gamma bandlarını temsil eden katsayıları bulunduktan sonra bu katsayıların sınıflandırımda daha seçici davranış adına her bandın a) maksimum, b) minimum c) ortalama ve d) mutlak toplam değerleri hesaplanmıştır.



Şekil 3.6 : Simülasyon ortamında yukarıdan aşağıya sırasıyla gamma, beta, alfa, theta ve delta katsayıları.

DWT katsayıları hesaplanırken her bandın katsayısı ‘dwt_extractor’ modülüne girerek yukarıda bahsedilen öznitelikler elde edilmek üzere işleme sokulmaktadır. Tüm katsayılar hesaplandıktan sonra öznitelikler, ‘valid’ kontrol sinyali ile birlikte dışarı aktarılır. Şekil 3.7’de dönüşümden çıkan katsayıların öznitelik çıkarıcı alt modüllerine girişi ve çıktılarının oluşturulması gözlemlenmektedir.



Şekil 3.7 : DWT ana modülünün çıkışından bir kesit.

Ayrık dalgacık dönüşümü önce ‘db8’ dalgacığı ve sonra ‘haar’ dalgacığı ile denenmiştir. Kaynak kullanımındaki büyük fark sebebiyle ‘haar’ dalgacığı ile devam edilmiştir. İki farklı dalgacık sonucu kullanılan kaynakların tablosu Çizelge 3.1 ve 3.2’de gösterilmiştir.

Çizelge 3.1 : ‘db8’ dalgacığı için kullanılan kaynak sayısı.

Kaynak	Kullanılan	Mevcut	Kullanım %
Mantık olarak LUT	21673	53200	40.74
Slice Register	14804	106400	13.91

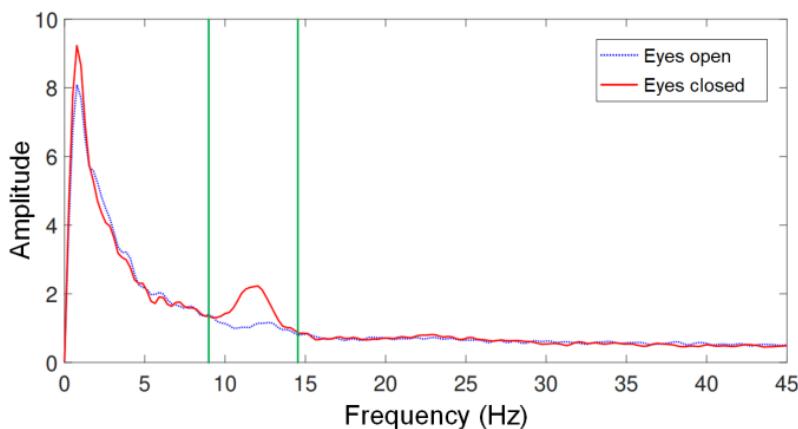
Çizelge 3.2 : ‘haar’ dalgacığı için kullanılan kaynak sayısı.

Kaynak	Kullanılan	Mevcut	Kullanım %
Mantık olarak LUT	4120	53200	7.74
Slice Register	1497	106400	1.41

3.4 Güç Spektral Yoğunluğu (PSD) ile Nitelik Çıkarımı

3.4.1 Güç Spektral Yoğunluğunun EEG Sinyallerinde Kullanımı

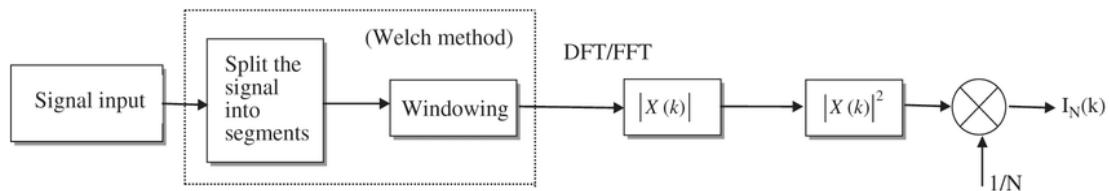
EEG sinyallerinin güç spektral yoğunluğu (power spectral density, PSD), epileptik nöbetlerin tespiti, depresyon teşhisleri, motor imgeleme tabanlı beyin-bilgisayar arayüzleri ve birçok farklı uygulamada kullanılmıştır [4]. Gözlerin kapatılmasıyla birlikte alfa dalgalarının varlığı nedeniyle 8-14 Hz arasında PSD değerinde bir artış göstermektedir [21]. Bu fark Şekil 3.8'de gösterilmiştir.



Şekil 3.8 : Göz açıp kapamanın güç spectral yoğunluğuna etkisi [21].

3.4.2 Welch Metodu ile PSD Hesaplaması

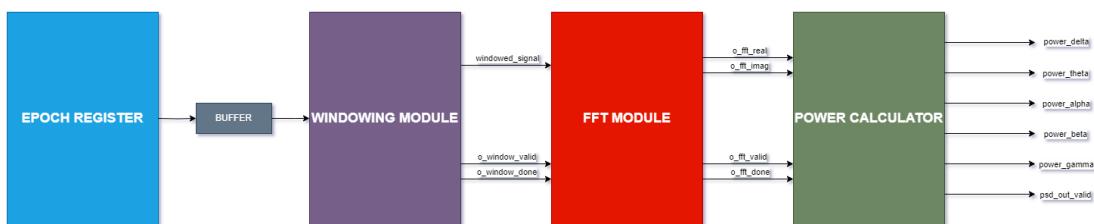
Welch yöntemi, zaman serisinin güç spektral yoğunluğunu değiştirilmiş periyodogramlar kullanarak tahmin etmeye yönelik parametrik olmayan bir yaklaşımdır. Bu yöntemde her epok, sabit boyutlu küçük segmentlere bölünür. Sızıntı (leakage) etkisini azaltmak amacıyla, her segment önce bir Hamming penceresi ile ağırlıklandırılır, ardından Hızlı Fourier Dönüşümü (FFT) uygulanarak periyodogramlar elde edilir [4]. Şekil 3.9 bu yöntemi şematik olarak açıklamıştır.



Şekil 3.9 : Welch Metodu yardımıyla PSD işlemi [35].

3.4.3 PSD RTL Tasarımı

Bu tasarımda, Welch metodundan yola çıkarak ancak donanım açısından daha az kaynakla ve daha kısa sürede gerçeklenebilir bir güç hesaplama sistemi geliştirilmiştir. 256 örnek barındıran zaman diliminin pencerelere ayrılması çok düşük sayıda örnekli pencereler oluşturacağı için doğrudan epok 256 noktalı Hamming penceresinden geçirilmektedir. Sonrasında Xilinx FFT IP Core yardımıyla 256-N FFT işlemi gerçekleştirilir ve 32-bit reel ve imajiner frekans bilgileri elde edilir. Reel ve imajiner değerlerin karesi alınarak toplanır ve güç karşılıkları bulunur. Son olarak bu değerler her frekans bandına denk düşen frekans aralıklarında toplanarak frekans bantlarının güç değerleri öznitelik olarak çıkarılır. Şekil 3.10'da şematik olarak gösterilmiştir.



Şekil 3.10 : PSD için oluşturulan sistem şematiği.

Çizelge 3.3'te PSD için kullanılan kaynaklar listelenmiştir. Vivado programı bu sentez bazında Hamming penceresinin katsayılarını depolamak için F7 ve F8 Multiplexer yapılarını tercih etmiştir. Bu değerlerin yanı sıra FFT IP Core kara kutu olarak listelenmiştir.

Çizelge 3.3 : PSD modülü için kullanılan kaynak miktarı.

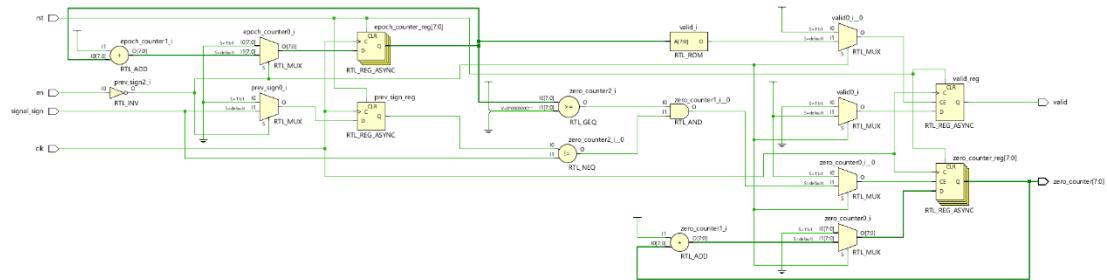
Kaynak	Kullanılan	Mevcut	Kullanım %
Mantık olarak LUT	327	53200	0.61
Slice Register	288	106400	0.27
F7 Mux	25	26600	0.09
F8 Mux	12	13300	0.09
DSP Bloğu	4	220	1.82

3.5 Sıfır Geçiş Oranı Özniteliği

Sıfır geçişlerinin sayımı, bir sinyalin belirli bir aralıktaki ortalama frekansı hakkında hızlı ve pratik bir şekilde bilgi edinmek için kullanılır. EEG sinyallerinde, gamma

bandı gibi yüksek frekanslı ya da delta bandı gibi düşük frekanslı aktivitelerdeki değişimler, sıfır geçiş sayısında artısa ya da azalmaya yol açmaktadır.

Diger ozniteliklere yardimci olmasi adina sifir geçis sayıcı modülü de paralel olarak çalışmaktadır ve 256 örnekteki sifir geçis sayısını giriş sinyalinin işaret bitlerini karşılaştırarak sağlamaktadır. Sistemin şematiği Şekil 3.11 ve kaynak kullanımı Çizelge 3.4'te gösterilmektedir.



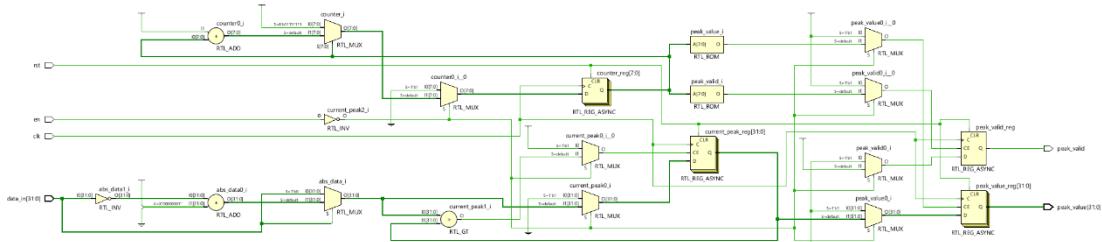
Şekil 3.11: ‘zcr’ modülünün şematiği.

Çizelge 3.4 : Sıfır geçişi sayıcı modülünde kullanılan kaynak sayısı.

Kaynak	Kullanılan	Mevcut	Kullanım %
Mantık olarak LUT	18	53200	0.03
Slice Register	18	106400	0.02

3.6 Tepe Değer Özniteliği

Göz açıp kapama, çene kasılması veya yüz kaslarının hareketi gibi belirli durumlarda, EEG sinyalinde ani ve belirgin güç değişimleri gözlemlenebilmektedir. Bu tür artefaktlar, özellikle düşük frekanslı bileşenlerde sinyalin genliğini önemli ölçüde etkileyebilir. Bu nedenle her 256 örnekten oluşan segmentlerde sinyalin tepe (peak) değeri de hesaplanarak öznitelik vektörüne dahil edilmiştir. Bu ek öznitelik, sinyaldeki ani genlik değişimlerinin yakalanmasını sağlayarak sınıflandırma performansına katkı sağlamayı hedeflemektedir. Sistemin şematiği Şekil 3.12 ve kaynak kullanımı Çizelge 3.5’te gösterilmektedir.



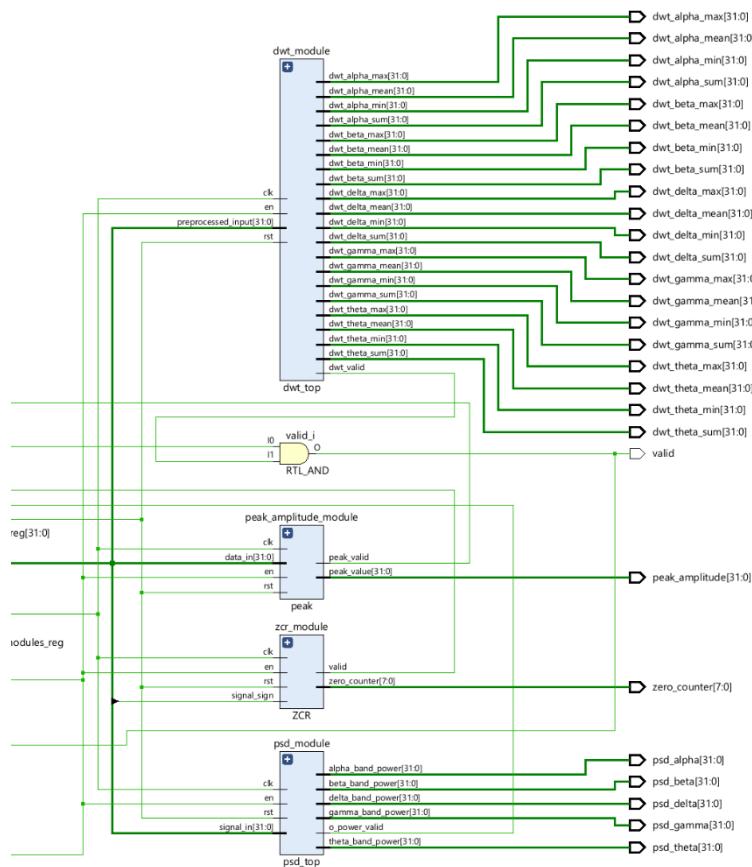
Şekil 3.12 : ‘peak’ modülünün şematiği.

Çizelge 3.5 : Tepe değer modülünde kullanılan kaynak sayısı.

Kaynak	Kullanılan	Mevcut	Kullanım %
Mantık olarak LUT	121	53200	0.23
Slice Register	73	106400	0.07

3.7 Öznitelik Çıkarma Ana Modülü ve Sistem Bağlantıları

Ön işleme çıkışından gelen çıkış sinyalleri, Şekil 3.13'te gösterildiği üzere sırasıyla DWT, PSD, sıfır geçiş sayıcı ve tepe değer modüllerinin girişlerine eşzamanlı olarak aktarılmaktadır. Bu dört modül, birbirinden bağımsız ve paralel bir şekilde çalışarak toplamda 27 adet öznitelik üretmektedir. Tüm öznitelik çıkarımı işlemleri tamamlandığında sistem otomatik olarak sıfırlanmakta ve bir sonraki epok işlemi için 256 Hz örnekleme saat sinyalinin yükselen kenarını beklemektedir. Böylece, her yeni epok için yeniden öznitelik çıkarımı süreci başlatılmakta ve modüller temizlenmiş bir şekilde çalışmaya devam etmektedir. Üretilen çıkış verileri, sistem sıfırlanmadan önce ‘valid’ sinyali ile birlikte dış ortama aktarılmakta, AXI arayüzü üzerinden 32-bit genişliğindeki kaydedicilere (register) yazılarak saklanmaktadır.



Şekil 3.13 : ‘feature_extractor_top’ modülünün şematiğinden bir kesit.

Öznitelik işlemleri için harcanan toplam kaynak sayısı Çizelge 3.6’da listelenmiştir.

Çizelge 3.6 : ‘feature_extractor_top’ modülünde kullanılan kaynak sayısı.

Kaynak	Kullanılan	Mevcut	Kullanım %
Mantık olarak LUT	4668	53200	8.77
Slice Register	1948	106400	1.83
F7 Mux	25	26600	0.09
F8 Mux	12	13300	0.09
DSP	4	220	1.82

4. EEG SİNYALLERİNİN SINIFLANDIRILMASI

EEG sinyallerinin sınıflandırılması Beyin Bilgisayar Arayüzü uygulamalarındaki önemli süreçlerden biridir. Bahsi geçen sınıflandırma, EEG sinyalinden elde edilen özelliklerin çeşitli matematiksel modellere beslenmesi ve çıktı elde edilmesi yöntemine dayanır. Kullanılacak matematiksel modelin seçiminde göz önünde bulundurulan etmenler vardır. Sinyalin niteliği, işlem gücü gereksinimi ve veri setinin boyutu gibi etmenler farklı matematiksel modellerin farklı problemlerde kullanımını uygun hale getiren başlıca etmenlerdir [22]. Bu bölümde potansiyel yaklaşımın çalışma mekanizmaları, güçlü ve zayıf yönleri yakından incelenecaktır. Bu sayede projenin amacına ve kısıtlarına uygun yöntemin seçilmesinin yanı sıra farklı yaklaşımın da olası etkilerini gözlemlemek hedeflenmiştir. Gerçekleştirilen çalışmanın öne çıkan özellikleri şu şekildedir:

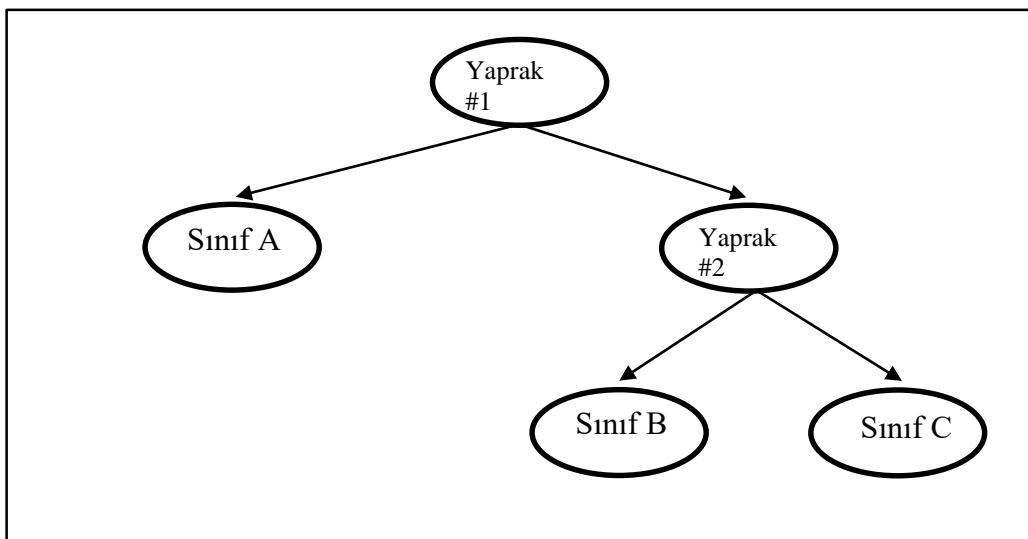
- Nihai uygulama FPGA donanımı üzerinde gerçekleştirilecektir. Bu sebeple, işlem gücü maliyeti ve kaynak kullanımı önemli bir kriterdir. Sistemin gerçek zamanlı çalışması da beklendiğinden işlem gereksiniminin düşük olması kayda değer bir avantaj olarak görülmektedir.
- Hedeflenen sınıflandırma iki sınıf arasında gerçekleşecektir. Örneğin ilk aşamada yapılması planlanan uygulamalar “göz açık/kapalı”, “epilepsi krizi gerçekleşiyor/gerçekleşmiyor” şeklinde dir.

4.1 Sınıflandırma İçin Kullanılabilecek Yapay Zekâ Algoritmaları

4.1.1 Karar Ağacı (Decision Tree):

Karar ağacı, veriyi belirlenen özelliklere göre ardışıl ikili ayırmaya tabi tutan bir makine öğrenmesi yöntemidir. Çıktının sürekli olduğu regresyon problemlerinde de, çıktıının ayrık olduğu sınıflandırma problemlerinde de kullanılan türleri vardır. Bu çalışmada amaç, ön sınıflandırma aşamasında gruplanan veriyi sınıflandırmak olduğundan karar ağacı yönteminin sınıflandırma problemlerinde kullanımına odaklanacaktır.

Karar ağacı yöntemindeki temel amaç veri noktalarının bulunduğu düzlemi alt düzlemlere ayırarak sınıflandırmayı sağlamaktır. Bu ayrimı gerçekleştirmek için verinin belirli nitelikleri belirli değerlerle karşılaştırılır. Her bir karşılaştırma işlemi ağaçtaki yaprak (leaf) olarak adlandırılır. Karşılaştırma sonucu yaprağın bağlı olduğu sol veya sağ yapraktan hangisiyle devam edileceği belirlenmiş olur. Tüm karşılaştırmalar tamamlandığında ulaşılan son yaprak, verinin ait olduğu sınıfı belirler ve sınıflandırma tamamlanmış olur. Şekil 4.1'de örnek bir karar ağacı yapısı görselleştirilmiştir.



Şekil 4.1 : Karar ağacı yapısı.

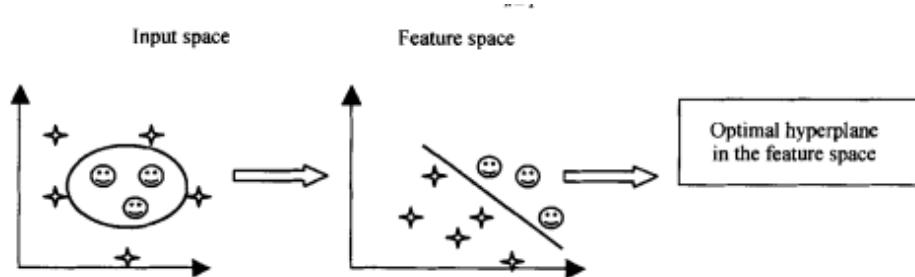
Bir karar ağacının istenen sınıflandırmayı gerçekleştirebilmesindeki temel etken her bir yaprağın verinin hangi özelliklerini hangi değerle karşılaştırıldığıdır. Ağaç yapısının kurulması ve yapraklardaki karar eşiklerinin (threshold) belirlenmesi karar ağacının öğrenim sürecinde gerçekleşir. [23] Öğrenim sürecinde veri seti belirlenen özellikler ikiye ayrılır. Sayısal değerler için bu ayrım veri setinde yer alan değerlerin aralarına yerleşecek şekilde seçilir ve bu sayede farklı ayrım kombinasyonları oluşturulur. Sayısal olmayıp kategori formundaki değerler için ise tipki sayısal değerlerdeki gibi veri setini ikiye ayıracak alt gruplar oluşturulur ve farklı ayrım kombinasyonları bu şekilde sağlanır. Oluşturulan tüm ayrım kombinasyonlarından hangislerinin diğerlerine göre daha heterojen bir ayrım sağladığına karar vermede çeşitli metriklerden faydalanaılabilir. Bu metriklerden literatürde ve yazılım araçlarında sıkılıkla kullanınlardan biri Gini endeksidir [24]. Denklem (4.1) Gini endeksinin genel gösterimidir.

$$I(p) = \sum_{i \neq j} p_i p_j = 1 - \sum_j p_j^2 \quad (4.1)$$

Gini endeksi sayesinde, yapılan ayrım sonucu oluşan grupların ne kadar saf olduğu ifade edilir. Endeksin düşük olması, ayrım sonucu oluşan grupların tek sınıftan veriler içermeye daha yakın olduğunu, yani daha saf olduğunu gösterir. Öğrenim sürecinde amaçlanan bu olduğundan, hesaplanan Gini endeksinin düşük olduğu ayrım adayları seçilir. Aksi durum, Gini endeksinin sıfıra uzak bir değer çıkmasıdır. Bu durum ayrım sonucu oluşan grupların farklı sınıflardan örnekler barındırdığının işaretçisidir. Böyle bir ayrım, karar ağacına anlamlı bir katkı sağlamayacağından Gini endeksi sıfıra uzak olan ayrım adayları seçilmeyez.

4.1.2 Destek Vektör Makineleri (SVM):

Temelde her bir verinin belirlenen özellikler doğrultusunda uzayda bir nokta olarak ifade edilmesine ve bu noktaları iki sınıf'a minimum hata ile ayıran düzlemin bulunmasına dayanan Destek Vektör Makinesi (Support Vector Machine), ikili sınıflandırma uygulamalarında sıkılıkla tercih edilen yöntemlerden biridir. Bu noktada sınıfların ayrimı yalnızca lineer şekilde yapılabildiği halde uzayın lineer olmayan bir dönüşüm tabii tutulması yardımıyla bahsedilen sınırlama ortadan kaldırılabilir. Şekil 4.2, lineer olmayan bir problemde yeni bir boyut ekleme ve uzayı lineer olmayan dönüşüm tabii tutma yöntemiyle ayrimın lineer hale getirilmesini görsel olarak sunmaktadır [25].



Şekil 4.2 : Destek vektörleri ile sınıflandırma.[25]

SVM yaklaşımının karakteristik özelliklerinden bir diğeri ise çok sayıda boyut içeren verilerle çalışmaya uygun olmalıdır. Yukarıda bahsi geçtiği üzere, verinin seçilen her bir özelliği uzayda bir boyut ile ifade edilir. Bu sayede artan veri özelliği, veri noktaları için ayırt edici hale gelir. EEG sinyallerinden dalgacık, PSD gibi kompleks dönüşümler yoluyla çok sayıda özellik elde edildiği göz önünde bulundurulduğunda

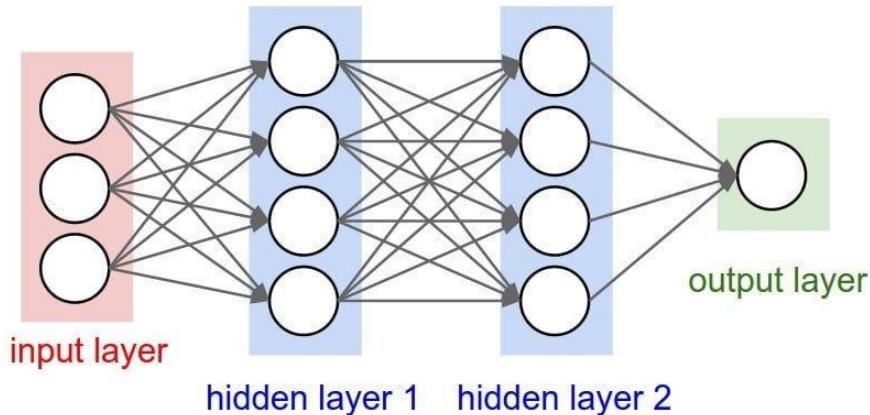
SVM yönteminin EEG sinyallerini ikili sınıflandırmada kullanıma uygun olduğu görülebilir. SVM yönteminin dezavantajları arasında işlem gereksinimi örnek verilebilir. Yüksek miktarda veriyle eğitilmesi durumunda ayrımlaşmanın ve lineer olmayan dönüşümlerin hesaplanması yüksek işlem gücü gereksinimini beraberinde getirir. Bu uygulamada, eğitim süreci bilgisayar üzerinde gerçekleştirilip katsayılar FPGA donanımına aktarılacağından dolayı eğitim sürecindeki işlem gücü gereksinimi sisteme olumsuz etki olarak değerlendirilmeyecektir. Sistemin gerçek zamanlı çalışma performansını etkileyebilecek nokta ise ayrımlaşmanın karmaşıklık düzeyidir. Uygulanan dönüşümler lineer, polinom, Radial Basis Function (RBS), sigmoid gibi farklı çeşit ve karmaşıklıkta olabilir ve bu durum sistemin gerçek zamanlı çalışma performansını etkileyebilir [26]. Çalışmanın ilerleyen aşamasında SVM yöntemi MATLAB üzerinde gerçekleştirerek performans değerlendirmeleri yapılacaktır.

4.1.3 Yapay Sinir Ağları (ANN):

Yapay Sinir Ağları, insan beyninin çalışma prensiplerini esas alan bir yapay zekâ modelidir. Giriş verilerinin işlenerek bir çıktı üretilmesi prensibine dayanan yapay sinir ağları, birbirine bağlı nöronların bir araya gelmesiyle kurulur. Bu yapıyı oluşturan nöronların temel görevi gelen girdiyi belirli bir ağırlıkla çarpmak ve aktivasyon fonksiyonu ile çıktıya dönüştürmektir. Yapay sinir ağları; örüntü tanıma, sınıflandırma ve regresyon gibi alanda sıkılıkla kullanılmaktadır [27].

Kompleks ve yüksek boyuta sahip verilerin işlenmesinde yapay sinir ağlarından faydalananır. Bu yönyle, yapay sinir ağları biyomedikal sinyallerin sınıflandırılmasında da kullanılabilir. Farklı çalışmalarda; bilişsel durum, hastalık teşhis, motor hareketleri gibi uygulama alanlarında yapay sinir ağlarından faydalananlığı görülmektedir [28]. Bu noktada geçmiş çalışmalar; çok katmanlı algılayıcılar (MLP), evrişimli sinir ağları (CNN) ve geri yayılım algoritmalarından faydalananarak model eğitimleri gerçekleştirmiş ve EEG sinyallerini sınıflandırmada başarı elde etmiştir. [29].

Tüm bunlar göz önünde bulundurulduğunda, yapay sinir ağları karmaşık sinyallerdeki örüntülerini öğrenme bakımından öne çıkmakta, probleme uygun bir ağ yapısının kurulması şartıyla yüksek doğruluk oranları sağlayabilmektedir. Şekil 4.3'te yapay sinir ağları katmanlarının gösterimi verilmiştir.



Şekil 4.3 : Yapay sinir ağları katmanlarının gösterimi [36].

4.2 Karar Ağacı Tasarımı ve Uygulaması

Karar ağacı yönteminin çalışmada ele alınan problem üzerinde uygulanmasında aşağıdaki adımlar izlenmiştir.

4.2.1 Eğitim için Verinin Hazırlanışı:

EEG göz açma/kapama verisini içeren örnek veri seti MATLAB programına aktarılmıştır. Aktarılan veri, önceki kısımlarda gerçekleşen ön işleme adımlarına tabi tutulmuştur. Bu adımlar çentik, fark alıcı ve alçak geçiren süzgeçlerdir. Süzgeçin çıkışında sinyal, 256 örnek boyutunda ve 1 örnek kayma ile pencerelere ayrılmıştır.

Her pencere için belirli öznitelikler hesaplanmıştır. Ayrık dalgacık dönüşümü (DWT), güç spektral yoğunluğu (PSD), sıfır geçiş oranı ve tepe değer yöntemlerinin uygulanması sonucu elde edilen 27 öznitelik bir tabloya kaydedilmiş ve gözün açık/kapalı durumunu belirten etiketle birleştirilmiştir. Bu sayede karar ağacının eğitilmesi için uygun nihai tablo elde edilmiştir.

4.2.2 Karar Ağacı Parametrelerinin Belirlenmesi:

Karar ağacını eğitmeye başlamadan önce ağacın yapısını etkileyen temel parametreler belirlenmelidir. Bu parametrelerden en temeli, karar ağacındaki maksimum ayrım sayısının kısıtlanmasıdır. Maksimum ayrım sayısının yüksek belirlenmesi, modelin daha esnek olmasına ve daha detaylı bir öğrenime olanak tanır. Ancak bu durum, beraberinde artan işlem gücünü ve hafiza gereksinimi getirir. Maksimum ayrım sayısının düşük tutulması her ne kadar modeli basitleştirse de, yeterince detaylı bir

öğrenimin önüne geçerek modelin tahmin başarısını düşürebilir. Bu parametrenin çalışmada ele alınan problem üzerindeki etkisini görmek ve performans kıyaslaması yapabilmek adına 3 farklı maksimum ayrım sayısında model eğitimi gerçekleştirecektir. Bu sayı; yüksek detay için 100, orta detay için 20, düşük detay için 4 olarak belirlenecektir.

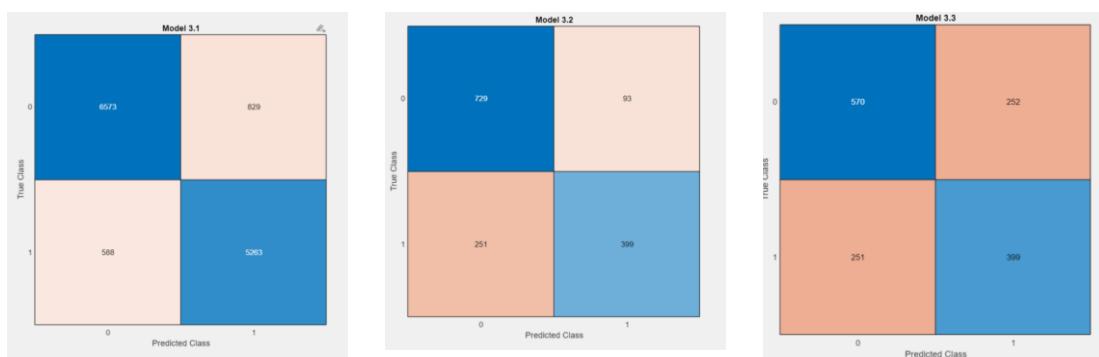
Karar ağacının oluşumunu etkileyen bir diğer parametre ise ayrım adayları arasında seçim sağlayan metriktir. Önceki kısımda bahsedilen nedenlerden ötürü Gini endeksi tercih edilecektir.

4.2.3 Eğitim Sonucu Doğruluk Oranı:

Belirlenen parametreler doğrultusunda 3 farklı karar ağaçları eğitilmiştir. Elde edilen karar ağaçları veri setinin eğitim sürecinde kullanılmayan %10'luk bölümü üzerinde test edilmiştir. Sonuçlar Çizelge 4.1'de gösterilmiştir. Yapılan doğru ve yanlış tahminlerin sınıflara göre dağılımını gösteren grafikler Şekil 4.4'te gösterilmiştir.

Çizelge 4.1: Farklı karar ağaçlarının doğruluk oranı.

Karar AĞACI	Maksimum Ayrım Sayısı	Doğruluk Oranı (%)
Düşük Detay	4	65.8
Orta Detay	20	76.6
Yüksek Detay	100	89.7



Şekil 4.4 : a) Yüksek detay, b) orta detay, c) düşük detay karar ağaçlarına ait karmaşılık matrisleri.

4.2.4 Test Sonuçlarının Değerlendirmesi:

Test sonuçları incelendiğinde maksimum ayrım sayısının düşük değerlerde belirlenmesi sonucu modelin doğruluk oranının önemli ölçüde düşüğü gözlemlenmiştir. Karar ağacı yapısının hali hazırda düşük işlem gücü ve hafıza gereksinimi olduğu göz önünde bulundurulduğunda, yüksek detaya sahip karar ağacı modelinin seçilerek daha yüksek doğruluk oranlarına ulaşmasına karar verilmiştir.

4.2.5 Karar Ağacının Gömülü Sistem Gerçeklemesi:

MATLAB üzerinde oluşturulan ve eğitilen karar ağacının gömülü sistem üzerinde çalışabilmesi için C dilinde gerçeklenmesi hedeflenmiştir. Bunu sağlamak amacıyla ilk olarak ağacı oluşturan her bir yaprağın karar eşiğinin ve hangi öznitelikleri karşılaştırığının bilgisi gereklidir. Bu bilgileri MATLAB’ın oluşturduğu model dosyasından elde ederek C kodunda struct yapısı halinde kaydedebilmeyi sağlayan bir Matlab kodu oluşturulmuştur. Bu sayede, ağacı oluşturmak için gerekli bilgiler Şekil 4.5’teki gibi depolanmıştır. Belirli bir sınıfa ait sonuç yaprakları için *sınıflandırma* alanı, ait olduğu sınıfa ait rakamla gösterilmiştir. Örneğin, göz açık sınıfına ait yaprakları 0, göz kapalı sınıfına ait sonuç yaprakları 1 olarak kaydedilmiştir. Ara yapraklar için ise bu değer -1 olarak ayarlanmıştır.



Şekil 4.5 : Yapraka ait struct yapısı.

Bu veri yapısı oluşturulduktan sonra, başlangıç yaprağından başlayan ve karşılaştırmaların sonuçlarına göre sol veya sağ bağlantıyı takip eden bir döngü oluşturulmuştur. Kurulan bu yapı, örnek veri setinden alınan verilerle test edilmiş ve Matlab’da elde edilen sonuçlara paralel sonuçlar çıktıgı gözlemlenmiştir. Sonraki

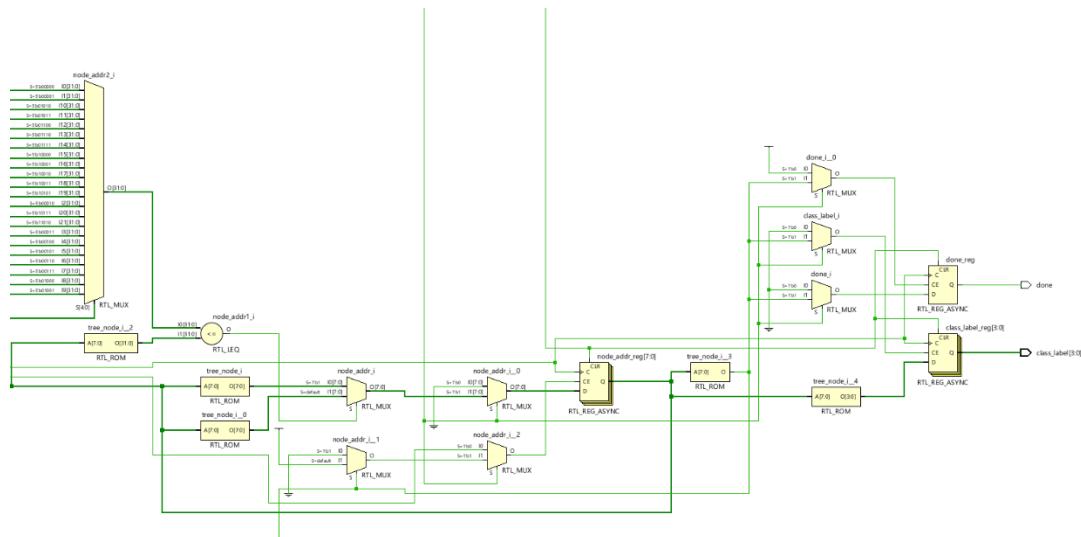
asama olarak bu C programının FPGA üzerinde PS'e entegre edilmesi hedeflenmektedir.

4.2.6 Karar Ağacının RTL Gerçeklemesi:

C dilinde gerçekleşen karar ağacının daha düşük gecikme ile tasarımlı için PL kısmında RTL tasarımı da gerçekleştirilmiştir. SystemVerilog dilinde aynı algoritma yeniden tasarlanmış ve test edilmiştir.

Ağacın kökleri struct yapısında tanımlanmakta ve Sonlu Karar Makinesi – Finite State Machine (FSM) kullanılarak gözün durumuna karar verilmektedir.

Karar ağacının RTL şematiği Şekil 4.6 ve kaynak kullanımı Çizelge 4.2'de gösterilmektedir.



Şekil 4.6: Karar ağacı RTL şematiği.

Çizelge 4.2 : Sentezde kullanılan kaynakların tablosu.

Kaynak	Kullanılan	Mevcut	Kullanım %
Mantık olarak LUT	559	53200	1.05
Slice Register	763	106400	0.72
F7 Mux	94	26600	0.35
F8 Mux	3	13300	0.02

4.3 Yapay Sinir Ağı Tasarımı ve Uygulaması

MATLAB Deep Network Designer aracılığıyla sinir ağı modelleri hazırlanmış, eğitim ve testler sonucu uygun modeller belirlenmiştir.

4.3.1 Derin Öğrenme Modelinin Tasarımı:

MATLAB Deep Network Designer aracı kullanılarak toplam 18 katmandan oluşan bir yapay sinir ağı (ANN) mimarisi oluşturulmuştur. Model, Şekil 4.8'de gösterilmiş ve yer alan katmanlar ve işlevleri aşağıda sıralanmıştır.



Şekil 4.7: Yapay sinir ağı mimarisi.

- 1) Öznitelik Giriş Katmanı
- 2) 1. Tam Bağlantılı Katman (27 Nöron)
- 3) 1. ReLU Aktivasyon Katmanı
- 4) 1. Dropout Katmanı
- 5) 2. Tam Bağlantılı Katman (256 Nöron)
- 6) 2. ReLU Aktivasyon Katmanı
- 7) 2. Dropout Katmanı
- 8) 3. Tam Bağlantılı Katman (128 Nöron)
- 9) 3. ReLU Aktivasyon Katmanı
- 10) 3. Dropout Katmanı
- 11) 4. Tam Bağlantılı Katman (64 Nöron)
- 12) 4. ReLU Aktivasyon Katmanı
- 13) 4. Dropout Katmanı
- 14) 5. Tam Bağlantılı Katman (32 Nöron)
- 15) 5. ReLU Aktivasyon Katmanı
- 16) 6. Tam Bağlantılı Katman (16 Nöron)

17) Softmax Katmanı

18) Sınıflandırma Çıkış Katmanı

Öznitelik giriş katmanı, modele giriş olarak verilen 27 boyutlu öznitelik vektöründür.

Her pencere için çıkarılan DWT, PSD ve diğer öznitelikleri sinir ağına aktarır.

Birinci tam bağlantılı katman (fully connected layer) girişteki 27 öznitelik vektörünü uzaya yerlestirir. Ardından gelen tam bağlantılı katmanlar ise nöron sayılarına göre uzayı değiştirerek daha karmaşık örüntülerin bulunmasını sağlar.

ReLU aktivasyon katmanında, doğrusal olmayan ilişkilerin modellenmesini sağlamak amacıyla her nöronun çıkışına Rectified Linear Unit (ReLU) aktivasyon fonksiyonu uygulanır.

Dropout katmanı, aşırı öğrenmeyi (overfitting) engellemek amacıyla eğitim sırasında bu katmandaki nöronların %30'unu rastgele devre dışı bırakır. Bu sayede modelin genelleme yeteneği arttırılır.

Softmax katmanı, sınıflandırma katmanından hemen önce çıktıları olasılık dağılımına dönüştürür. Her sınıf için 0 ile 1 arasında bir olasılık üretir ve toplamı 1 olacak şekilde normalize eder.

Sınıflandırma çıkış katmanı, sinyal penceresinin göz açık (0) veya göz kapalı (1) olduğuna karar verir.

4.3.2 Model Eğitim Parametrelerinin Belirlenmesi:

Modelin eğitim ve doğrulama testlerine başlamadan önce, eğitim ortamının daha verimli ve kararlı hale getirilmesi amacıyla bazı hiperparametrelerde düzenlemeye gidilmiştir. Kullanılan başlıca eğitim parametreleri aşağıda açıklanmıştır.

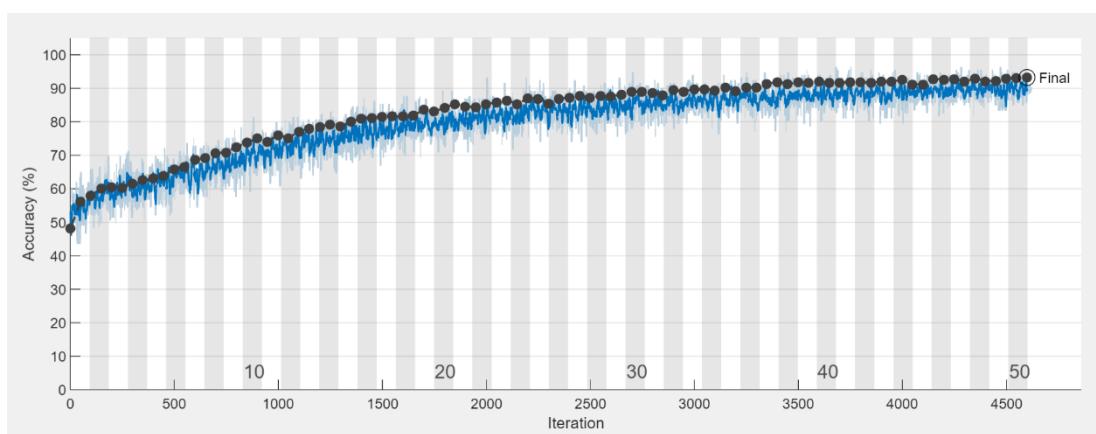
Çözümleyici (Solver) olarak kullanılan Adam optimizasyon algoritması, gelişmiş bir gradian iniş yöntemidir ve eğitim sürecinde hızlı ve kararlı bir yakınsama sağlar. Gradyan sönümleme faktörü 0.9 verilerek algoritmadaki önceki gradyanlara önemli bir ağırlık verilmiştir.

Öğrenme oranı (learning rate), ağırlıkların güncellenme hızını belirler ve başlangıç için 0.001 seçilerek yavaş ama hassas öğrenme hedeflenmiştir. Her 10 epokta bir öğrenme oranı 0.1 faktöründe düşürülmüştür. Bu sayede eğitim ilerledikçe daha hassas bir öğrenme sağlanmıştır.

Epok sayısı, eğitim verisinin tamamı modele 50 tekrar olacak şekilde sunulmuştur. Mini yığın boyutu (mini batch size), eğitim sırasında her iterasyonda işlenecek örnek sayısı, 128 olarak belirlenmiştir. Bu değer, hesaplama verimliliği ve modelin genelleme başarımı arasında iyi bir denge sağlamaktadır.

4.3.3 Eğitim Sonucu Doğruluk Oranı:

Model, 50 epok boyunca toplam 4600 iterasyonla eğitilmiş ve doğrulama verisinde %93.3 sınıflandırma doğruluğu elde edilmiştir. Şekil 4.8'de eğitim grafiği verilmiştir.



Şekil 4.8: Eğitim boyu iterasyon - doğruluk grafiği

4.4 Destek Vektör Makineleri Tasarım ve Uygulaması

Destek vektör makinelerini ele alınan problem üzerinde gerçeklemek için aşağıdaki adımlar izlenmiştir.

4.4.1 Parametrelerin Belirlenmesi

Probleme uygun bir destek vektör makinesi geliştirmek amacıyla farklı kernel türleri kullanan SVM modelleri gerçeklenmiş ve performansları karşılaştırılmıştır. Örnek veri setinin %90'luk kısmı eğitim için, %10'luk kısmı test için ayrılmıştır. Bu veri seti ile Matlab Classification Learner üzerinde eğitilen birinci, ikinci ve üçüncü dereceden kernel kullanan destek vektör makinelerinin doğruluk oranları aşağıda verilmiştir. Doğruluk oranı; doğru yapılan tahminlerin yapılan tüm tahminlere oranı olarak hesaplanmıştır. Sonuçlar Çizelge 4.3'te sunulmuştur.

Çizelge 4.3: Destek vektör makinelerinin doğruluk oranı.

Modelin Derecesi	Doğruluk Oranı (%)
Birinci Dereceden	73.8
İkinci Dereceden	91.7
Üçüncü Dereceden	98.4

Sonuçlarda görüldüğü üzere kullanılan kernelin derecesi arttıkça veriyi öğrenme kabiliyeti artmakta ve doğruluk oranı artmaktadır. Ancak, artan derecenin beraberinde getirdiği bir diğer nokta da artan işlem yüküdür. İkinci ve üçüncü dereceden kernellerin C dilinde gömülü sistem implementasyonu denendiğinde başarılı bir sonuca ulaşılamamıştır. Hesaplamalarda yer alan üssel işlemler, aralığı geniş olan girdilerle birleştiğinde modeller uygulanabilir olmaktan uzaklaşmıştır. Birinci dereceden model, gömülü sistem üzerinde uygulanabilir olmakla birlikte beklenen doğruluk oranını sağlamakta yetersiz kalmıştır.

4.5 Sonuçların Karşılaştırılması

ANN yapısı, paralel işlem gereklisiyle donanımda (PL); karar ağacı ve SVM modelleri ise Zynq çipinin yüksek hızlı çalışan ARM Cortex-A işlemcisinde (PS) çalıştırılır. Bu iş için daha basit bir sistemde benzer doğruluk oranlarında sınıflandırma yapılması açısından karar ağacı modeli, SVM ve ANN algoritmasına kıyasla tercih edilmiştir.

Simülasyonda denenen algoritmaların sonuçları Çizelge 4.4'te gösterilmiştir.

Çizelge 4.4: Yapay zekâ modellerinin karşılaştırılması.

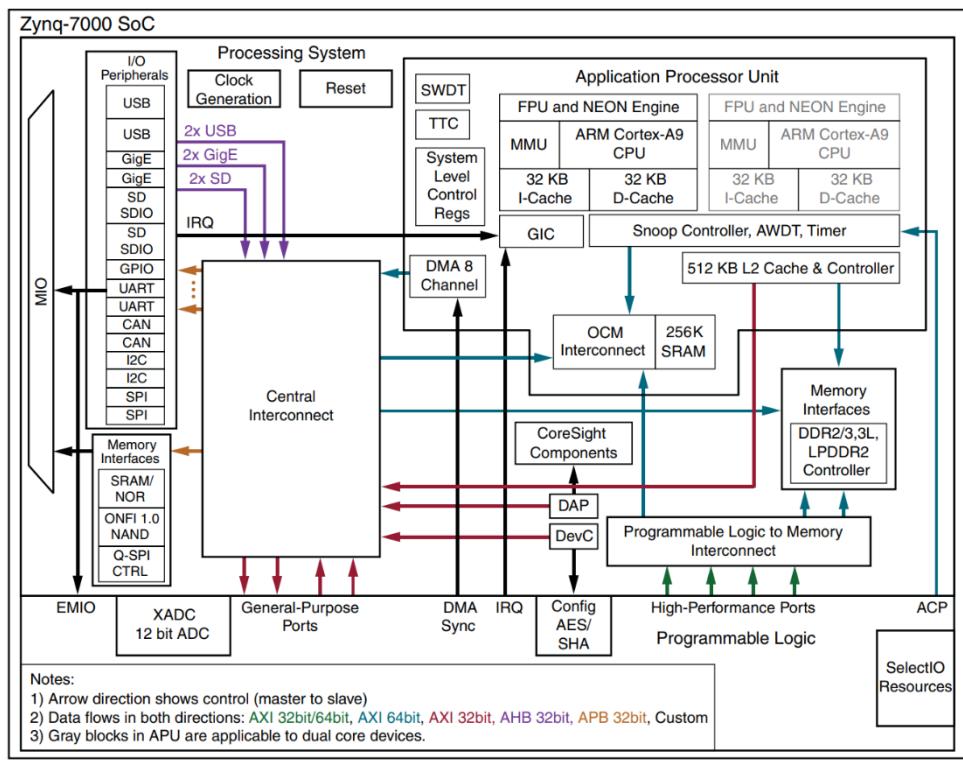
Model	Karmaşıklık	Gecikme	Doğruluk	Tercih
Karar Ağacı	Basit	Az	%95	✓
SVM	Orta Seviye	Az – Orta	%73	
ANN	Karmaşık	Çok	%93	

5. DONANIM SİSTEM MİMARİSİ

Projenin donanımda çalıştırılması için uygun sistem isterleri olarak yüksek saat hızı ve hem RTL donanım tasarımları hem de C dilinde gömülü yazılım imkânı sunan bir mimariler araştırılmıştır. Bu isterleri en iyi şekilde karşılayan Zynq-7 System-on-Chip (SoC) yongası tercih edilmiştir. Bu yonganın geliştirilmesi ve dış çevre birimleri ile bağlantısı için Zybo Z-7 FPGA geliştirme kartı kullanılmıştır.

5.1 Zynq SoC Mimarisi

Zynq – 7000 ailesi; Xilinx tarafından geliştirilen, yüksek performans ve düşük güç tüketimine sahip, içerisinde ARM Cortex-A9 işlemcili işlemci sistemi (processing system – PS) ile programlanabilir mantık bloklarını (programmable logic – PL) tek bir entegre içinde birleştiren System-on-Chip (SoC) mimarisidir [37]. Sistem mimarisi şematik olarak Şekil 5.1’de verilmiştir.



Şekil 5.1 : Zynq – 7000 SoC mimarisi [37].

5.1.1 PS Özellikleri:

İşlemci kısmı olan PS, çift çekirdekli ARM Cortex-A9 CPU'ları, yonga içi bellek ve çeşitli çevresel arabirimlerden oluşur. PS, sistemin her zaman ilk çalışan parçasıdır ve bu sayede hem programlama hem de PL yapılandırması yazılımsal olarak başlatılabilir [37].

5.1.2 PL Özellikleri:

Programlanabilir lojik, kullanıcıya özel sayısal sistem tasarımların gerçekleştirilebildiği geniş bir mantıksal kaynak seti sunar. Yapılandırılabilir mantık blokları (CLB), 6 girişli LUT'lar, gömülü bellek, DSP blokları, PLL saat yönetim blokları, yüksek hızlı giriş çıkış pinleri, gigabit transceiver'lar, analog – dijital çeviricileri (ADC) ve dijital – analog çeviriciler (DAC) gibi bloklar içerir. Bu sayede görüntü işleme, hassas kontrol sistemleri, biyomedikal cihazlar, kablosuz haberleşme ve otonom sistemler gibi geniş bir kullanım alanı sunar [37].

5.2 Veriyolu (Bus) Haberleşme Protokollerı

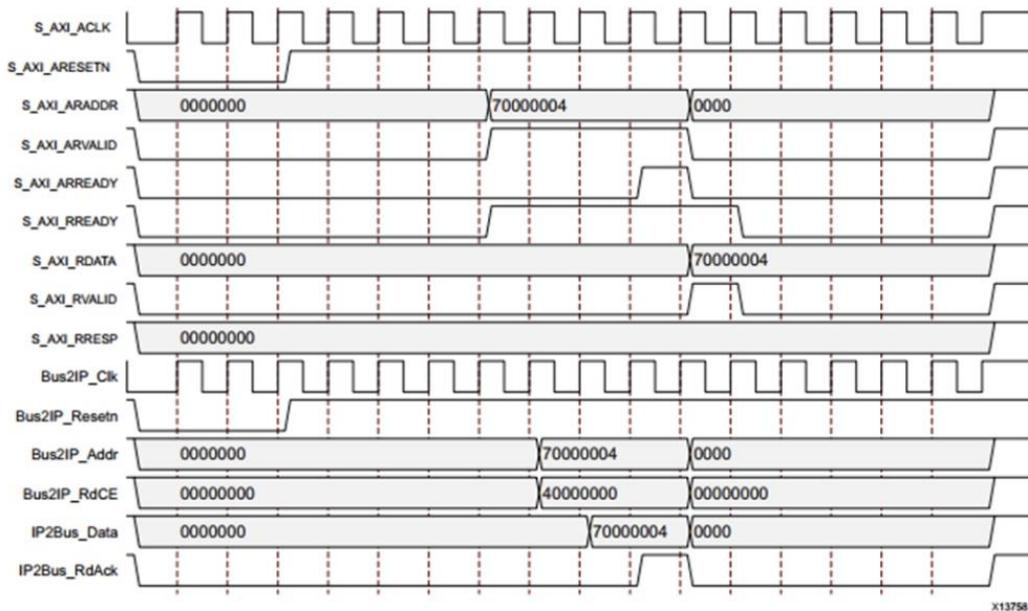
PS-PL iletişimini sağlamak ve programlanan yapıların kompaktlığını baki kılmak için çeşitli haberleşme metotları kullanılır. Bunlar gerektiği zaman programlanabilir lojik parçaların ürettiği veriyi işlemci sistemine aktarırken gerektiği zaman da tam tersi işlemleri yapabilmek için aktif olarak kullanılabilir. Bahsedilen haberleşme metotlarından AXI4 detaylı olarak inceleneciktir.

5.3 AXI4

Advanced eXtensible Interface 4 (AXI4), kullanım açısından 3 farklı tipte incelenir: AXI4, AXI4-Lite, AXI4-Stream. Bellek haritalı veri ve adres arayüzüyle beraber cihazlara “burst” (hızlı veri aktarımı) erişimine olanak tanıyan AXI4, burst erişimi olmayan AXI4-Lite yapısından ayrılır. AXI4 ve AXI4-Lite'dan farklı olarak master'dan slave'e tek yönlü hızlı veri akışına olanak sağlayan yapı da AXI4-Stream'dir.

AXI4 yapısında kullanılan farklı kanallardan aktarılan bilgiler; okuma adresi, okuma verisi, yazma adresi, yazma verisi ve yazma yanıtı olarak iletim sırası belirli bir şekilde haberleşme protokolünü oluşturur.

Şekil 5.2'de farklı sinyallerin değişimine bağlı olarak iletişim kurulması sürecinde RREADY sinyali veri okumaya hazır olduğunu bildirir. Aynı saat yükselen kenarında değişen diğer sinyallerden ARADDR, okuma adresini; ARVALID, okuma adresinin geçerliliğini niteler. Birkaç saat döngüsü sonra ARREADY, okuma adresinin hazırlığını ve RVALID, okuma sürecinin geçerliliğini niteleyecek şekilde 2'lik sistemde 1 veya 0 değerlerini alır.



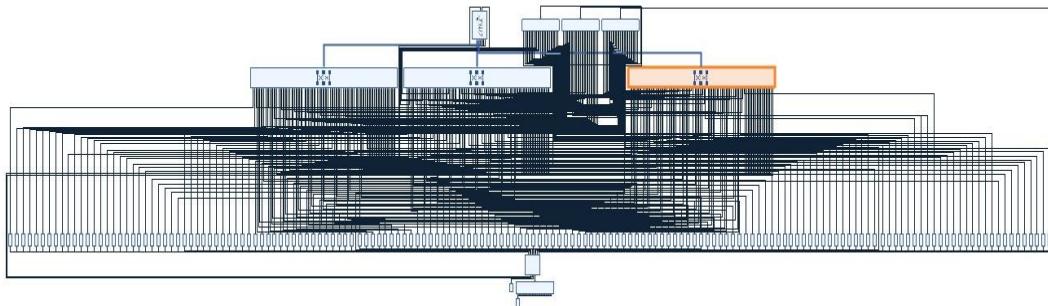
Şekil 5.2 : AXI4-Lite okuma süreci [37].

5.4 AXI Kullanımı

AXI4-Lite protokolü, elde edilen 27 özniteliğin işlemci sisteme aktarıldıkten sonra makine öğreniminin sağlanması için gerçekleşecektir. Bu sayede “Nitelik Çıkarımı” aşamasından “Sınıflandırma” aşamasına geçiş yapılacaktır. Bu bağlamda, öncelikle, karşılıklı “el sıkışma” yapısı araştırıldıktan sonra blok diyagramda oluşturulan yapıların adres haritasına nasıl aktarılması gerektiği ve AXI4-Lite transferinin nasıl başlatılacağına da karar verilir ve PS-PL haberleşmesi tamamlanır.

AXI4-Lite protokolünün gerçekleştirilmesi için 2 farklı metot denenmiştir. Bunlardan ilki, her şeyi manuel gerçeklenen ilgili protokolün sonrasında Slice Register'lar (bölgücü bellek) ile gerekli bloklara aktarılmasına ve 3 farklı AXI Interconnect modülüyle adres haritasına yerleştirilmesine dayanır.

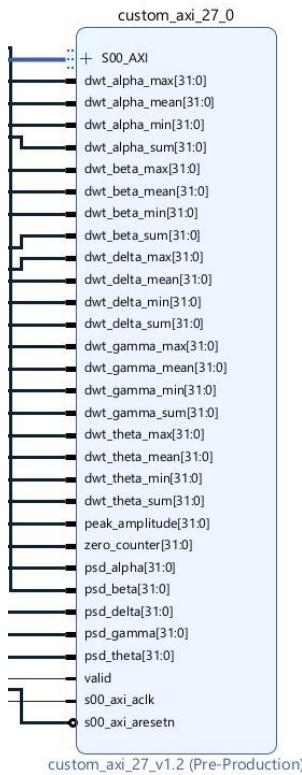
Şekil 5.3'te kullanılan farklı AXI Interconnect modülleri Zynq SoC ile bağlanan AXI protokollerinin adres yerleşimleri sağlanmıştır. Zynq SoC giriş çıkış bağlantılarına 3 tane AXI HP (yüksek performans AXI) eklenerek bunlar da AXI Interconnect modülleriyle bağlanmıştır. Eklenen bölücü bellekler niteliklerin belirli kısımlarının aktarılmasında önemli rol oynayarak sonucunda PS-PL haberleşmesini mümkün kılar.



Şekil 5.3 : AXI4 çevre birimi yapısı.

Bu sistemin en önemli sıkıntısı AXI-4Lite protokolünün nasıl başlatılacağının belirlenmemiş olmasıdır. Dolayısıyla Zynq SoC, programlanabilir lojik adresindeki veriyi ne kadarlık sürede bir okuyacağını bilmediğinden dolayı veri kaçırmı veya veri bastırması gerçekleşir. Bunun çözümü olarak Zynq SoC'nin protokolü başlatabilmesi için interrupt (kesme) girişine 27 öznitelik okunmaya hazır olduğu an “lojik 1” girişi veren bir kablo bağlanır. Bu kablo aynı şekilde veriler okunduktan sonra “lojik 0” olarak farklı bir kesme gönderilmemesini sağlar. Diğer büyük bir sıkıntı da kullanılan 200'e yakın bölücü bellek ve 3 AXI Interconnect yapısı gibi farklı birçok modül de LUT ve kaynak kullanımını çok artıracaktır. Bunların hepsinin önüne geçebilmek adına ikinci metot AXI4-Lite tasarıımı gerçeklenecektir.

Şekil 5.4'te görüldüğü üzere yeni bir IP blok olarak tanımlanmıştır. Bunun için “custom AXI” yapısı oluşturulurken içine ekstra 27 tane 32 bitlik kaydedici bellek tanımlandıktan sonra bunların iç-dış bağlantıları modül çağrırlıken yapılır. Ayrıca AXI4-Lite protokolünün Zynq SoC ile senkron çalışabilmesi adına ek olarak bir enable (izin verme) girişi tanımlanır. Verilerin kaydedici belleklere aktarılmaya hazır olduğu anlamına gelen bu giriş, Zynq SoC gibi protokol içindeki bellekleri de harekete geçirir.



Şekil 5.4 : ‘custom_axi’ çevre birimi yapısı.

Metot 2’de üretilen yeni yapının karşılaşılan bir sıkıntısı, veri bastırmasıdır. Zynq SoC ile AXI4-Lite kaydedicilerine giden interrupt, ilgili bloklara aynı anda vardığından dolayı kaydedicilere veri yeni yazılmasına başlandığı anda hem de okunmaya çalışılır. Bunu düzeltmek için 100 MHz saatle çalışan protokolde Zynq SoC içine giden kesme 10 saat çevrimi gecikmeyle yollandı. Bu sayede 256 Hz çevirimde bir gelen veriler hem doğrudan kaydedilmiş ve okunmuş olur. Ayrıca 100 MHz saatteki 10 çevrimlik gecikme, 256 Hz çevirimde bir gelen veriye zaten yetişebileceği için veri kaçırımı da yaşanmaz.

Çizelge 5.1 ve Çizelge 5.2’de kullanılan kaynaklar gösterilmiştir.

Çizelge 5.1: Eski AXI modülü kaynak kullanımı.

Kaynak	Kullanılan	Mevcut	Kullanım %
Mantık olarak LUT	422	53200	0.79
Hafıza olarak LUT	60	17400	0.34
Slice Register	821	106400	0.77
F7 Mux	0	26600	0.00
F8 Mux	0	13300	0.00

Çizelge 5.2 : Yeni AXI modülü kaynak kullanımı.

Kaynak	Kullanılan	Mevcut	Kullanım %
Mantık olarak LUT	266	53200	0.50
Slice Register	880	106400	0.83
F7 Mux	96	26600	0.36
F8 Mux	0	13300	0.00

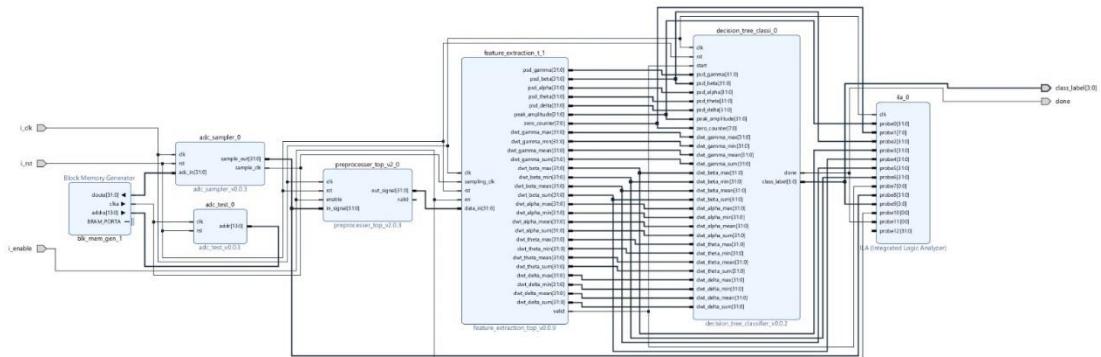
6. SİSTEMİN TESTİ VE SONUÇLARI

Bu bölümde, çalışma boyunca kurulan sistemin farklı implemantasyonlarının performans analizleri ve sonuçları sunulmaktadır.

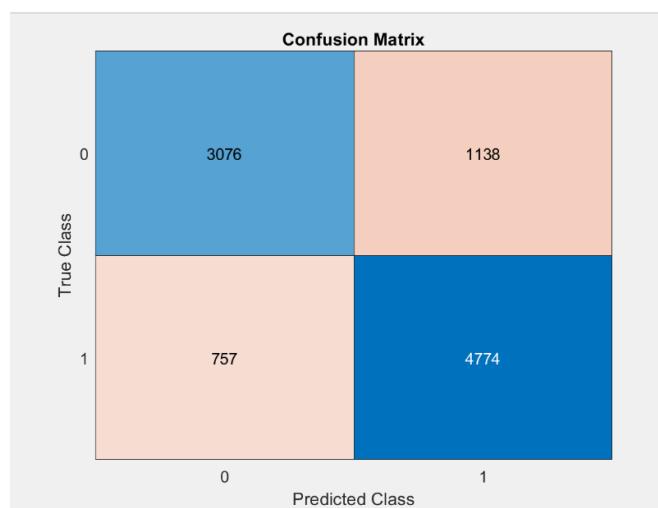
6.1 PL Karar Ağacı ile Sınıflandırma

Veri setinden seçilmiş 10000 veri hafıza bloğuna kaydedilmiş ve 256 Hz ADC girdisini simüle edecek şekilde ön işleme bloğuna gönderilmiştir. Ön işleme ve öznitelik çıkarımı işlemlerinden geçen sinyal, en sonunda karar ağacında ikili sınıflandırmaya tabi tutulmuştur. Sınıflandırma sonuçları kaydedilip etiketleriyle karşılaştırılmış ve %80.55 doğruluğa ulaşılmıştır.

Şekil 6.1'de sistemin blok diyagramı ve Şekil 6.2'de çıktıının karmaşıklık matrisi verilmiştir.



Şekil 6.1 : PL karar ağacı sisteminin blok diyagramı.



Şekil 6.2 : PL karar ağacı sisteminin karmaşıklık matrisi.

Sistemin zamanlama performansını ölçmek için PL tarafında gecikme hesaplanmıştır. İlk çıktıının sonuç vermesi için epok kaydedicisinin tamamen dolması beklentiği için başlangıç gecikmesi 256 örnek, yani 1 s'dir. Ancak bundan sonraki her örnek için; ön işleme 1.6 μ s, öznitelik çıkarımı 5 μ s ve karar ağacı devresi ortalama olarak 50 ns sürmektedir. Bu nedenle, sistemin toplam gecikmesi ortalama 6.65 μ s'dir.

Sistemde kullanılan toplam kaynak kullanımı Çizelge 6.1'de verilmiştir.

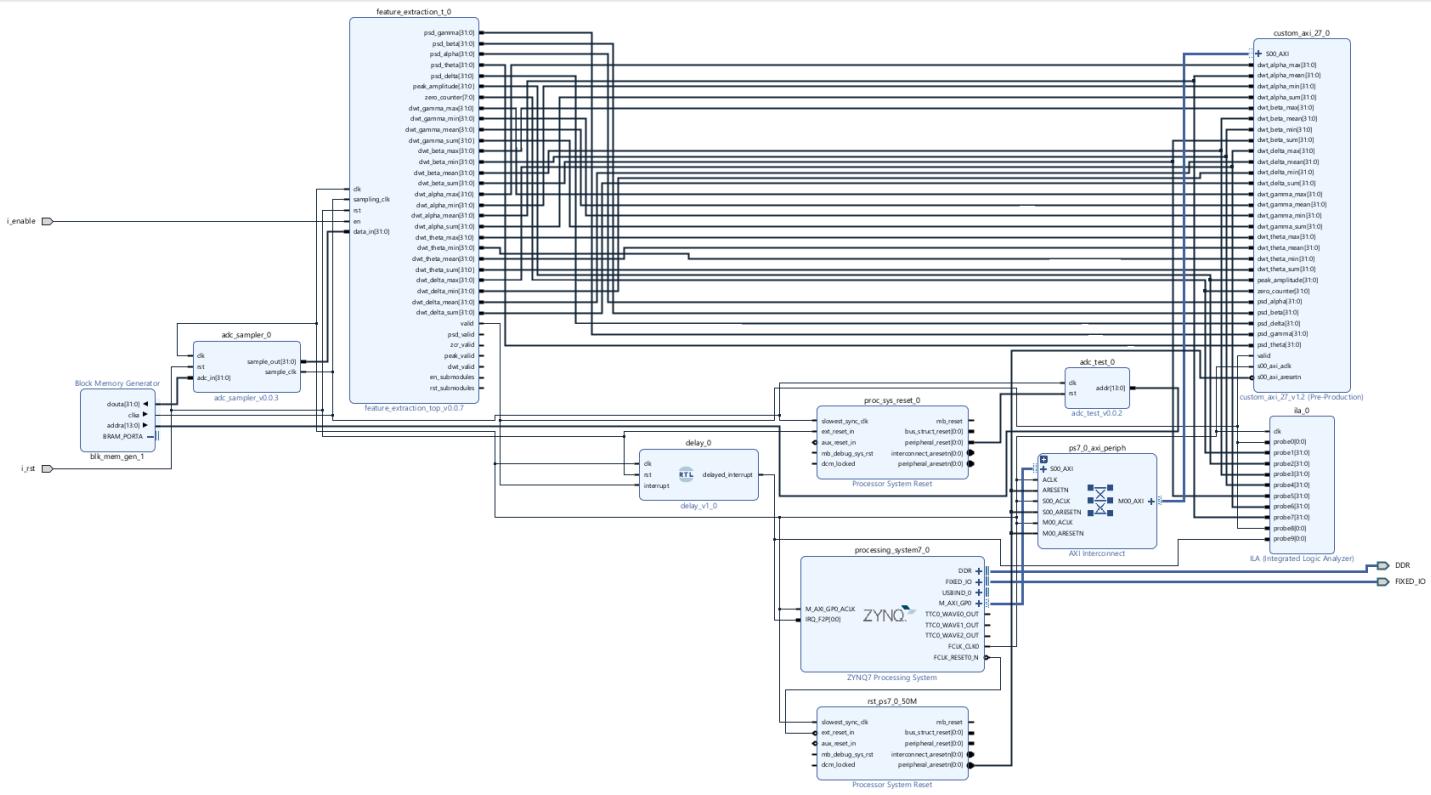
Çizelge 6.1 : PL karar ağacı ile sınıflandırma kaynak kullanımı.

Kaynak	Kullanılan	Mevcut	Kullanım %
Mantık olarak LUT	13131	53200	24.68
Hafıza olarak LUT	991	17400	5.7
Slice Register	18656	106400	17.53
F7 Mux	1175	26600	4.42
F8 Mux	527	13300	3.96
DSP	22	220	10.0

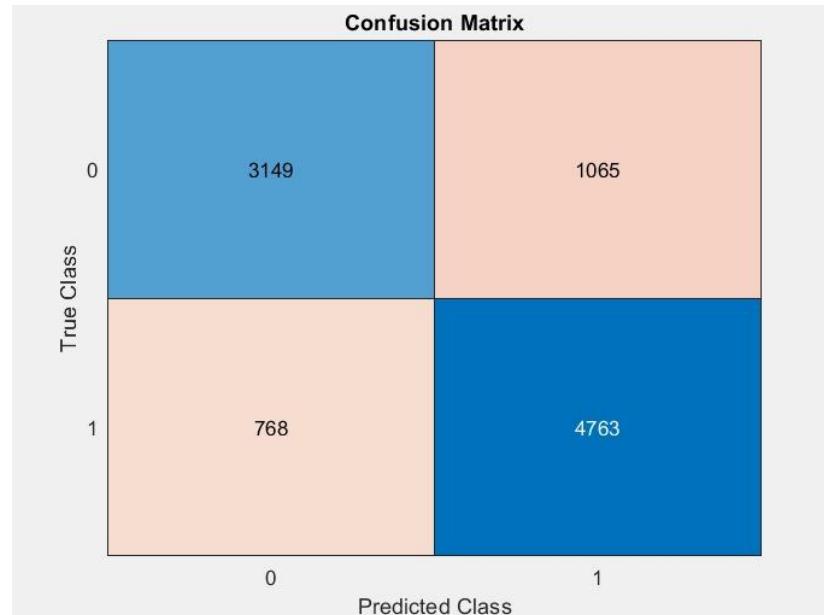
6.2 PS Karar Ağacı ile Sınıflandırma

Hafıza bloğuna kaydedilmiş olan 10000 örnek verinin ön işleme ve öznitelik çıkarımı PL tarafında kurulan sistemde gerçekleştirilmiştir. Elde edilen sonuçlar bilgisayar üzerine kaydedilmiştir. Bu sonuçlar, karar ağacının C dilinde gerçeklemesi ile sınıflandırılmıştır. Elde edilen sonuçlar Matlab üzerinde analiz edilerek %81.19 doğruluk oranına ve Şekil 6.4'te yer alan karmaşıklık matrisine ulaşılmıştır. Şekil 6.3, kurulan sistemin blok diyagramını göstermektedir.

Bu sistemin zamanlaması hesaplanırken önceki bölümde yapılan hesaba ek olarak karar ağacı algoritmasının işlemci üzerinde harcadığı süre hesaplanmıştır. Karar ağacı sınıflandırması ortalama 1.07 μ s sürmektedir. Karar ağacından kaynaklanan gecikme ölçülürken 100 sınıflandırmanın ortalaması alınmıştır. Bunlar göz önünde bulundurulduğunda, tahminler arası ortalama gecikme 7.67 μ s'dir.



Şekil 6.3: PS karar ağacına ait blok diyagramı



Şekil 6.4: PS karar ağacına ait karmaşıklık matrisi

PS kullanılan karar ağacı sisteminin kaynak kullanımı Çizelge 6.2'de verilmiştir.

Çizelge 6.2 : PS karar ağacı kaynak kullanımı.

Kaynak	Kullanılan	Mevcut	Kullanım %
Mantık olarak LUT	10520	53200	19.77
Hafıza olarak LUT	1258	17400	7.23
Slice Register	19620	106400	18.44
F7 Mux	1181	26600	4.44
F8 Mux	524	13300	3.94
DSP	22	220	10.0

7. GERÇEKÇİ KISITLAR, SONUÇLAR VE ÖNERİLER

7.1 Çalışmanın Uygulama Alanı

Yapılan çalışma, biyolojik işaretlerin sınıflandırmasında sayısal tasarım uygulamalarının sunduğu potansiyeli ön plana çıkarmaktadır.

Çalışmanın ilerletilmesi, donanım tabanlı bir ürüne çevrilmesi halinde beyin-bilgisayar arayüzü uygulamalarında gerçek zamanlı ve yüksek doğruluklu bir çözüm haline gelme potansiyelini taşıır. Bu sayede, hareket kabiliyeti kısıtlı bireylerin bilgisayarlarla etkileşimi artırılabilir.

Biyolojik işaretlerin donanım üzerinde sınıflandırılması medikal çalışmalarında da uygulama alanlarına sahiptir. Nörolojik hastalıkların tespiti, uyku düzeni takibi, duyu analizi gibi problemlerde çalışmada sunulan yöntemden faydalанılabilir.

7.2 Gerçekçi Tasarım Kısıtları

Çalışmanın yürütüldüğü süreçte, gerçekçi tasarım kısıtları belirlenmiş ve bu kısıtlar tasarım süresi boyunca göz önünde bulundurulmuştur. Bu yaklaşım, sunulan çalışmanın katkısını önceliklendirmekle birlikte; olası sosyal, ekonomik ve çevresel etkilerin de gözetilmesini mümkün kılmıştır.

7.2.1 Maliyet

Bir mühendislik projesinin toplam maliyeti hesaplanırken donanım, yazılım, işçilik gibi alt başlıkların incelenmesi gereklidir.

a. Donanım:

FPGA geliştirme kartı, barındırdıkları özelliklere ve modele bağlı olarak 10.000 TL'den başlayıp yüz binlerce liralara kadar çıkabilen maliyetleri vardır. Bu projenin geliştirilmesinde başlangıç seviyesi ve uygun fiyatlı bir modelin sahip olduğu özelliklerin yeterli olması beklenmektedir. Bu nedenle 10.000 TL maliyete sahip model tercih edilecektir.

EEG ölçüm cihazı, kullanım alanlarına, hassasiyetlerine ve kanal sayılarına bağlı olarak çok geniş bir maliyet skaliasında yer alırlar. Projenin sunduğu değer ve odaklandığı çalışma alanı EEG ölçümünün elde edilmesi olmadığından bu donanım

projenin maliyeti olarak değerlendirilmeyecektir. İnternette yer alan veri setlerinin, projenin geliştirilme aşamasında yeterli olması beklenmektedir.

b. Yazılım:

Vivado ve Vitis uygulamaları, FPGA kartının PL ve PS tasarımlarında sistemi tanımlama, konfigüre etme ve kartı çalışma özelliklerine sahiptir. Bu yazılımlar, tercih edilen FPGA geliştirme kartıyla birlikte lisanslanabilmektedir. Daha gelişmiş özellikle ve ticari lisanslar ek ücret doğurmaktadır ancak proje için bunlara ihtiyaç duyulmaması beklenmektedir.

MATLAB ve Simulink, sinyal işlemenin önemli bir yere sahip olduğu projede, teorik hesaplamalar ve performans değerlendirmeleri için sıkıkla faydalananması beklenen yazılımlardır. Ekip üyelerinin yazılımı öğrenci lisansı sayesinde erişimi olsa da normal şartlarda lisans ücreti yıllık yaklaşık 1000 USD'dır.

c. İşçilik:

Türkiye'de yeni işe başlamış bir mühendisin maaşı 32 900 TL'dir [30]. Ortalama bir haftalık çalışma düzeni temel alındığında saatlik yaklaşık 150 TL işçilik maliyeti oluşturmaktadır. 3 ekip üyesinin ayda toplam 120 saat ayırması ve projenin 9 ay sürmesi düşünüldüğünde toplam işçilik maliyeti 162 000 TL olmaktadır.

Yukarda hesaplanmış olan tüm maliyetler toplandığında projenin toplam maliyeti 206 500 TL'dir.

7.2.2 Standartlar

Çalışma süresince gerçekleştirilen sisteme ilişkin teknik standartlar aşağıda verilmiştir.

IEEE 1687: Geliştirilen gömülü sistemlere erişim ve sistemin işletimi için önerilen bir standarttır [31].

IEEE 754: Yüzen nokta sayıları (Floating Point) ile yapılan matematiksel işlemlerde sağlanması beklenen doğruluk standardıdır [32].

IEEE 1364 ve IEEE 1800 ise Verilog ve SystemVerilog kullanımını tanımlayan standartlardır.

Proje, profesyonel ve ticari amaçlarla tasarlanan ve kullanıcıya sunulan bir ürünün ötesinde, farklı yaklaşımın test edildiği akademik bir çalışma niteliği taşımaktadır.

Bu nedenle, yukarıda sunulan teknik standartlara uyulması önceliklendirilmemiş, geleceğe yönelik bir kaygı olarak sınıflandırılmıştır.

Teknik standartların yanı sıra mühendislik etiğine ilişkin standartlar da aşağıdaki şekilde belirlenmiştir.

Veri Gizliliği ve Güvenliği: Proje süresince yalnızca herkese açık veriler kullanılarak olası bir kişisel sağlık verisi sızıntısını önlemek amaçlanmaktadır.

Sınırlı Sorumluluk: Projenin ürettiği sonuçların doğruya en yakın olması için mümkün olan tüm tedbirler alınır. Yapılan hesaplamaların doğruluğu ve tekniklerin geçerliliği her adımda test edilir. Ancak sonuçların mutlak doğru olma niteliği taşımadığı ve hatalı olma ihtimali her kullanıcıya net bir şekilde ifade edilir.

7.2.3 Sosyal, çevresel ve ekonomik etki

Sosyal anlamda bu proje, epilepsi benzeri nörolojik bozuklukları olan kişilerin hayat kalitesini artırma potansiyeli taşıır. Çevresel yönden düşünüldüğünde, her elektronik sistemde olduğu gibi bu sistemde bileşenlerin üretimi ve atık haline gelmesi çevreyi olumsuz etkiler. Bu etkinin minimuma indirilmesi, atıkların doğru bir şekilde geri dönüştürülmesi, çevre dostu üretim tesislerinin tercih edilmesine bağlıdır.

Ekonomik bağlamda değerlendirildiğinde, projenin sağlık ve teknoloji sektöründe katma değer yaratma potansiyeli yüksektir. Öte yandan, projenin yüksek maliyeti onu daha az erişilebilir kılar. Bu olumsuz yön, çeşitli destek kampanyaları ve maliyet düşürücü mühendislik kararlarıyla minimuma indirilebilir. Proje, doğru yönetildiğinde, çok sayıda insanın hayatına dokunma potansiyeli taşıır.

7.2.4 Sağlık ve güvenlik riskleri

Nihai ürünün doğru sonuçlar üretemez hale gelmesi önemli bir risk oluşturur. Bu nedenle ürünün bakım ve testlerinin düzenli aralıklarla gerçekleştirilmesi önemlidir. Nihai ürün hassas kişisel sağlık verisi işlediğinde, veri güvenliği ve gizliliğinin ihlali bir diğer önemli risktir. Cihaz üretimi sırasında uygun izolasyon yöntemlerinin kullanılmasının elektrik çarpması riski oluşturabilir. Bu nedenle cihazın insan üzerinde kullanılmadan önce diğer tıbbi cihazlar gibi elektriksel güvenlik testlerinden geçirilmesi gereklidir.

7.3 Sonuçlar

Sunulan proje, gerçek zamanlı EEG sinyallerinin işlenmesi ve sınıflandırılması için etkili bir çözüm önerisi sunmaktadır. Bu çözüm önerisinde, FPGA tabanlı tasarım, paralel işlem yeteneği ve düşük enerji tüketimi sayesinde ön plana çıkmıştır. “6. SİSTEMİN TESTİ VE SONUÇLARI” bölümünde de sunulduğu üzere, sinyal işleme ve sınıflandırma konusunda test edilen alternatifler sonucu, düşük gecikme ve yüksek doğruluk sunan bütüncül bir sistem elde edilmiştir. Sunulan sonuçlar göstermektedir ki uygun tasarım kararları verildiğinde FPGA teknolojisi EEG sinyallerinin işlenmesi ve sınıflandırılması konusunda başarı elde etme potansiyeli sunmaktadır.

7.4 Geleceğe Yönelik Öneriler

Bu çalışmada sunulan sistem, ilerleyen çalışmalarla geliştirmeye açık bir yapıdadır. Sistemin çıktısı olan sınıflandırma başarısına sistemin bütününde yer alan çok sayıda parametre etki etmektedir. Sistemde yer alan matematiksel süreçlerde uygulanabilecek optimizasyonlar sistemin gecikmesini düşürme potansiyeli taşır. Bunun yanı sıra, farklı sınıflandırma modelleri ve modeller üzerinde yapılacak parametre düzenlemeleri sınıflandırma başarısı üzerinde pozitif bir etkiye sahip olabilir.

Halihazırda sunulan sistemin parçalarında iyileştirmeye gitmenin yanı sıra, sistemin farklı projelere entagrasyonu da geleceğe yönelik öneriler arasında yer alır. Örneğin, hazır bir veri seti kullanılması yerine sistemin doğrudan EEG ölçüm cihazına bağlanarak canlı veri ile beslenmesi çalışmayı bir adım ileriye taşır. Sistemin çıktısı bilgisayar etkileşimi haline getirildiğinde, sunulan proje ticari bir ürün olma potansiyeli kazanır.

Tüm bunlar göz önünde bulundurulduğunda, sunulan çalışmanın bu alandaki gelecek çalışmalara temel oluşturması temenni edilmektedir.

KAYNAKLAR

- [1] "EEG Eye State - UCI Machine Learning Repository". Erişim: 01 Haziran 2025. [Çevrimiçi]. Erişim adresi:
<https://archive.ics.uci.edu/dataset/264/eeg+eye+state>
- [2] A. G. Reddy ve S. Narava, "Artifact Removal from EEG Signals", *Int J Comput Appl*, c. 77, sy 13, ss. 17-22, 2013, doi: 10.5120/13461-1027.
- [3] L. Wu, A. Liu, R. K. Ward, Z. J. Wang, ve X. Chen, "Signal Processing for Brain-Computer Interfaces: A Review and Current Perspectives", *IEEE Signal Process Mag*, c. 40, sy 4, ss. 79-94, 2023, doi: 10.1109/MSP.2023.3278074.
- [4] L. P. Wijesinghe, D. S. Wickramasuriya, ve A. A. Pasqual, "A Generalized Preprocessing and Feature Extraction Platform for Scalp EEG Signals on FPGA", içinde *IEEE Conference on Biomedical Engineering and Sciences (IECBES)*, Miri, Malaysia, 2014, ss. 137-142. doi: 10.1109/IECBES.2014.7047432.
- [5] D. Chen, S. Wan, J. Xiang, ve F. S. Bao, "A high-performance seizure detection algorithm based on Discrete Wavelet Transform (DWT) and EEG", *PLoS One*, c. 12, sy 3, s. e0173138, 2017, doi: 10.1371/journal.pone.0173138.
- [6] Y. T. Qassim, T. Cutmore, D. James, ve D. Rowlands, "FPGA implementation of Morlet continuous wavelet transform for EEG analysis", *2012 International Conference on Computer and Communication Engineering, ICCCE 2012*, ss. 59-64, 2012, doi: 10.1109/ICCCE.2012.6271152.
- [7] M.-P. Hosseini, A. Hosseini, ve K. Ahi, "A Review on Machine Learning for EEG Signal Processing in Bioengineering", *IEEE Rev Biomed Eng*, c. 14, ss. 204-218, 2021, doi: 10.1109/RBME.2020.2969915.
- [8] N. M. Panigrahi ve S. P., *Brain Computer Interface: EEG Signal Processing*. CRC Press, 2024.
- [9] A. M. Aravind ve S. S. Babu, "Embedded Implementation of Brain Computer Interface Using FPGA", içinde *International Conference on Emerging Technological Trends (ICETT)*, Alappuzha, India, 2016, ss. 1-6. doi: 10.1109/ICETT.2016.7912963.
- [10] S. Sanei ve J. A. Chambers, *EEG Signal Processing*, 1st bs. John Wiley & Sons, 2007.
- [11] A. V Oppenheim, A. S. Willsky, ve S. H. Nawab, *Signals & Systems*, 2nd bs. Prentice-Hall, Inc., 1996.
- [12] C. Levkov ve others, "Removal of power-line interference from the ECG: a review of the subtraction procedure", *BioMed Eng Online*, c. 4, s. 50, 2005.
- [13] A. Fasano, V. Villani, ve L. Vollero, "Baseline wander estimation and removal by quadratic variation reduction", içinde *Annual International Conference of the IEEE Engineering in Medicine and Biology Society*, 2011, ss. 977-980. doi: 10.1109/IEMBS.2011.6090221.

- [14] S. D. Muthukumaraswamy, “High-frequency brain activity and muscle artifacts in MEG/EEG: a review and recommendations”, *Front Hum Neurosci*, c. 7, s. 138, 2013.
- [15] S. W. Smith, *The Scientist and Engineer’s Guide to Digital Signal Processing*, 2nd bs. San Diego, CA: California Technical Publishing, 1999.
- [16] K. Hirano ve S. K. Mitra, “Design of Digital Notch Filters”, *IEEE Transactions on Communications*, c. COM-22, sy 7, ss. 964-970, 1974, doi: 10.1109/TCOM.1974.1092317.
- [17] G. Strang ve T. Nguyen, *Wavelets and Filter Banks*, 2nd bs. Wellesley, MA: Wellesley-Cambridge Press, 1996.
- [18] M. Misiti, Y. Misiti, G. Oppenheim, ve J.-M. Poggi, “Wavelet Toolbox User’s Guide, Version 1”, 1996.
- [19] A. Rizal, S. Hadiyoso, ve A. Z. Ramdani, “FPGA-Based Implementation for Real-Time Epileptic EEG Classification Using Hjorth Descriptor and KNN”, *Electronics (Basel)*, c. 11, sy 19, s. 3026, 2022, doi: 10.3390/electronics11193026.
- [20] Z. Yılmaz ve M. R. Bozkurt, “Ayırık Dalgacık Dönüşümü Kullanarak Aritmilere Ait Öz niteliklerin Çıkarılması”, 2013.
- [21] C. Acuña, C. Flores, ve J. Tarrillo, “FPGA-Based Brain-Computer Interface System for Real-Time Eye State Classification”, içinde *IEEE Symposium on Integrated Circuits and Systems Design (SBCCI)*, 2023, ss. 1-6. doi: 10.1109/SBCCI60457.2023.10261967.
- [22] “Choosing the Best Machine Learning Classification Model and Avoiding Overfitting”.
- [23] S. Suthaharan, “Decision Tree Learning”, içinde *Machine Learning Models and Algorithms for Big Data Classification*, c. 36, içinde Integrated Series in Information Systems, vol. 36., Springer, 2016, ss. 123-152. doi: 10.1007/978-1-4899-7641-3_10.
- [24] S. S. Sundhari, “A knowledge discovery using decision tree by Gini coefficient”, içinde *2011 International Conference on Business, Engineering and Industrial Applications*, Kuala Lumpur, Malaysia, 2011, ss. 232-235. doi: 10.1109/ICBEIA.2011.5994250.
- [25] S. Yue, P. Li, ve P. Hao, “SVM classification: its contents and Challenges”, *Applied Mathematics-A Journal of Chinese Universities*, c. 18, sy 3, ss. 332-342, 2003, doi: 10.1007/s11766-003-0059-5.
- [26] A. Patle ve D. S. Chouhan, “SVM kernel functions for classification”, içinde *2013 International Conference on Advances in Technology and Engineering (ICATE)*, Mumbai, India, 2013, ss. 1-9. doi: 10.1109/ICAdTE.2013.6524743.
- [27] S. Haykin, *Neural Networks and Learning Machines*, 3. bs. Pearson Education, 2009.
- [28] A. Subasi, “EEG signal classification using wavelet feature extraction and a mixture of expert model”, *Expert Syst Appl*, c. 32, sy 4, ss. 1084-1093, May. 2007, doi: 10.1016/J.ESWA.2006.02.005.
- [29] B. He ve Z. Liu, “Multimodal Functional Neuroimaging: Integrating Functional MRI and EEG/MEG”, *IEEE Rev Biomed Eng*, c. 1, sy 2008, s. 23, 2008, doi: 10.1109/RBME.2008.2008233.
- [30] “Mühendis Maaşları ve Ortalama Maaş Bilgileri”. Erişim: 01 Haziran 2025. [Çevrimiçi]. Erişim adresi: <https://www.kariyer.net/pozisyonlar/muhendis/maas>

- [31] F. G. Zadegan, E. Larsson, A. Jutman, S. Devadze, ve R. Krenz-Baath, “Design, verification, and application of IEEE 1687”, *Proceedings of the Asian Test Symposium*, ss. 93-100, Ara. 2014, doi: 10.1109/ATS.2014.28.
- [32] “IEEE Standard for Binary Floating-Point Arithmetic”, Mar. 1985, doi: 10.1109/IEEEESTD.1985.82928.
- [33] Wikipedia contributors, “Digital biquad filter”, 2024.
- [34] R. Machado, U. Bezerra, M. Tostes, S. Freire, ve L. Meneses, “Application of Wavelet Transform and Artificial Neural Network to Extract Power Quality Information from Voltage Oscillographic Signals in Electric Power Systems”, *InTechOpen*, 2012, doi: 10.5772/35947.
- [35] D.-J. Jwo, W.-Y. Chang, ve I.-H. Wu, “Windowing Techniques, the Welch Method for Improvement of Power Spectrum Estimation”, *Computers, Materials & Continua*, c. 67, sy 3, ss. 3984-4003, 2021, doi: 10.32604/cmc.2021.014752.
- [36] “Simply understanding Artificial Neural Networks (ANN): Deep Learning | by Jeslur Rahman | Medium”. Erişim: 01 Haziran 2025. [Çevrimiçi]. Erişim adresi: <https://medium.com/@jeslurrahman/simply-understanding-artificial-neural-networks-ann-deep-learning-10b19e2eadca>
- [37] “Real Digital”. Erişim: 01 Haziran 2025. [Çevrimiçi]. Erişim adresi: <https://www.realdigital.org/doc/a9fee931f7a172423e1ba73f66ca4081>

ÖZGEÇMİŞ



Ad-Soyad : Onur Sertgil
Doğum Tarihi ve Yeri : 23/04/2003 – İstanbul
E-posta : sertgil21@itu.edu.tr

ÖĞRENİM DURUMU:

Lisans: İstanbul Teknik Üniversitesi, Elektronik ve Haberleşme
Mühendisliği Bölümü, 2021 - 2025

MESLEKİ DENEYİM:

- ASELSAN, İşaret İşleme ve Gömülü Yazılım Tasarım Müdürlüğü,
Staj, 2024
- BAYKAR, Gömülü Yazılım Teknolojileri, Staj, 2025

ÖZGEÇMİŞ



Ad-Soyad : Yağız Yağmur
Doğum Tarihi ve Yeri : 19/04/2003 – İzmir
E-posta : yagmury21@itu.edu.tr

ÖĞRENİM DURUMU:

Lisans: İstanbul Teknik Üniversitesi, Elektronik ve Haberleşme Mühendisliği Bölümü, 2021 - 2025

MESLEKİ DENEYİM:

- Bosch Home Comfort Group, Teknik Fonksiyonlar, Staj, 2023
- Aselsan, Uydu ve Uzay Sistemleri Birimi, Staj, 2024
- Baykar Teknoloji, Gömülü Yazılım Teknolojileri, Staj, 2024
- Baykar Teknoloji, Gömülü Yazılım Teknolojileri, Sayısal Tasarım Mühendisi, 2025

ÖZGEÇMİŞ



Ad-Soyad : Burak Efe Koç
Doğum Tarihi ve Yeri : 19/11/2003 – İstanbul
E-posta : kocbu21@itu.edu.tr

ÖĞRENİM DURUMU:

- Lisans Anadal 1:** İstanbul Teknik Üniversitesi, Elektronik ve Haberleşme Mühendisliği Bölümü, 2021 – 2025
Lisans Anadal 2: İstanbul Teknik Üniversitesi, Bilgisayar Mühendisliği Bölümü, 2022 – 2026

MESLEKİ DENEYİM:

- ASELSAN, Uydu ve Uzay Teknolojileri, Sayısal Tasarım, Staj, 2024
- Cezeri Yapay Zekâ Teknolojileri, Sayısal Tasarım, Staj, 2024
- Baykar, Gömülü Yazılım Teknolojileri, Staj, 2025