



RECEP TAYYİP
ERDOĞAN
ÜNİVERSİTESİ

Elektrik-Elektronik Mühendisliği
Sayısal Lojik

Deney Raporu-2

Yakup Demiryürek
180711049

(Bahar 2023)

Amaç

FPGA kartı üzerinden sayısal devre kurulumu amaçlanmıştır.

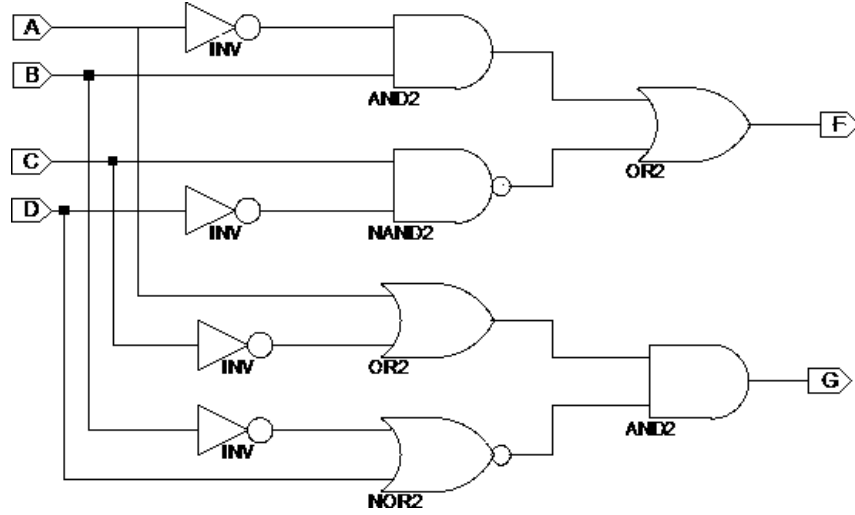
Ekipmanlar

- Xilinx yüklü bilgisayar
- FPGA kartı (BASYS2)

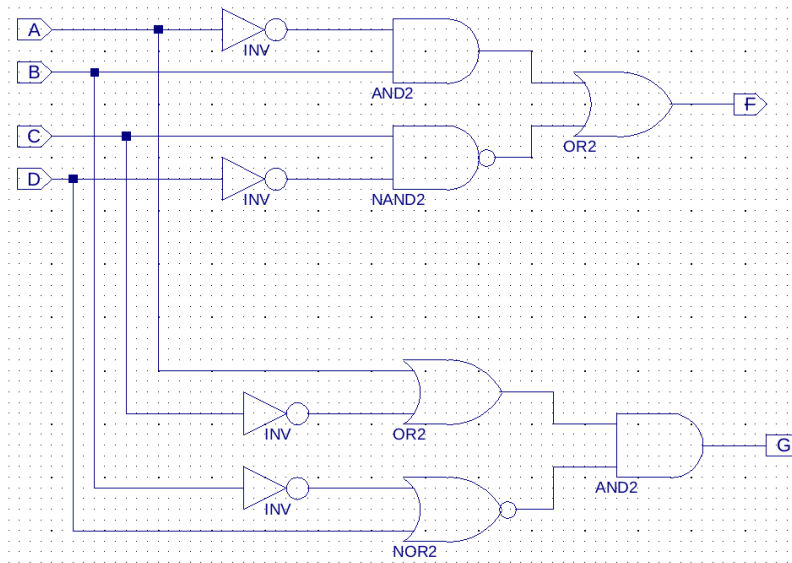
Deney Çalışması

DÇ1

Şekil 1’deki devre Xilinx programında schematic olarak çizdirilmiştir Şekil 2’de gösterilmiştir.



Şekil 1. A, B, C, D girişli F ve G çıkışlı Mantık Devresi



Şekil 2. Schematic

Şekil 1'deki devre denklemleri;

$$F = (A'.B)+(C.D)'$$

$$G = (A+C').(B'+D)'$$

Tablo 1. F ve G devrelerinin doğruluk tablosu

A	B	C	D	F	G
0	0	0	0	1	0
0	0	0	1	1	0
0	0	1	0	0	0
0	0	1	1	1	0
0	1	0	0	1	1
0	1	0	1	1	0
0	1	1	0	1	0
0	1	1	1	1	0
1	0	0	0	1	0
1	0	0	1	1	0
1	0	1	0	0	0
1	0	1	1	1	0
1	1	0	0	1	1
1	1	0	1	1	0
1	1	1	0	0	1
1	1	1	1	1	0

DÇ2

DÇ1'deki devreyi test etmek için TestBench programı yazılmıştır

Sinyaller tanımlandıktan sonra;

constant period:time:=50 ns;

Port mapler tanımlandıktan sonra;

Aprocess: PROCESS

BEGIN

A<='0';

wait for period*8;

A<='1';

wait for period*8;

END PROCESS;

Bprocess: PROCESS

BEGIN

B<='0';

wait for period*4;

B<='1';

wait for period*4;

END PROCESS;

Cprocess: PROCESS

BEGIN

C<='0';

wait for period*2;

C<='1';

wait for period*2;

END PROCESS;

Dprocess: PROCESS

BEGIN

D<='0';

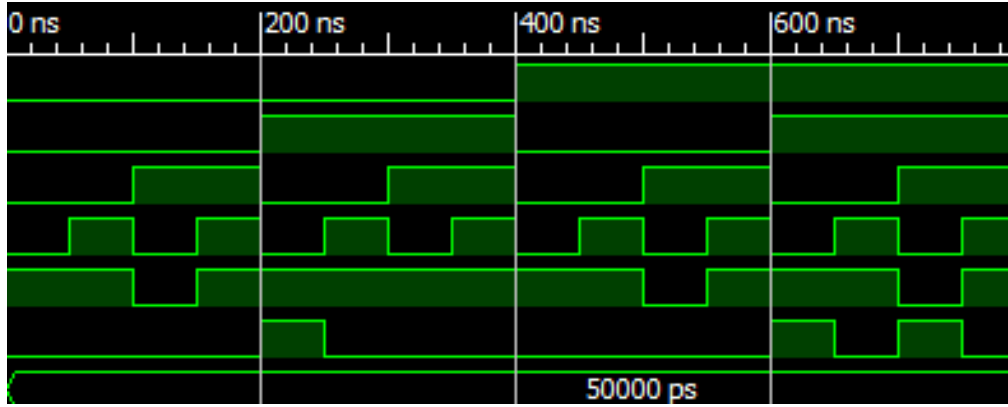
wait for period;

D<='1';

wait for period;

END PROCESS;

Şekil 3’de simülasyon gösterilmiştir.



Şekil 3.DÇ2 Simülasyon

Tablo 1’de verilen doğruluk tablosu ile **Şekil 3** karşılaştırıldığında sonuçlarımızın doğru olduğu kanıtlanmıştır.

DÇ3-4

DÇ1’de schematic olarak çizdiğimiz devre VHDL kodu ile yapılmıştır;

Sinyalleri tanımlıyoruz;

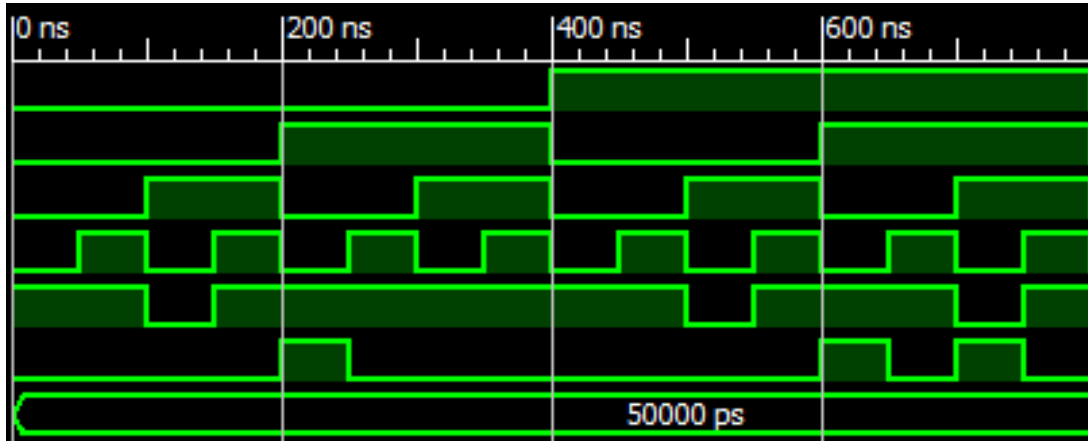
```
signal nA_and_B : std_logic;  
signal nD_nand_C : std_logic;  
signal nC_or_A : std_logic;  
signal nB_nor_D : std_logic;
```

Girişleri çıkışlara bağlıyoruz;

```
nA_and_B<= (not A) and B;  
nD_nand_C<= (not D) nand C ;  
nC_or_A<= (not C) or A ;  
nB_nor_D<= (not B) nor D;  
F<= (nA_and_B) or (nD_nand_C);  
G<= (nC_or_A) and (nB_nor_D);
```

DÇ2 Adımları tekrarlanmıştır.

Devreyi test etmek için **DÇ1**’deki TestBench programının aynısı yazılmıştır ve **Şekil 4**’de simülasyon gösterilmiştir.



Şekil 4.DÇ3 Simülasyon

Pin atamaları **DÇ3**'de yapıldığı gibi yapılmıştır. **Tablo 1**'de verilen doğruluk tablosu ile **Şekil 4** karşılaştırıldığında sonuçlarımızın doğru olduğu kanıtlanmıştır.

Sonuç

S1

Şekil 1'deki devrenin denklemleri yazılmıştır.

S2

S1'de elde edilen denklemlerin doğruluk tabloları **Tablo 1**'de verilmiştir.

S3

S2'de elde edilen doğruluk tabloları **DÇ2** ve **DÇ3-4**'de elde edilen simülasyonlarla karşılaştırılmıştır.