



Elektrik-Elektronik Mühendisliği
Sayısal Lojik

Deney Raporu-10

Yakup Demiryürek
180711049

(Bahar 2023)

DENEY 10

FPGA Kartı İle Sayaç Devresi

Amaç

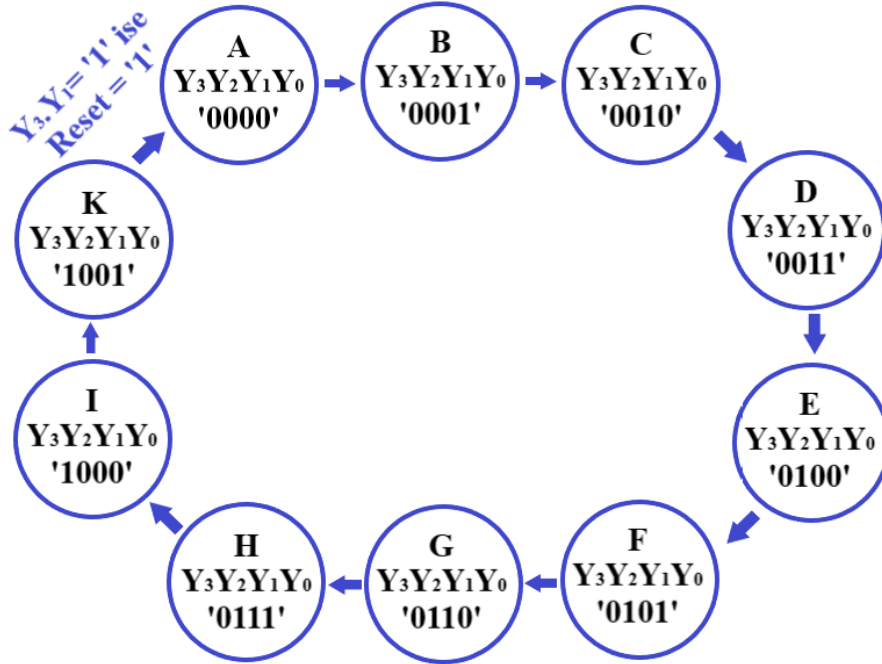
0'dan 9'a kadar sayan bir sayaç devresinin vhdl+schematic ile tasarlayıp fpga kartı ile çalıştırılması amaçlanmıştır.

Ekipmanlar

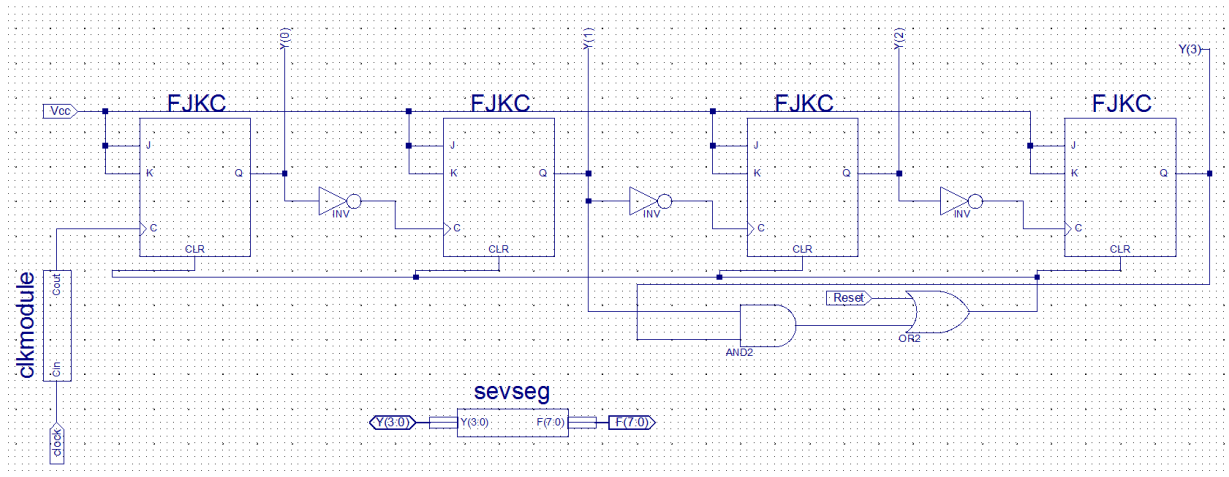
- FPGA kartı (BASYS2)
- Xilinx yüklü bilgisayar

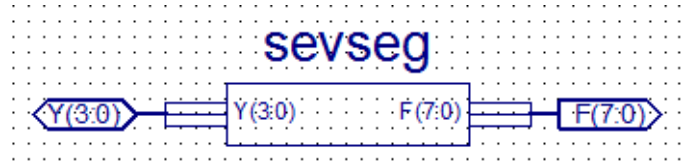
DÇ1

Durum diyagramı **Şekil 1**'de verilen ve **ÖÇ2**'de tasarlanan 0-bit girişli 4-bit çıkışlı makina Xilinx şema üzerinde 4 FJKC, 3 İnverter, 1 Ve kapısı, 1 Veya kapısı ile Sev-seg ve clkmodule modülleri ile **Şekil 2**'deki gibi tasarlanmıştır. C girişine clkmodule bağlanmış ve clock isimli giriş verilmiştir. Reset girişlerini ise birbirlerini bağlayıp mod10 tasarımında yapmış olduğumuz Ve kapısının çıkışıyla bir Veya kapısından geçirilerek resetlere bağlanmıştır. FJKC çıkışlarına en büyük bitten başlayarak Y(3), Y(2), Y(1), Y(0) isimleri verilmiştir.



Şekil 1. Durum Diyagramı





Şekil 3.Sev-seg şema

DÇ3

Sistemin simülasyon kodu;

```
vccprocess : PROCESS
BEGIN
    Vcc <= '1';WAIT ;
END PROCESS;
resetprocess : PROCESS
BEGIN
    Reset <= '0';WAIT for 1 us;
    Reset <= '1'; WAIT for 500000 us;
    Reset <= '0'; WAIT;
END PROCESS;
clockprocess : PROCESS
BEGIN
    CLK <= '0';WAIT for 0.000000001 ns;
    CLK <= '1'; WAIT for 20 ns; END PROCESS;
```

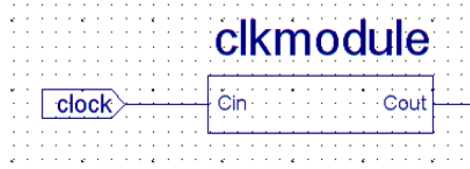
Reseti bir süre “1” daha sonra hep “0” , Vcc’si hep “1” olacak şekilde hazırlanıp çalıştırılmıştır.

DÇ4

Sisteme son olarak clkmodule (Şekil 4) eklenmiş ve pin atamaları yapılmıştır.

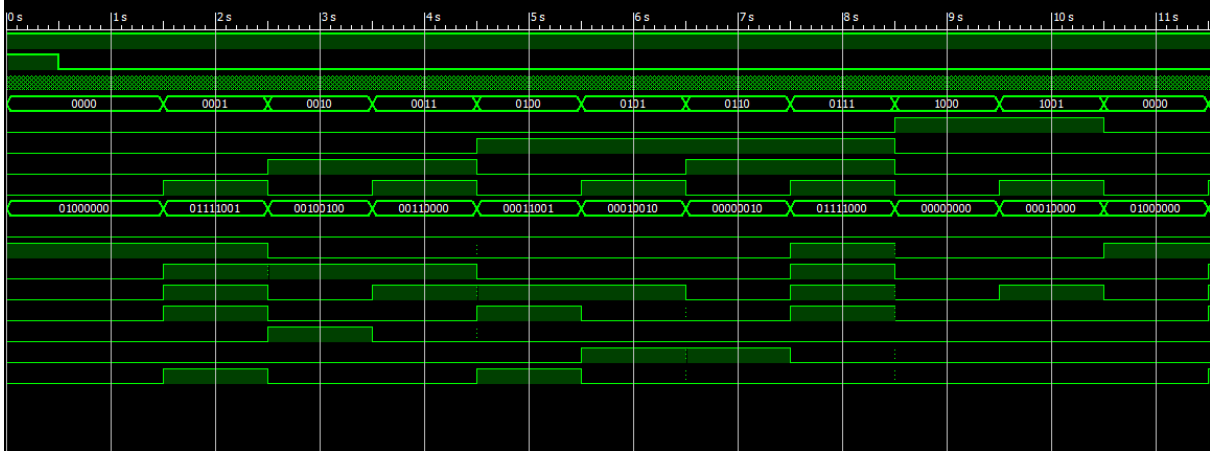
Clkmodule kodu;

```
library IEEE; use IEEE.STD_LOGIC_1164.ALL; use IEEE.NUMERIC_STD.ALL; library UNISIM;
use UNISIM.VComponents.all;
entity clkmodule is Port ( Cin : in STD_LOGIC; Cout : out STD_LOGIC :='0'); end clkmodule;
architecture Behavioral of clkmodule is signal count: integer := 0;
begin
    process (Cin)
    begin
        if Cin'event and Cin='1' then
            count <= count +1;
            if count = 25000000 then
                Cout<='1';
            elsif count = 50000000 then
                Cout<='0';
                count<=0;
            end if;
        end if;
    end process;
end Behavioral;
```



Şekil 4.CLKMODULE şema

Simülasyon testi yapılmış, Şekil 5’de gösterilmiştir.



Şekil 5.Devre Simülasyonu

Sonuç

6 adet jk-flip-flop ile kurulabilir. Bu devrede yaptığımız gibi Ve kapısıyla mod 60 yapabilmek için Y_5 , Y_4 , Y_3 , Y_2 Ve kapısından geçirilerek Resetlere bağlanır böylelikle sayıcı 60’a geldiğinde resetlenir.