

# Elektrik-Elektronik Mühendisliği Sayısal Lojik

**Deney Raporu-10** 

Yakup Demiryürek 180711049

(Bahar 2023)

#### **DENEY 10**

## FPGA Kartı İle Sayaç Devresi

#### Amaç

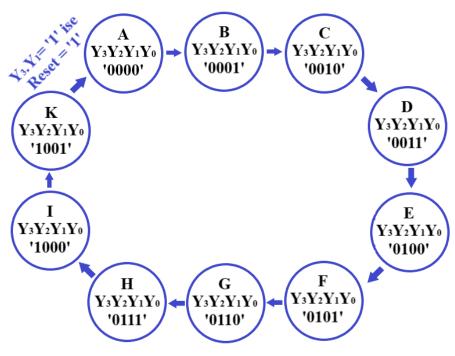
0'dan 9'a kadar sayan bir sayaç devresinin vhdl+schematic ile tasarlayıp fpga kartı ile çalıştırılması amaçlanmıştır.

#### Ekipmanlar

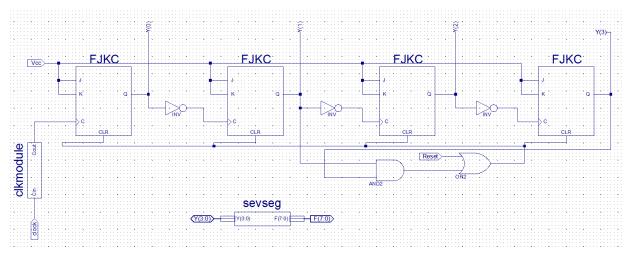
- FPGA kartı (BASYS2)
- Xilinx yüklü bilgisayar

#### DÇ1

Durum diyagramı **Şekil 1**'de verilen ve **ÖÇ2**'de tasarlanan 0-bit girişli 4-bit çıkışlı makina Xilinx şema üzerinde 4 FJKC, 3 İnverter, 1 Ve kapısı, 1 Veya kapısı ile Sev-seg ve clkmodule modülleri ile **Şekil 2**'deki gibi tasarlanmıştır. C girişine clkmodule bağlanmış ve clock isimli giriş verilmiştir. Reset girişlerini ise birbirlerini bağlayıp mod10 tasarımında yapmış olduğumuz Ve kapısının çıkışıyla bir Veya kapısından geçirilerek resetlere bağlanmıştır. FJKC çıkışlarına en büyük bitten başlayarak Y(3), Y(2), Y(1), Y(0) isimleri verilmiştir.



Şekil 1.Durum Diyagramı



Şekil 2.Xilinx devre şeması

#### DÇ2

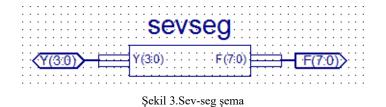
#### 7-segment dönüştürücü kodu;

```
begin
with Y select F <=
"01000000" when "0000",
"01111001" when "0001",
"00100100" when "0010",
"00110000" when "0011",
"00011001" when "0100",
"00010010" when "0101",
"00000010" when "0110",
"01111000" when "0111",
"00000000" when "1000",
"00010000" when "1001",
"00001000" when "1010",
"00000011" when "1011",
"01000110" when "1100",
"00100001" when "1101",
"00000110" when "1110",
"00001110" when "1111",
"01111111" when others;
```

end Behavioral;

Şekil 3'de ki gibi şemaya eklenmiştir.

Girişine "add bidirectional marker" yardımıyla Y(3:0), çıkışı ise F(7:0) olarak isimlendirilmiştir. Böylelikle Y(3), Y(2), Y(1), Y(0) ve Y(3:0) bağlantıları kablo kullanılmadan yapılmıştır.



#### DC3

#### Sistemin simülasyon kodu;

```
vccprocess: PROCESS
BEGIN

Vcc <= '1'; WAIT;

END PROCESS;
resetprocess: PROCESS
BEGIN

Reset <= '0'; WAIT for 1 us;
Reset <= '1'; WAIT for 500000 us;
Reset <= '0'; WAIT;

END PROCESS;
clockprocess: PROCESS
BEGIN

CLK <= '0'; WAIT for 0.000000001 ns;
CLK <= '1'; WAIT for 20 ns; END PROCESS;
```

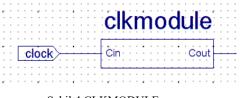
Reseti bir süre "1" daha sonra hep "0", Vcc'si hep "1" olacak şekilde hazırlanıp çalıştırılmıştır.

#### DC4

Sisteme son olarak cıkmodule (Şekil 4) eklenmiş ve pin atamaları yapılmıştır.

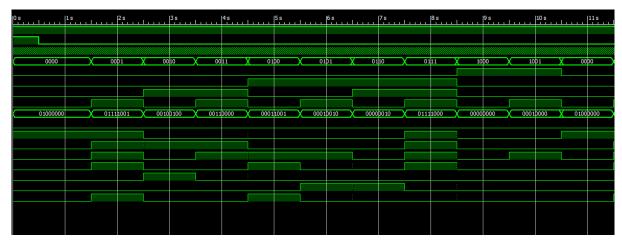
#### Clkmodule kodu;

```
library IEEE; use IEEE.STD_LOGIC_1164.ALL; use IEEE.NUMERIC_STD.ALL; library UNISIM;
use UNISIM.VComponents.all;
entity clkmodule is Port (Cin: in STD LOGIC; Cout: out STD LOGIC:='0'); end clkmodule;
architecture Behavioral of clkmodule is signal count: integer := 0;
begin
process (Cin)
begin
if Cin'event and Cin='1' then
count <= count +1;
if count = 25000000 then
Cout<='1';
elsif count = 50000000 then
Cout<='0';
count \le 0;
end if; end if; end process;
                               end Behavioral;
```



Şekil 4.CLKMODULE şema

Simülasyon testi yapılmış, Şekil 5'de gösterilmiştir.



Şekil 5.Devre Simülasyonu

### Sonuç

6 adet jk-flip-flop ile kurulabilir. Bu devrede yaptığımız gibi Ve kapısıyla mod 60 yapabilmek için Y5, Y4, Y3, Y2 Ve kapısından geçirilerek Resetlere bağlanır böylelikle sayıcı 60'a geldiğinde resetlenir.