



Elektrik-Elektronik Mühendisliği

Sayısal Lojik

Deney Raporu-8

Yakup Demiryürek

180711049

(Bahar 2023)

DENEY 8

FPGA İLE SONLU DURUM MAKİNASI DEVRE TASARIMI

Amaç

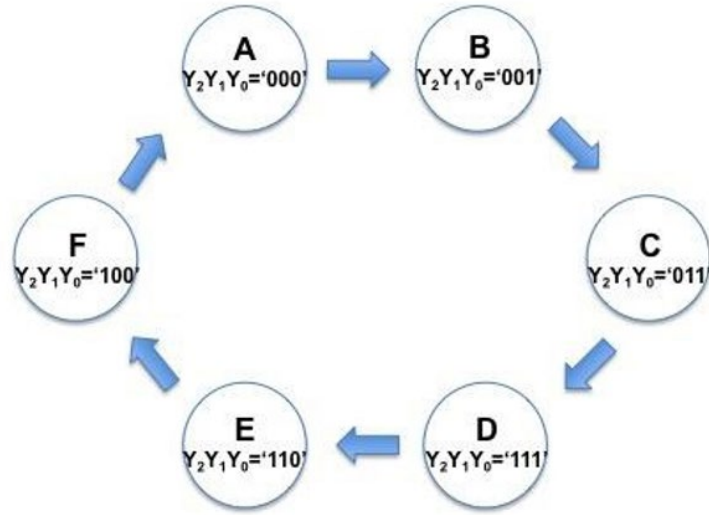
Sonlu durum makinasının FPGA ile kurulumu ve tasarımı amaçlanmıştır.

Ekipmanlar

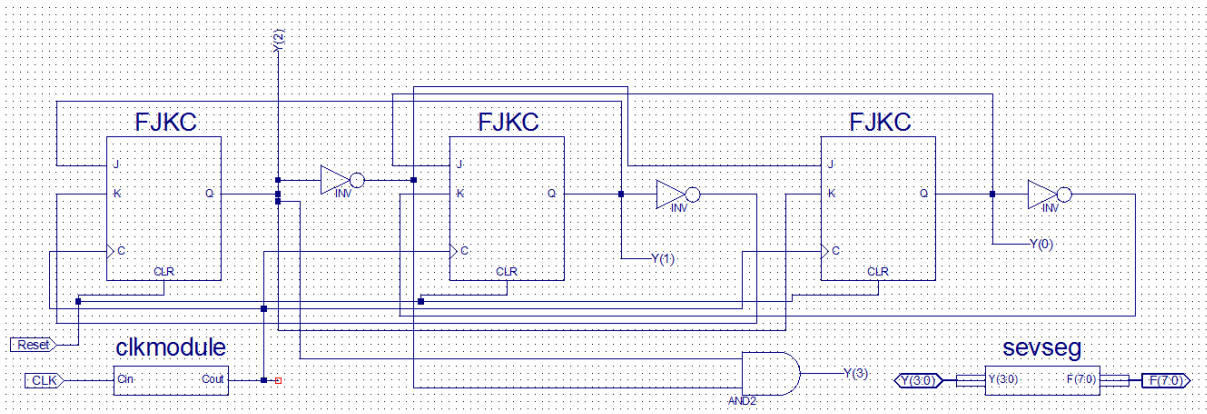
- FPGA kartı (BASYS2)
- Xilinx yüklü bilgisayar

DÇ1-2-3

Durum diyagramı Şekil 1’de verilen 0-bit girişli 3-bit çıkışlı makina Xilinx üzerinde Şekil 2’deki gibi tasarlanmıştır.



Şekil 1. Durum Diyagramı

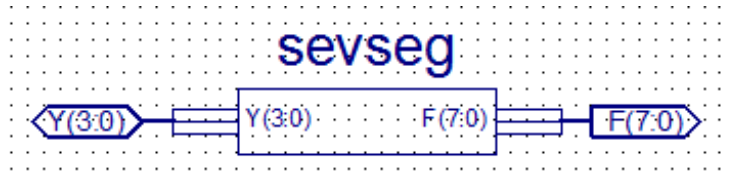


Şekil 2. Xilinx devre şeması

7-segment kodu;

```
begin
with Y select F <=
"01000000" when "0000",
"01111001" when "0001",
"00100100" when "0010",
"00110000" when "0011",
"00011001" when "0100",
"00010010" when "0101",
"00000010" when "0110",
"01111000" when "0111",
"00000000" when "1000",
"00010000" when "1001",
"00001000" when "1010",
"00000011" when "1011",
"01000110" when "1100",
"00100001" when "1101",
"00000110" when "1110",
"00001110" when "1111",
"01111111" when others;
end Behavioral;
```

7-segment **Şekil 3**'deki şeması add bidirectional marker yardımı ile Y(3:0) olarak belirlenmiştir



Şekil 3. Sev-Seg Şema

Şekil 2'deki çıkış bitlerine isim verilerek kablo kullanmadan bağlantı sağlanmıştır.

DC4

Sistemin simülasyonun reseti bir süre 1 sonra 0 olacak şekilde hazırlanmıştır. Simülasyon testi

Şekil 5'de gösterilmiştir.

```
resetprocess : PROCESS
BEGIN
    Reset <= '0'; WAIT for 1 us;
    Reset <= '1'; WAIT for 500000 us;
    Reset <= '0'; WAIT;
END PROCESS;

clockprocess : PROCESS
BEGIN
    CLK <= '0';
    WAIT for 0.000000001 ns;
    CLK <= '1'; WAIT for 20 ns; END PROCESS;
```

DÇ5

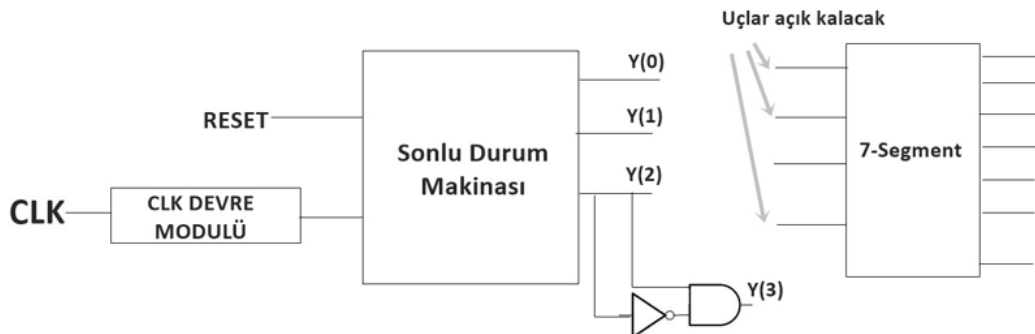
Sisteme son olarak clkmodule eklenmiştir.

Clkmodule kodu;

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.NUMERIC_STD.ALL;
library UNISIM;
use UNISIM.VComponents.all;
entity clkmodule is
Port ( Cin : in STD_LOGIC;
      Cout : out STD_LOGIC := '0');
end clkmodule;
architecture Behavioral of clkmodule is
signal count: integer := 0;
begin
process (Cin)
begin
if Cin'event and Cin='1' then
count <= count + 1;
if count = 25000000 then
Cout<='1';
elsif count = 50000000 then
Cout<='0';
count<=0;
end if; end if; end process; end Behavioral;
```

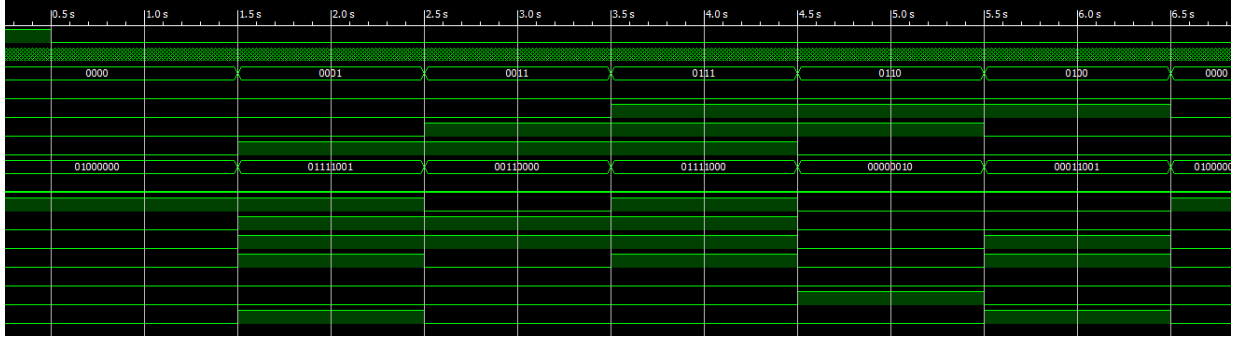
DÇ6

Devrenin son hali **Şekil 3**'deki gibidir.



Şekil 4.Tamamlanan Devre

Tamamlanan devrenin simülasyon testi;



Şekil 5.Simülasyon Testi

Sonuç

S2

Y çıkışları LED'lere bağlandığında birbirini takip eden bir görüntü görüntülenir.

