



ΠΟΛΥΤΕΧΝΕΙΟ ΚΡΗΤΗΣ

ΣΧΟΛΗ ΗΜΜΥ

ΕΡΓΑΣΤΗΡΙΟ ΜΙΚΡΟΠΕΞΕΡΓΑΣΤΩΝ & ΥΛΙΚΟΥ
ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ ΓΙΑ ΤΟ ΜΑΘΗΜΑ:
ΗΡΥ 203 - ΠΡΟΧΩΡΗΜΕΝΗ ΛΟΓΙΚΗ ΣΧΕΔΙΑΣΗ

ΕΑΡΙΝΟ ΕΞΑΜΗΝΟ 2021

Εργαστήριο 4

ΕΞΟΙΚΕΙΩΣΗ ΜΕ ΤΗ ΜΟΝΤΕΛΟΠΟΙΗΣΗ ΚΑΙ ΥΛΟΠΟΙΗΣΗ
ΜΗΧΑΝΩΝ ΠΕΠΕΡΑΣΜΕΝΩΝ ΚΑΤΑΣΤΑΣΕΩΝ

ΕΚΠΟΝΗΣΗ: Καθ. Α. Δόλλας, Δρ. Ε. Σωτηριάδης

ΣΥΝΕΡΓΑΤΕΣ: Δρ. Ευριπίδης Σωτηριάδης, Μ. Κιμιωνής

ΕΚΔΟΣΗ : 12.0
Χανιά

Σκοπός

Υλοποίηση μηχανής πεπερασμένων καταστάσεων (FSM) σε VHDL.

Ζητούμενα

Να σχεδιάσετε και να υλοποιήσετε ένα κύκλωμα με εισόδους και εξόδους όπως στον Πίνακα 2.

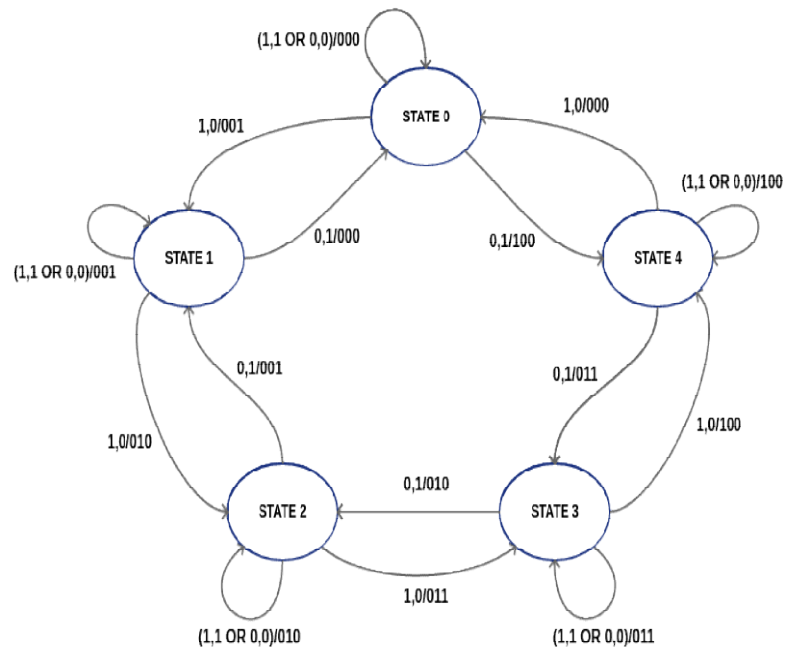
Όνομα	in/out	Πλάτος σε bit
CLK	in	1
RST	in	1
A	in	1
B	in	1
Control	Out	3

Πίνακας 2: Είσοδοι - έξοδοι του κυκλώματος

Το κύκλωμα λειτουργεί ως FSM που φαίνεται στο Σχήμα 1.

Προσοχή: Η FSM είναι Mealy.

Η αρχική κατάσταση είναι η κατάσταση State 0.



Σχήμα 1: Σχηματική παρουσίαση της FSM

Παρατηρήσεις/Σημειώσεις

- (1) Η FSM θα υλοποιηθεί σε ένα αρχείο.
- (2) Το κάθε state θα είναι μια περίπτωση από μια εντολή case.
- (3) Θα πρέπει να καλύπτονται όλες οι δυνατές περιπτώσεις των state οι οποίες είναι πέντε και αναπαριστώνται με 3 bits.
- (4) Το rst είναι σύγχρονο.
- (5) Επαληθεύστε τη λειτουργία του κυκλώματος ξεκινώντας με rst για 10 κύκλους
- (6) Το testbench πρέπει να καλύπτει όλες τις περιπτώσεις αν όχι όλες τις δυνατές καταστάσεις.

Παραδοτέα:

Ένα αρχείο .zip (ή ανάλογο) με τα παρακάτω αρχεία

- 1) Κυκλώματα και block diagrams σε ηλεκτρονική μορφή (όχι φωτογραφίες χειρόγραφων) σε μορφή αρχείου .pdf
- 2) Κώδικες VHDL (όχι ολόκληρο το project της Xilinx) σε μορφή αρχείου .vhd
- 3) Screenshots από τα simulations και σχόλια που εξηγούν γιατί το simulation είναι επαρκές.

Κυκλώματα και Block diagrams :20%
Κώδικες :50%
Προσομοίωση : 30%

ΠΡΟΣΟΧΗ!

Η διαπίστωση αντιγραφής σε οποιοδήποτε σκέλος της άσκησης οδηγεί στην απόρριψη από το σύνολο των εργαστηριακών ασκήσεων. Αυτό γίνεται οποιαδήποτε στιγμή στη διάρκεια του εξαμήνου. Ως αντιγραφή νοείται και μέρος της αναφοράς, π.χ. σχήματα.

ΚΑΛΗ ΕΠΙΤΥΧΙΑ!☺