

C.  $(1-R^3)+(1-R^2)$

D.  $(1-(1-R)^3)+(1-(1-R)^2)$

答案: B

解析: 本题考查系统可靠度的概念。

串联部件的可靠度=各部件的可靠度的乘积。

并联部件的可靠度=1-部件失效率的乘积。

题目中给出的系统是“先并后串”。应先求出三个 R 并联可靠度为  $1-(1-R)^3$ , 然后求出两个 R 并联可靠度为  $1-(1-R)^2$ 。

最终整个系统的可靠度是两者之积:  $(1-(1-R)^3)(1-(1-R)^2)$ 。

#### 试题 11 (2017 年上半年上午试题 5)

已知数据信息为 16 位, 最少应附加 (5) 位校验位, 才能实现海明码纠错。

(5) A. 3

B. 4

C. 5

D. 6

答案: C

解析: 本题考查组成原理中的海明校验码。

只要是海明码按合法的方式编码, 就能纠错。所以, 本题实际上就是求海明码中校验位的长度。海明码中所需要的校验码位数, 有这样的规定: 假设用 N 表示添加了校验码位后整个信息的二进制位数, 用 K 代表其中有效信息位数, r 表示添加的校验码位, 它们之间的关系应满足:  $2^r \geq K+r+1=N$ 。

本题中  $K=16$ , 则要求  $2^r \geq 16+r+1$ , 根据计算可以得知 r 的最小值为 5。

#### 试题 12 (2017 年下半年上午试题 6)

以下关于 Cache (高速缓冲存储器) 的叙述中, 不正确的是 (6)。

(6) A. Cache 的设置扩大了主存的容量

B. Cache 的内容是主存部分内容的拷贝

C. Cache 的命中率并不随其容量增大线性地提高

D. Cache 位于主存与 CPU 之间

答案: A

解析: 本题考查计算机组成原理中的高速缓存基础知识。

高速缓存 Cache 有如下特点: 它位于 CPU 和主存之间, 由硬件实现; 容量小, 一般在几 KB 到几 MB 之间; 速度一般比主存快 5~10 倍, 由快速半导体存储器制成; 其内容是主存内容的副本(所以 Cache 无法扩大主存的容量), 对程序员来说是透明的; Cache 既可存放程序又可存放数据。

Cache 存储器用来存放主存的部分拷贝(副本)。控制部分的功能是: 判断 CPU 要访问的信息是否在 Cache 存储器中, 若在即为命中, 若不在则没有命中。命中时, 直接对 Cache 存储器寻址。未命中时, 若是读取操作, 则从主存中读取数据, 并按照确定的替换原则把该数据写入 Cache 存储器中; 若是写入操作, 则将数据写入主存即可。

#### 试题 13 (2016 年下半年上午试题 1)

在程序运行中, CPU 需要将指令从内存中取出并加以分析和执行。CPU 依据 (1) 来区分在内存中以二进制编码形式存放的指令和数据。

(1) A. 指令周期的不同阶段

B. 指令和数据的寻址方式