
2024年
演算増幅器設計コンテスト発表会

2025年1月23日

入賞者一覧 シミュレーションの部

部門1

- 1位 山本和弥（京都工芸繊維大学）
- 2位 古澤武翔（東京理科大学）
- 3位 森下航（東京都市大学）
- 4位 木原滉貴（防衛大学校）
- 5位 西田海（宮崎大学）
- 6位 福田宗真（愛知工業大学）
- 7位 伊藤剛（防衛大学校）

部門2

- 1位 待鳥維吹（佐賀大学）
- 2位 鳴原大地（防衛大学校）
- 3位 木原滉貴（防衛大学校）
- 4位 古澤武翔（東京理科大学）
- 5位 山本和弥（京都工芸繊維大学）
- 6位 西崇志（防衛大学校）
- 7位 中山渉（日本大学）

部門3

- 1位 森下航（東京都市大学）
- 2位 西崇志（防衛大学校）
- 3位 待鳥維吹（佐賀大学）
- 4位 山本和弥（京都工芸繊維大学）
- 5位 木原滉貴（防衛大学校）
- 6位 鳴原大地（防衛大学校）
- 7位 伊藤剛（防衛大学校）

部門4

- 1位 橋本龍実（東京理科大学）
- 2位 森下航（東京都市大学）
- 3位 待鳥維吹（佐賀大学）
- 4位 道音洸樹（有明工業高等専門学校）

(敬称略)

入賞者一覧 試作の部・最優秀賞

試作の部

- 1位 森下航（東京都市大学）
- 2位 森光平（明治大学）
- 3位 井上拓也（宮崎大学）
- 4位 橋本龍実（東京理科大学）
- 5位 安田大翔（宮崎大学）
- 6位 周東裕也（広島市立大学）
- 7位 小島光（明治大学）

最優秀賞

森下航（東京都市大学）

発表会プログラム

14:30～17:15

1. シミュレーションの部入賞者の発表

古澤武翔 東京理科大学	部門1 2位 他
山本和弥 京都工芸繊維大学	部門1 1位 他
鴫原大地 防衛大学校	部門2 2位 他
待鳥維吹 佐賀大学	部門2 1位 他
西崇志 防衛大学校	部門3 2位 他
橋本龍実 東京理科大学	部門4 1位 他

2. 試作の部入賞者の発表

井上拓也 宮崎大学	3位
森光平 明治大学	2位

3. 最優秀賞受賞者の発表

森下航	シミュレーションの部:部門3 1位, 部門4 2位, 他 試作の部:1位
-----	---

4. 講評 兵庫明 審査委員長

協賛企業

- ・ YITOAマイクロテクノロジー株式会社
- ・ 株式会社トッパン・テクニカル・デザインセンター
- ・ エイブリック株式会社
- ・ トレックス・セミコンダクター株式会社
- ・ アナログ・デバイセズ株式会社
- ・ セイコーNPC株式会社
- ・ 横河電機株式会社
- ・ ローム株式会社
- ・ ルネサスエレクトロニクス株式会社
- ・ 株式会社東芝
- ・ 日清紡マイクロデバイス株式会社
- ・ ザインエレクトロニクス株式会社
- ・ 旭化成エレクトロニクス株式会社
- ・ SiTime Japan合同会社

本年度より拡充された
試作の部無償枠の2チップ目の
費用はA.LSIデザイン様により
工面いただきました

(申し込み順)



2024演算増幅器コンテスト 部門1 2位、部門2 4位

日付 2025年1月23日

所属 東京理科大学大学院 創域理工学研究科

電気電子情報工学専攻 兵庫研究室

名前 古澤 武翔

Tokyo University of Science HYOGO Lab.



今年のモチベーション

- 今年でコンテストの参加は3回目
 - B4→ とりあえずシミュの部で2段構成のアンプを設計、提出
 - M1→ 試作の部に注力したが、アンプが発振
 - M2→ 去年の悔しさで試作の部を頑張った
試作の部を頑張れたり、シミュの部も出すか！

結果

試作したチップは研究室で動いたが.... (8枚中3枚)
最後の最後でシミュの部で入賞できてよかったです



回路の設計方針

- 過去の発表資料、調査で構成を決定
→ほとんどの時間を構成の検討に利用
- NMOS・PMOSのW/L
→キャリアの移動度がだいたい3倍より、Wは1:3 (1μm:3μm)
→Lは部門ごとにほしい特性に合わせる
(部門1ではスルーレートを大きく→L=180nm)



部門1の回路設計

$$\frac{\text{スルーレート}[V/s] \times \text{同相入力}[\%] \times \text{直流利得}[dB]}{\text{消費電流}[A]}$$

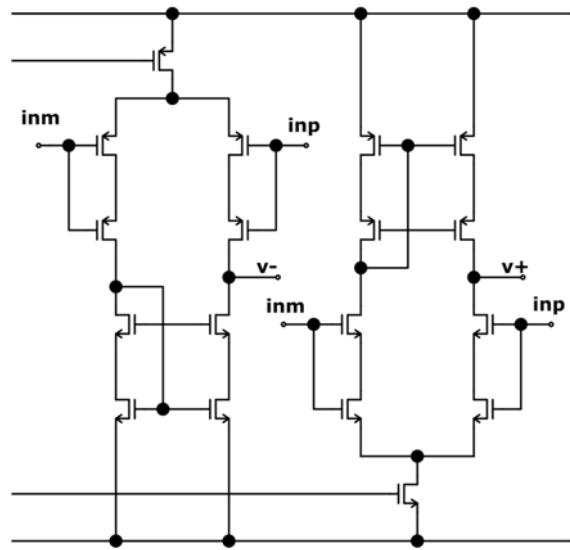
- 直流利得、同相入力範囲は差が出にくい
→**低消費電流、高スルーレート**が勝負

バイアス段の消費電流の低下、レールtoレール、
位相補償容量不要な構成
↓
バイアス段の抵抗を最大化、AB入力/AB出力の両差動

レールtoレール動作

両差動（レールtoレール）
→同相入力範囲を100%に

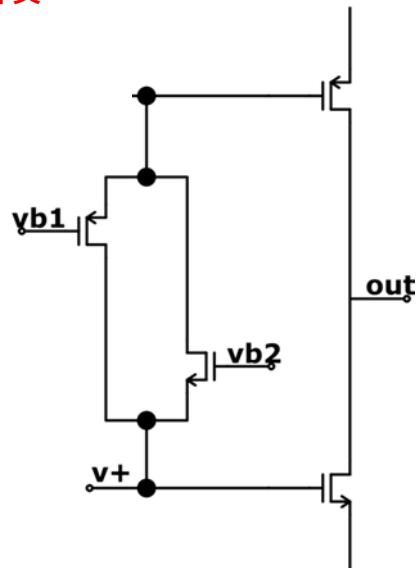
カスコード化
→利得の向上



AB出力段

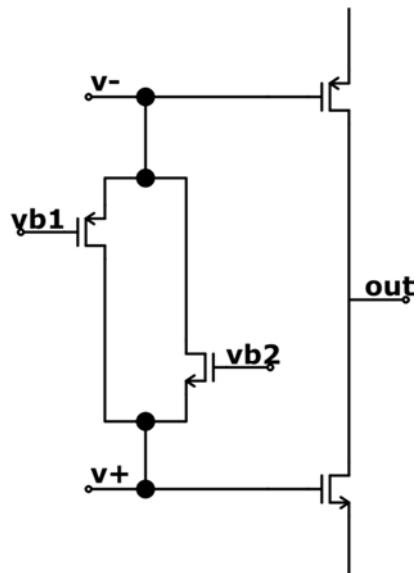
低消費電流 & 高スルーレート → AB出力段

- ・ 定常状態
→出力段の電流小
- ・ V_{in} 增加
→NMOSの V_{GS} 大、PMOSの V_{GS} 小
→NMOSの引き込む電流大
→スルーレート大

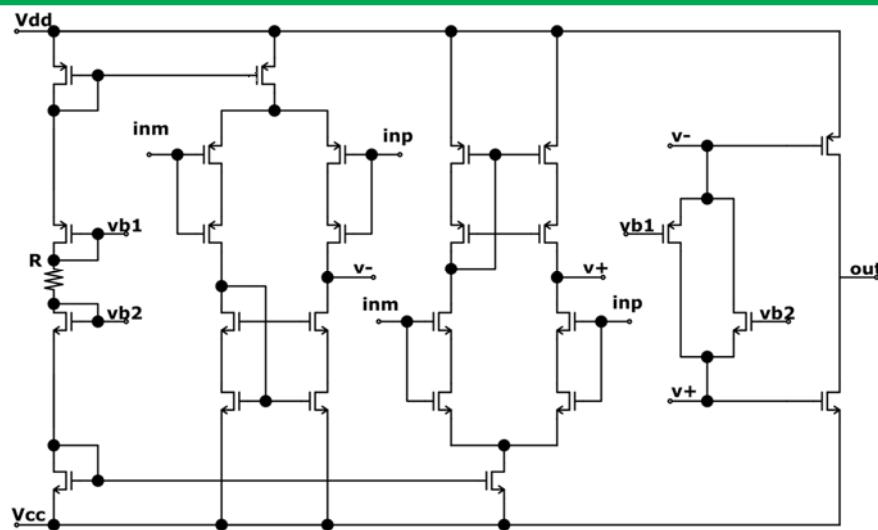


AB出力段

さらに、入力段を2つ使用（両差動）
 →入力段の出力により、
 直接バイアス電圧を変化
 →スルーレート大



回路構成



NMOS=(1um/180nm)、PMOS=(3um/180nm) m=1 (ただし、出力段のみm=58)
 $R=100M\Omega$



スコア

評価項目	結果
スルーレート	$8.94 \cdot 10^9$ V/s
同相入力範囲	100%
直流利得	96.5 dB
消費電流	316.7 nA

スコア : $2.7256 \cdot 10^{20}$



感想

- 結果としては入賞できなかったが、試作の部も含め、コンテストを通してアンプのみでなく、回路理解が深まった
- コンテストに参加し、年を追うごとに回路の知識が着実についてきていることを実感できた
→回路図を見ることで構成要素や動作のイメージがつく
→今後も学生が継続して切磋琢磨していただきたい



謝辞

このような貴重なコンテストを設けていただいたこと、
演算増幅器コンテスト運営の皆様、協賛企業の皆様に
心より感謝申し上げます

演算増幅器設計 コンテスト

部門1: 1位 部門2: 5位 部門3: 4位
京都工芸纖維大学 M2 山本和弥

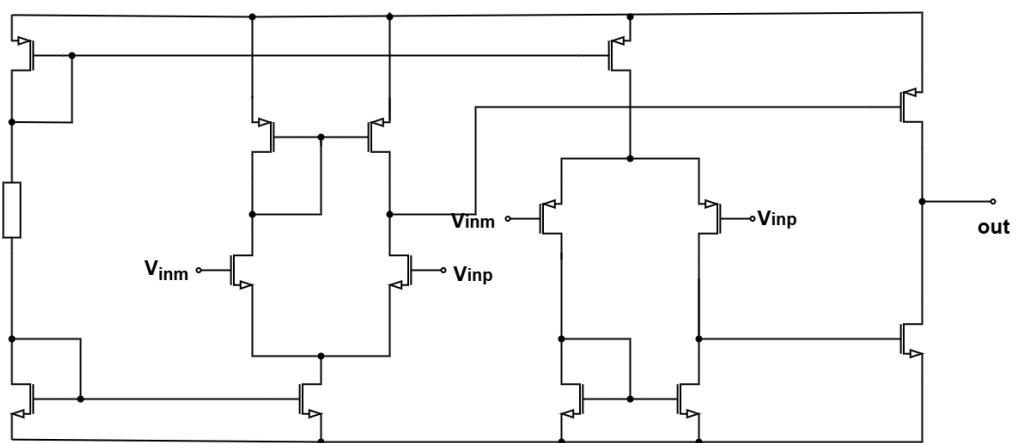
目次

- 部門1
- 謝辞
- おまけ

2

部門1

- 每年このトポロジーが出てくるから部門1はサイジング対決と割り切った



3

部門1

方針

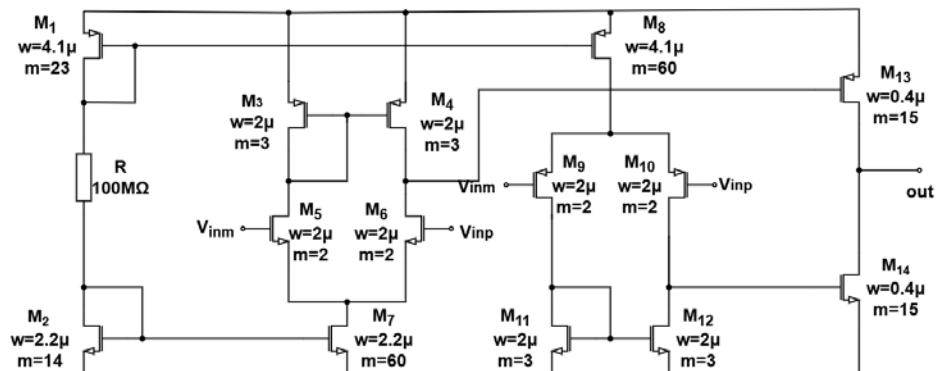
- チャネル長Lをpmos: 0.2μ , nmos: 0.3μ で統一
- 低消費電力を実現するために抵抗値は最大値で固定
- 帯域幅積が大幅に減ってしまうのでカレントミラーのW/Lは同じにする(マルチプルの個数mのみ変える)
- 差動対や信号処理用カレントミラーにそこまでの機能は求めないので素子値は小さくする(w=2μに固定、mの範囲も5以下に)

以上を踏まえて強化学習を用いたサイジング自動化処理を動かす

4

部門1

結果



チャネル長Lは
pmos: 0.2μ
nmos: 0.3μ
で統一

5

部門1

- 特性

部門1	
作品情報提出済：スコア: 3.112e+20 (投稿数: 1)	
最後に提出した回路の解析結果	
スコア	3.112e+20
電源電圧 (V)	3.000
消費電流 (A)	4.378e-7
消費電力 (W)	0.000001313
出力抵抗 (Ohm)	1.016e+7
直流通得 (dB)	69.46
位相余裕 (deg)	97.94
利得帯域幅 (Hz)	1.041e+6
入力換算雑音 (V)	0.09163
スルーレート (V/s)	1.962e+10
全高調波歪 (%)	0.9215
同相除去比 (dB)	71.79
電源電圧変動除去比 (dB)	83.02
同相入力範囲 (%)	100.0
出力電圧範囲 (%)	100.0
占有面積 (μm^2)	3.208e+5
消費電流変動 (%)	26.97
最小同相入力振幅 (%)	50.00
最小出力電圧振幅 (%)	50.00

振り返り

- 順位が當時見えていたので、逆転を防ぐために部門1は締め切り直前まで提出を確定していなかった
- 試作の部はもっとスルーレートに余裕を持たせて設計しておくべきだったと後悔している…
 - それでもほぼシミュレーション通りに動いていることに結構驚いている実際に設計してみることで得られる感動
- 部門3を解決するために新規的なCMFBを持つトポロジーの**合成**を試していたのですが既存のトポロジーにはやはり敵わなかった
 - 抵抗値が1違うだけでゼロがひとつたり消えたりする特性だから自動サイジングがめちゃくちゃ難しい
 - むしろそのようなトポロジーができたらさっさと論文書いて出せという次元もあるからある程度分かっていたことではあるが…

最後に

当方は今回で2度目の発表となります
今回の大会参加にもあたり大変貴重な機会を頂きました
大会運営の皆さま及び協賛企業の皆様に深く感謝いたします
ありがとうございました

8

おまけ1: 試作の部奮闘記録

1. 仕様をよく吟味

2. トポロジー選定

1. 審査項目

図1(a)に示す利得が-10倍の增幅器回路における無信号時の消費電力

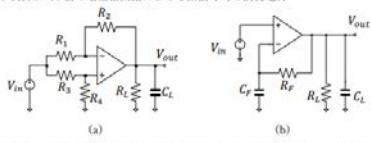


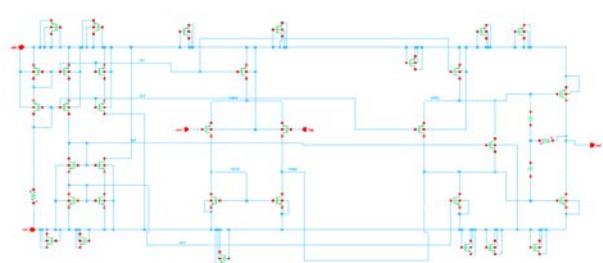
図1：評価回路 ($R_1 = R_3 = R_4 = 10k\Omega$, $R_2 = 210k\Omega$, $R_f = 1T\Omega$, $C_f = 10mF$, $R_L = 20k\Omega$, $C_L = 1nF$)

2. 要件

デザイン部門はフェニックス社 0.6um CMOS モデルパラメータを使用する。本部門における演算増幅器の応募要件を表1に示す。

表1：デザイン部門要件

項目	要件	備考
電源電圧	3V	固定
直流利得	40dB 以上	図1(b)
位相余裕	45 度以上	図1(b)、負荷容量±10%変動
帯域幅	20kHz 以上	図1(a)
出力オフセット電圧	±100mV 以下	図1(a)
入力電圧範囲	±100mV 以上	図1(a)
スルーレート	±1V/us 以上	図1(a)
全高長波長	0.1%以下	入力：1kHz, 振幅 1mV, DC オフセット 0V, 図1(a)
占有面積	0.2mm ² 以内	

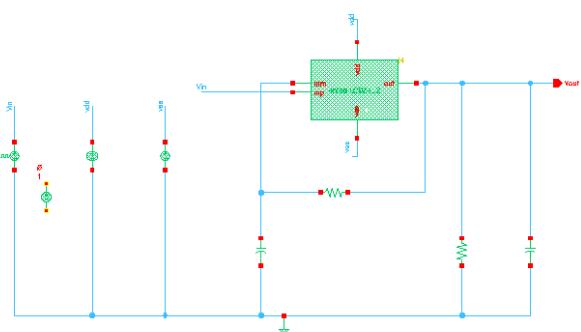
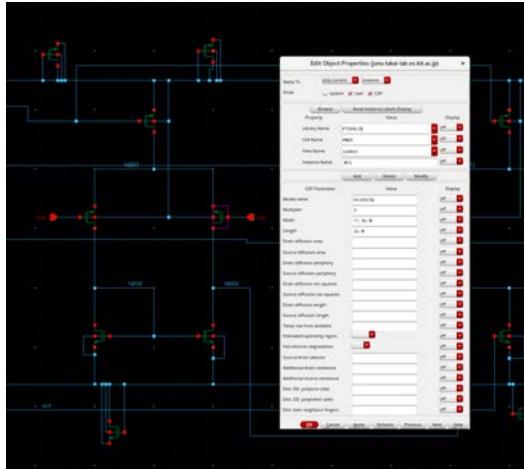


9

おまけ1: 試作の部奮闘記録

3. サイジング

今回はDNN-Optを用いてネットリスト上でサイジングを自動化した
(画像はLVS用)

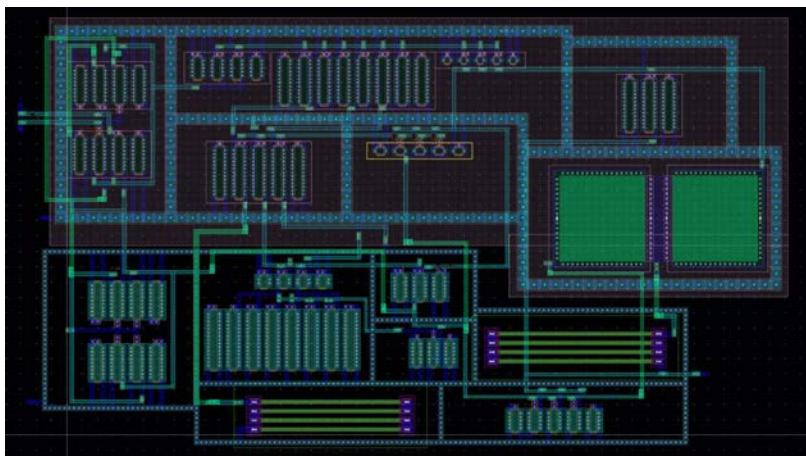


10

おまけ1: 試作の部奮闘記録

4. レイアウト

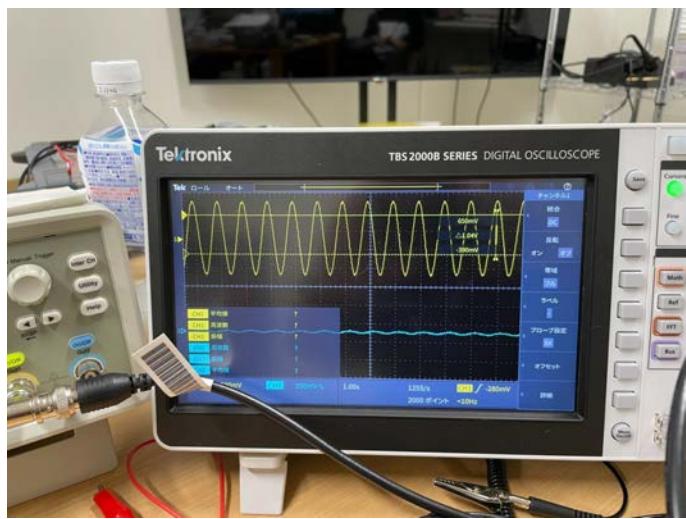
レイアウト自動化のオープンソース (AlignとかMagicalとか)も使ってみたかった…



11

おまけ1: 試作の部奮闘記録

6. 実測



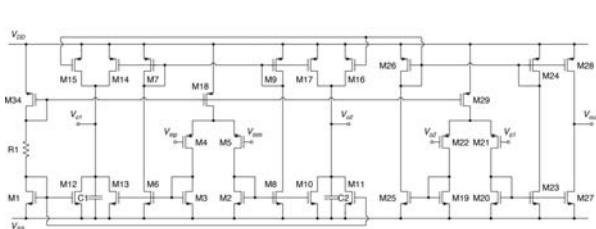
7. 測定結果

特性要件	要件	結果
消費電力	できるだけ下げる	$160 \mu\text{W}$
帯域幅	20kHz以上	190kHz
オフセット電圧	100mV以下	58mV
入力電圧範囲	100mV以上	100mV
スルーレート	上下共に 1V/ μs 以上	上: 0.4V/μs 下: 1.25V/ μs



おまけ2

- 部門3は2020年コンテスト同部門で1位を取ったトポロジーをそのまま使えばスコア1e11(暫定2位相当)をもらえたりする
 - ひねりがなさ過ぎて当然提出は取り下げたけどCMRR改善の策としてCMFB+CMFFの重ね掛けは今後において非常に参考になるのでは



コンテスト発表資料より引用
抵抗値だけ微妙～～に変える必要あり
(148726Ω → 148725Ω)





2024年度演算増幅器設計コンテスト

部門2:2位 部門3:6位

防衛大学校 応用物理学科
松 元 研究室
修士1年 鳴原大地

1



部門2の設計方針

部門2の評価式

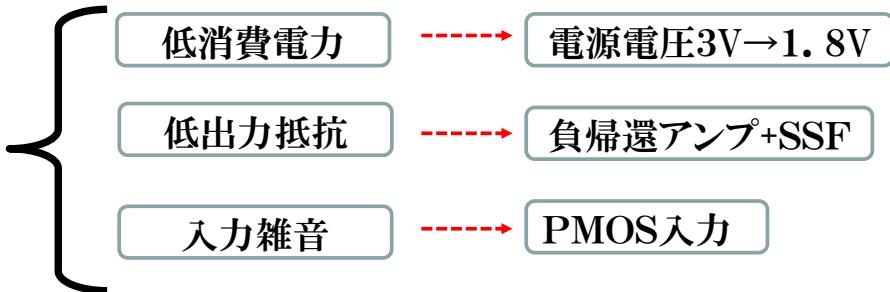
$$\frac{\text{利得帯域幅積} \times \text{位相余裕}}{\text{消費電力}^2 \times \text{出力抵抗} \times \text{入力雑音}}$$

今回の設計方針



- 1 消費電力を下げる。
- 2 出力抵抗を下げる。
- 3 入力雑音を下げる。

具体的な設計手法



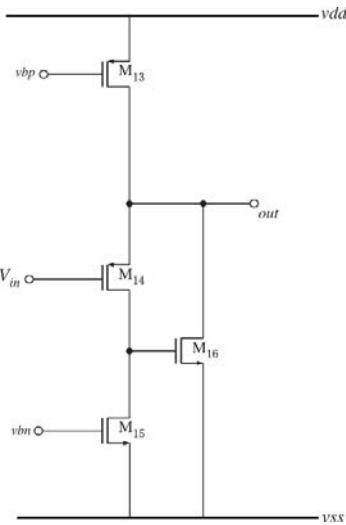
2



部門2の設計方針

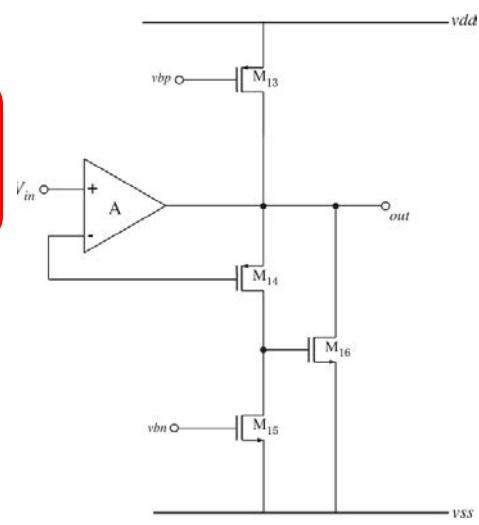
National
Defense
Academy

○ 補助アンプ+SSF(Super Source Follower)



- Super Source Follower
→ 低出力インピーダンス

補助アンプにより、
出力抵抗をさらに低
下させる。



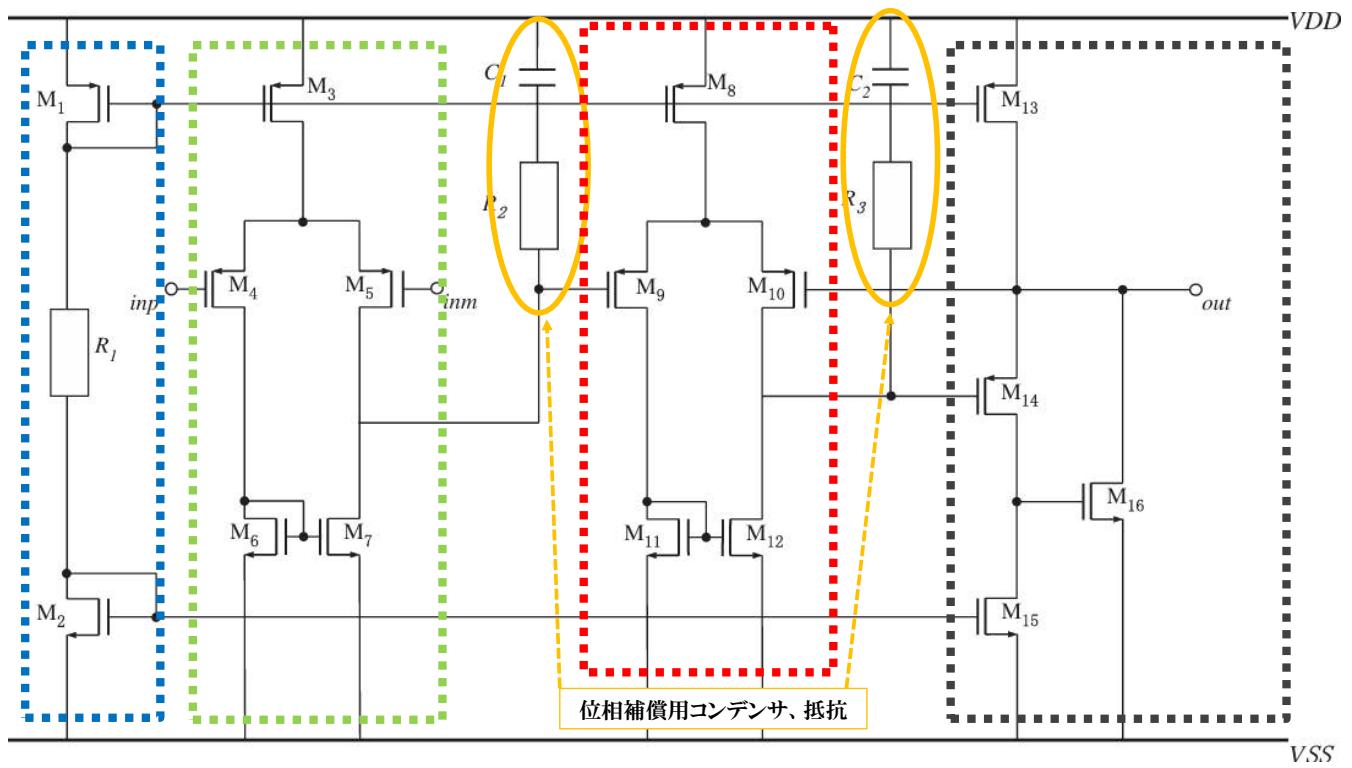
- 補助アンプ+SSF
→ 消費電力を小さくする。

3



部門2の回路図

National
Defense
Academy



バイアス段

入力・増幅段

補助アンプ

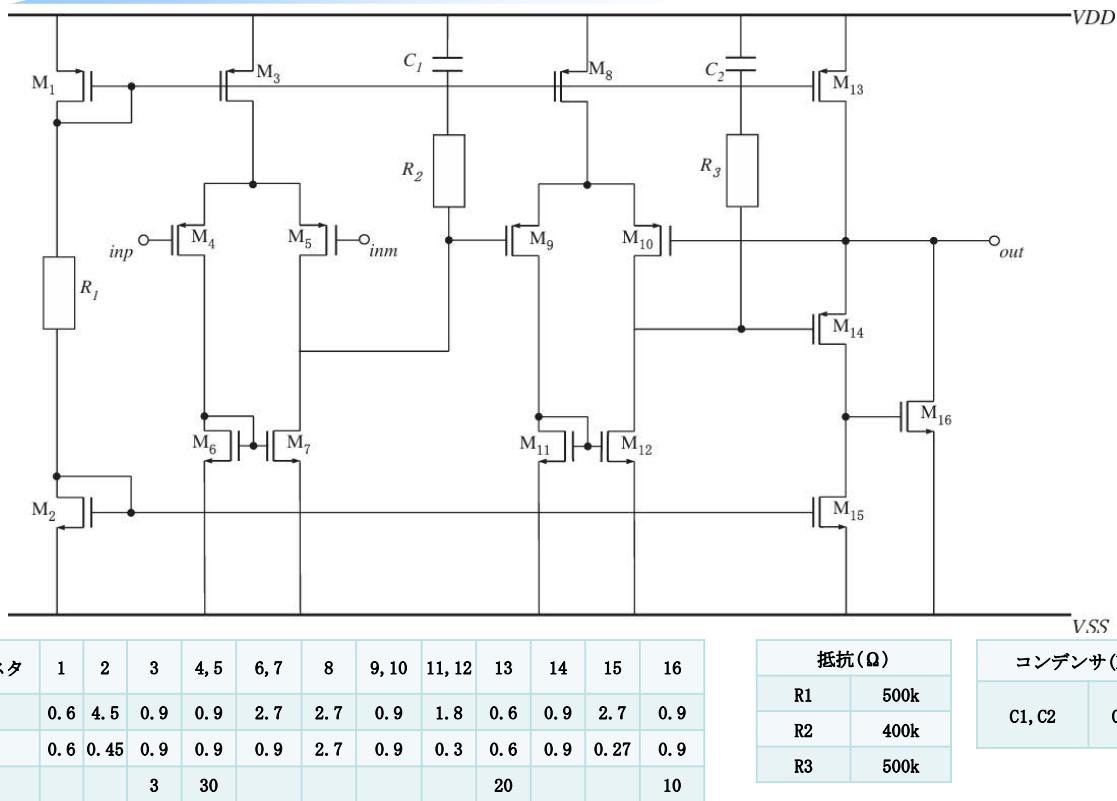
出力段(SSF)

4



部門2の回路図

National
Defense
Academy



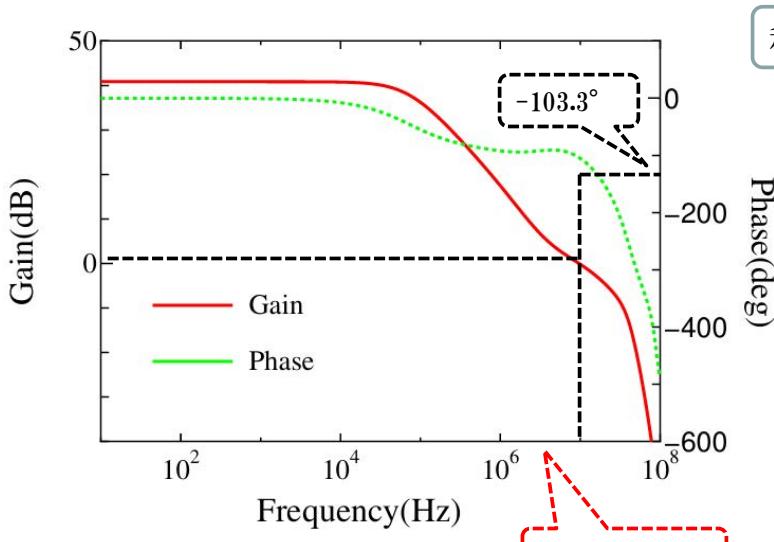
5



シミュレーション結果(利得帯域幅積・位相余裕)

National
Defense
Academy

- LTspiceを用いてシミュレーションを実施



利得帯域幅積

- 開ループ利得が0dBになった時の周波数
 $\rightarrow 0.955 + e007\text{Hz}$
 - 開ループ利得が直流利得の平方根(dBで半分)になった時の周波数と利得の積
 $\rightarrow 1.517 + e007\text{Hz}$
- 利得帯域幅積: $0.955 + e007\text{Hz}$

位相余裕

$$180 - |-103.3| = 76.7[\text{deg}]$$

6



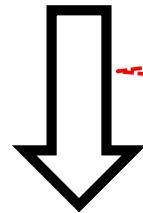
シミュレーション結果(出力抵抗)

National
Defense
Academy

- LTspiceを用いてシミュレーションを実施

シミュレーション上の直流利得: $A_{0_sim} = 40.8\text{dB}$
シミュレーション上の出力抵抗: $r_{o_sim} = 5.94\text{e-}002\Omega$

```
-- Transfer Function --
Transfer_function: 1.96542 transfer
v3#Input_impedance: 1e+20 impedance
output_impedance_at_V(out): 0.0594072 impedance
```



以下の式を基に出力抵抗の真値を導出

$$r_o = \frac{1 + \beta A_{0_sim}}{\frac{1}{r_{o_sim}} - \frac{1}{R_1+R_2} - \frac{\beta A_{0_sim}}{R_L}}$$

実際の出力抵抗: $r_o = 3.32\Omega$

7



部門2の結果

National
Defense
Academy

部門2の評価式

$$\frac{\text{利得帯域幅積} \times \text{位相余裕}}{\text{消費電力}^2 \times \text{出力抵抗} \times \text{入力雑音}}$$

利得帯域幅積【Hz】	5.2111e+06
位相余裕【deg】	7.4293e+01
消費電力【W】	1.0073e-05
出力抵抗【Ω】	5.5720e+00
入力換算雑音【V】	6.4951e-03
得点	1.0543e+20

8



感想及び謝辞

National
Defense
Academy

演算増幅器設計コンテストに参加することで各特性を向上させる回路構成や原理を学ぶきっかけになりました。それと同時に、まだ勉強不足であることも痛感しました。
この経験を活かして日々の研究に邁進していきたいと思います。

～謝 辞～

貴重な機会を設けてくださった演算増幅器設計コンテスト運営の皆様並びに協賛企業の皆様に厚く御礼申し上げます。

15



演算増幅器設計コンテスト
部門2 1位
部門3 3位
部門4 3位

佐賀大学 理工学研究科 修士課程1年
通信工学研究室 待鳥維吹



設計方針・目標

目標

今まで入賞していない部門(部門2, 3, 4)で入賞する

部門2の評価式

$$\text{スコア} = \frac{\text{利得帯域幅積} \times \text{位相余裕}}{(\text{消費電力})^2 \times \text{出力抵抗} \times \text{入力換算雑音}}$$

部門2の設計方針

消費電力と出力抵抗でスコアに差がつく

- 利得帯域幅積と消費電力はトレードオフの関係
→ 消費電力は二乗で効いてくる
→ 利得帯域幅積より消費電力を優先
- 出力抵抗と入力換算雑音もできるだけ下げる

2

設計方針・目標

過去5年間の上位入賞作品

消費電力は $50 \mu\text{W}$ 以下の作品が多い (13/16回路)

出力抵抗は 1Ω 以下の作品が多い (12/16回路)

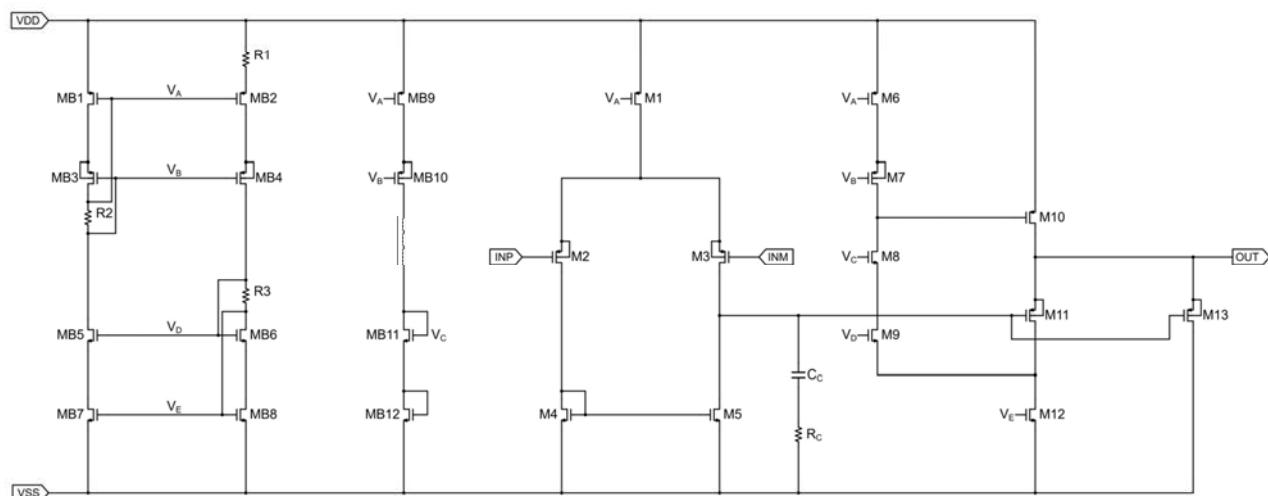
⇒ 消費電力は $10 \mu\text{W}$, 出力抵抗は 0.5Ω 程度を目指す

上位入賞作品に見られる回路構成・工夫

- 出力段は補助アンプ + SSF(FVF) or Cascoded FVF
⇒ 消費電流を絞るため後者を選択
- 電源電圧は $1.8 \sim 2.0 \text{ V}$ 程度
⇒ 1.7Vまで下げて消費電力削減を狙う
- 入力換算雑音低減のためにPMOS入力

3

回路構成

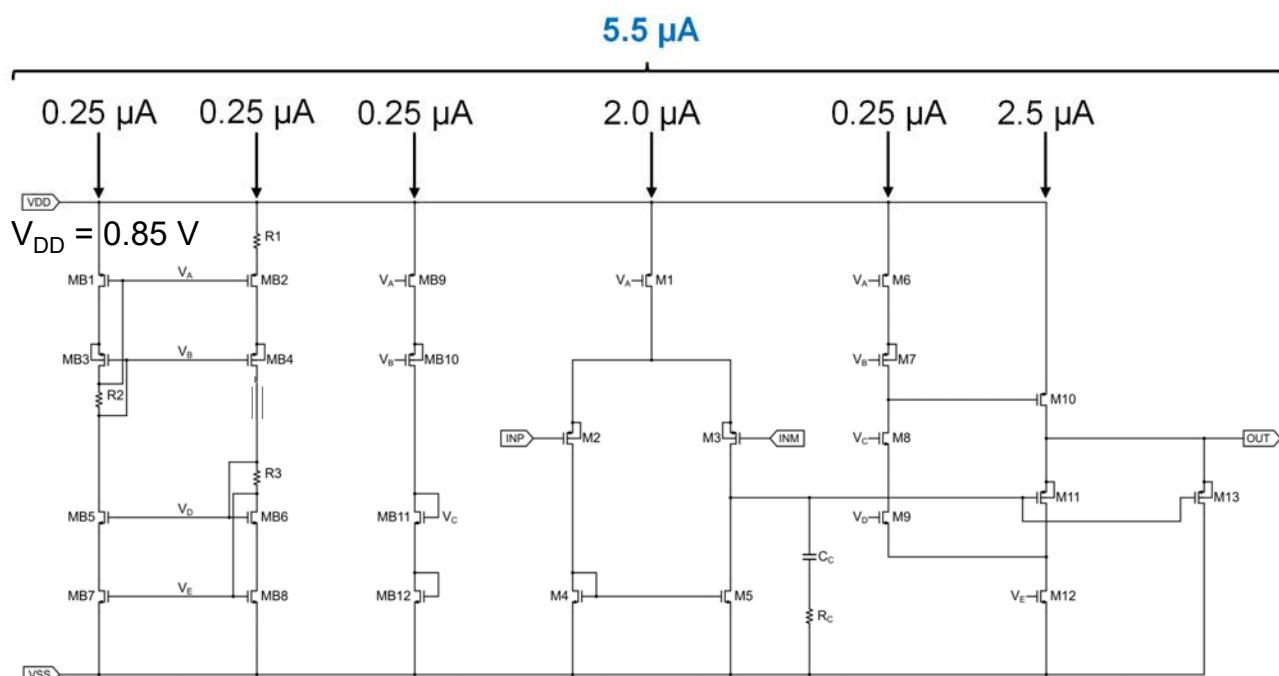


素子番号	MB1, 9 M6	MB2	MB3, 4, 10 M7	MB5, 6, 7, 8, 11, 12 M8, M9	M1	M2, 3	M4, 5	M10	M11, M13	M12
W	0.9u	0.9u	3.1u	0.84u	0.9u	1.5u	0.84u	1.5u	1.5u	0.84u
L	4.0u	4.0u	4.0u	4.0u	4.0u	2.0u	4.0u	2.0u	2.0u	4.0u
M	1	4	1	1	8	4	4	10	5	6

$$R_1 = 438 \text{ k}\Omega, R_2 = R_3 = 600 \text{ k}\Omega, R_C = 50 \text{ k}\Omega, C_C = 0.8 \text{ pF}$$

4

回路構成



$$V_{DD} = 0.85 \text{ V}, V_{SS} = -0.85 \text{ V}$$

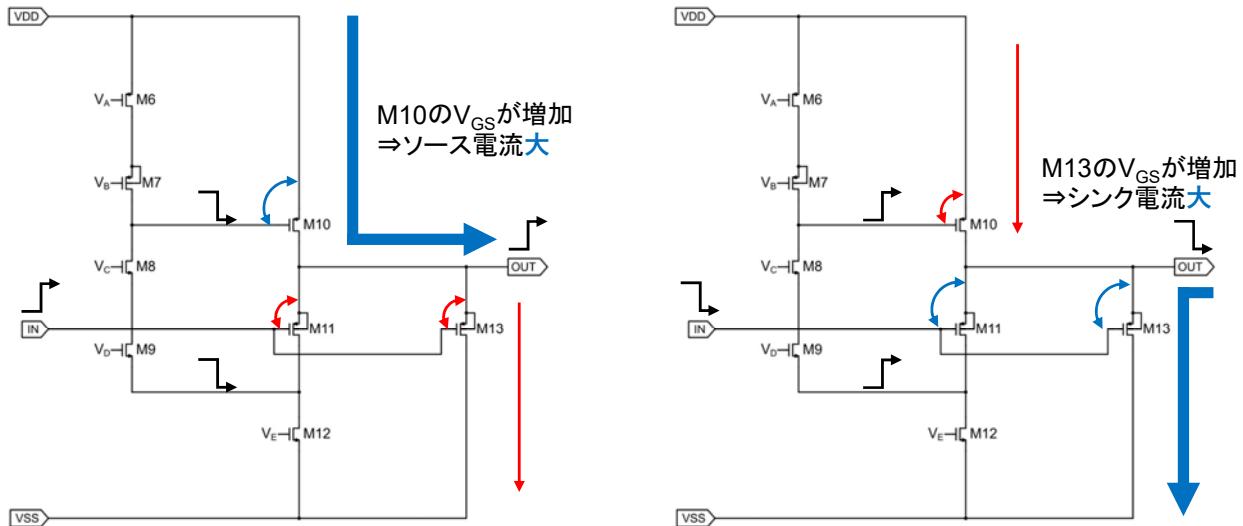
電流分配の倍率をあまり大きくしたくない

⇒バイアス段と出力段の倍率は10倍程度に設定

5

回路構成

出力段(Cascoded Flipped Voltage Follower^[1])の動作



右下のPMOSで立下り時の出力電流の制限を回避
⇒出力段に流すバイアス電流を絞れる

[1] J.Ramirez-Angulo et al., "Comparison of conventional and new flipped voltage structures with increased input/output signal swing and current sourcing/sinking capabilities," 48th Midwest Symposium on Circuits and Systems, 2005., 2005, pp.1151-1154 Vol.2, doi:10.1109/MWSCAS.2005.1594310

6

シミュレーション結果

消費電流・消費電力

	$V_{DD} \times 0.9$	V_{DD}	$V_{DD} \times 1.1$
-40 °C	4.33 μ A	4.28 μ A	4.23 μ A
25 °C	5.67 μ A	5.62 μ A	5.57 μ A
80 °C	7.00 μ A	6.98 μ A	6.93 μ A

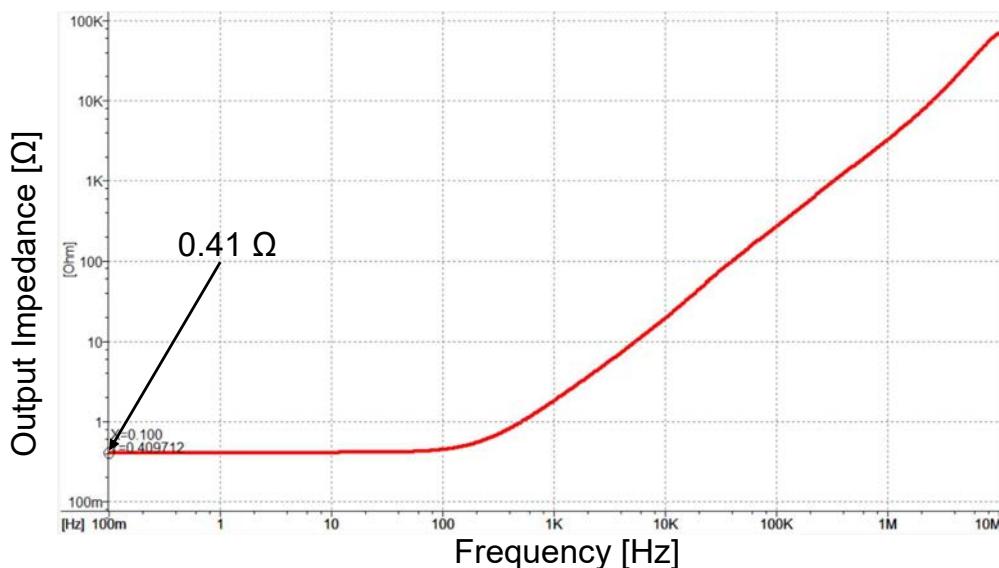
電源電圧1.7 V, 温度25 °Cの場合, 消費電流は**5.62 μ A**
温度, 電源電圧の変化による消費電流変動率は最大約25 %
⇒要件である変動率50 %以下を満たす

消費電力: $1.7 \text{ V} \times 5.62 \text{ } \mu\text{A} = \text{9.55 } \mu\text{W}$

7

シミュレーション結果

出力抵抗

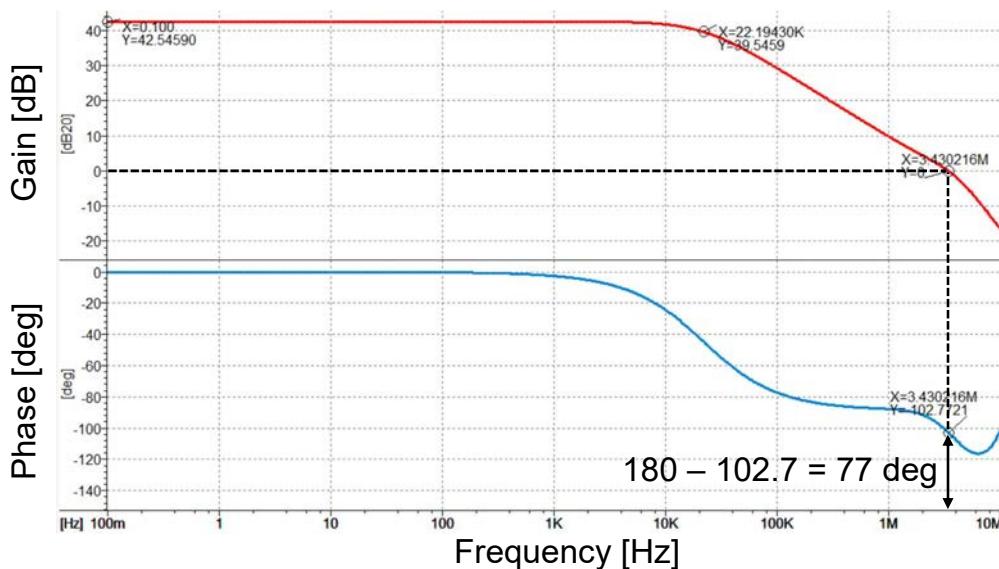


出力抵抗: **0.41 Ω**

8

シミュレーション結果

利得帯域幅積・位相余裕



利得帯域幅積: **3.43 MHz**

位相余裕: **77.2 deg**

9

最終スコア

消費電力	9.56	μW
出力抵抗	6.81	Ω
入力換算雑音	3.26	mV
利得帯域幅積	2.96	MHz
位相余裕	73.7	deg
スコア	1.075e+20	

- ・消費電力を10μW以下に抑えることができた
⇒2018～2023年の入賞作品の中で消費電力は最小
- ・例年通り消費電流と出力抵抗に振り切った回路構成
⇒他の特性に焦点を当てた設計をしてみるのも面白そう

10

まとめ・感想

- ・使ったことのない構成で回路を設計できて面白かった
もっと書籍・文献を読み込んで色々な回路構成を設計してみたい
- ・今年の目標を達成できて嬉しい
部門2, 3, 4ならではの難しさや楽しさを知ることができた
- ・まだまだ知識不足な点が多い
研究と並行して積極的にアナログIC設計について学習を進める
- ・高専の本科生のときから参加ってきて初めて1位を取れた!!
来年が最後のチャンス。今まで以上に気合を入れて取り組みたい

11

謝辞

このような貴重な機会を与えてくださった
コンテスト運営及び審査委員の皆様と
協賛企業の皆様に深く感謝を申し上げます

12

2024演算増幅器設計コンテスト

第2部門 6位
第3部門 2位

防衛大学校
理工学研究科前期課程
修士2年 西 崇志

設計方針

部門3評価式

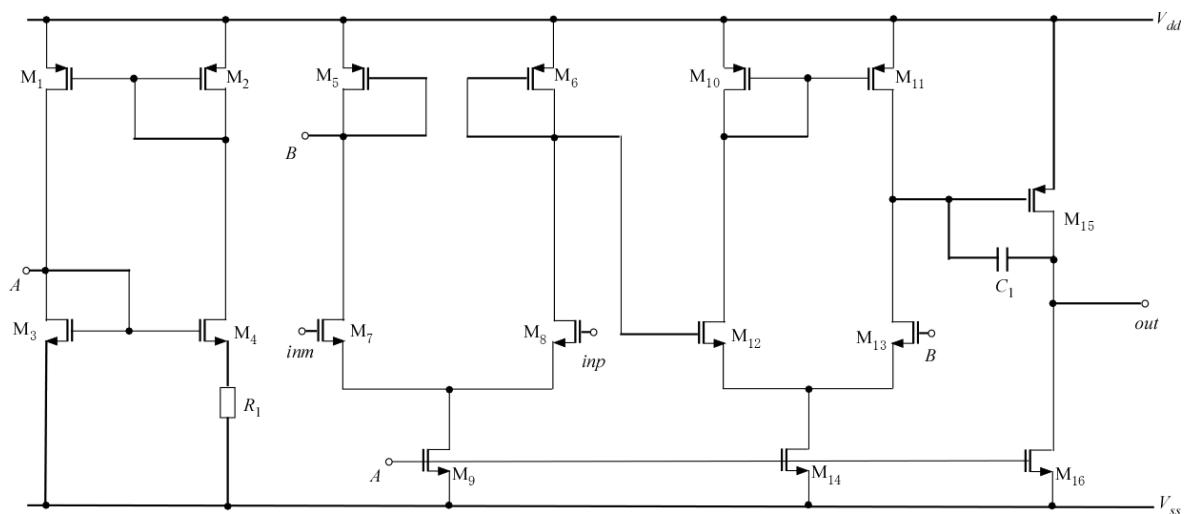
$$\frac{\text{電源電変動除去比} \times \text{同相除去比}}{\text{直流利得} \times \text{電源電圧}}$$

電源電圧変動除去比と電源電圧はトレードオフの関係

↓
スコアの向上のため、同相除去比に注目

1

提出回路



トランジスタのLの値は1.6umで固定

M1=14um M2=14um M3=4um M4=4um

M5=96.02um M6=96.02um M7=4um M8=4um

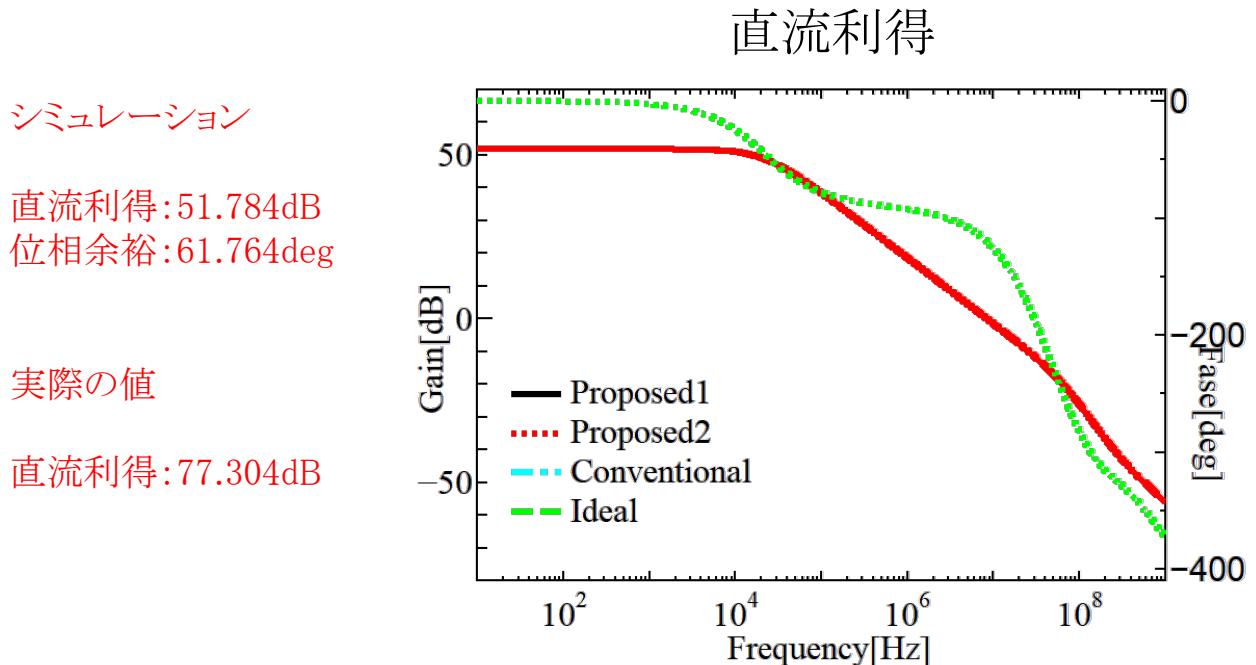
M9=8um M10=16um M11=16um M12=5.8um

M13=5.8um M14=6um M15=48um M16=10um

R1=1kΩ C1=1pF

2

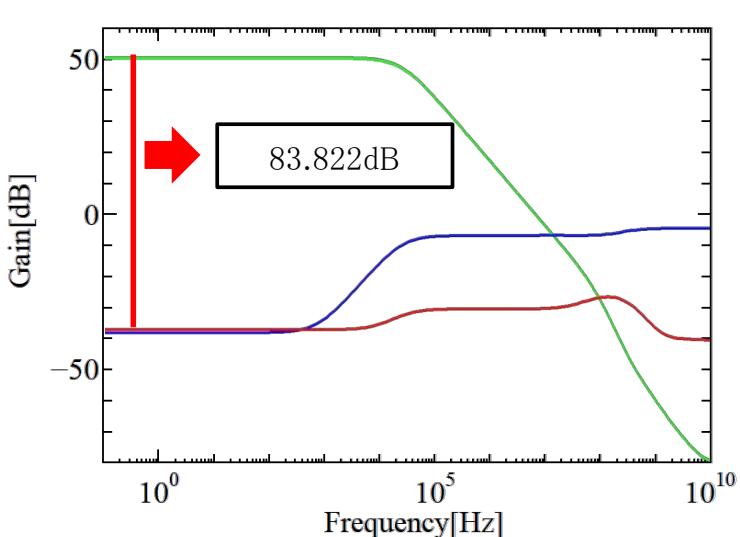
シミュレーション結果



3

シミュレーション結果

電源電圧変動除去比(PSRR)



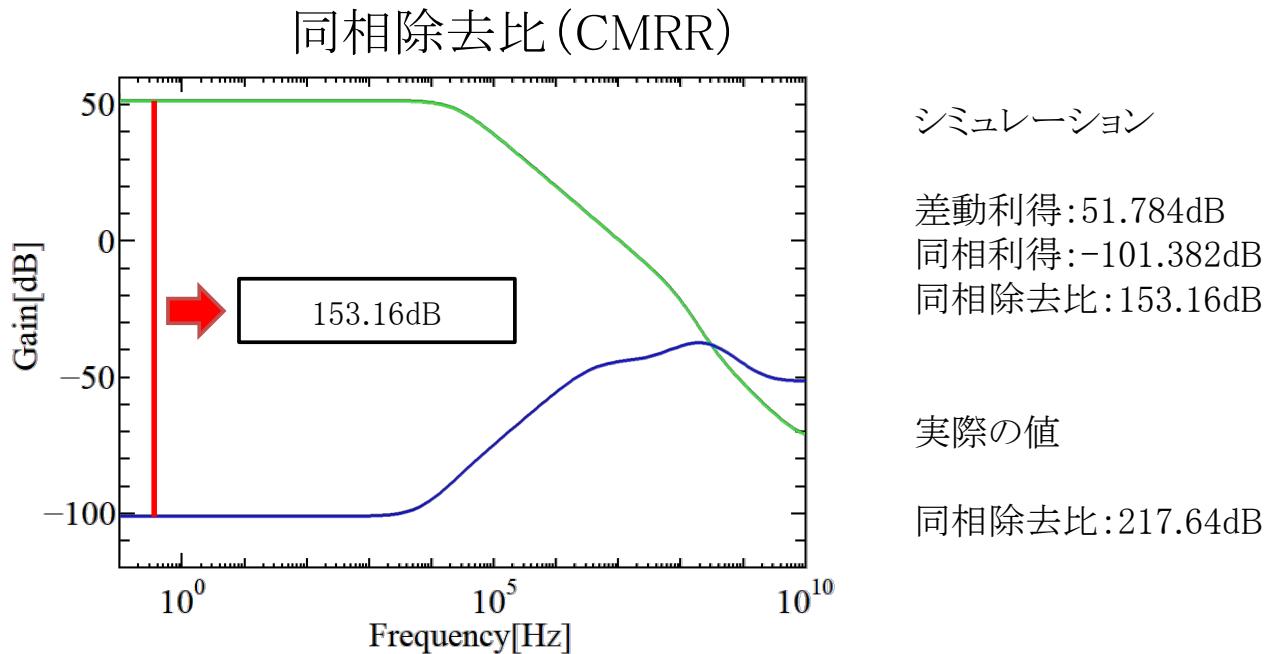
シミュレーション

電源電圧変動除去 83.822dB
差動利得: 51.784dB
VDD変動利得: -32.038dB
VSS変動利得: -31.157dB

実際の値
電源電圧変動除去比:
82.92dB

4

シミュレーション結果



5

部門3スコア

部門3の評価式

$$\frac{\text{電源電圧変動除去比} \times \text{同相除去比}}{\text{直流利得} \times \text{電源電圧}}$$

同相除去比【dB】	2.1764e+02
直流利得【dB】	7.7304e+02
電源電圧変動除去比【dB】	18.2921e+02
電源電圧【V】	3.0000e+00
得点	4.8497e+10

6

まとめ

- ・同相利得を減少させ、同相除去比を上げることができ、電源電圧変動除去比を増加させることでスコアを向上した。
- ・差動利得は分母分子で打ち消す形と見なせるので同相利得の改善及びVssまたはVddの変動利得の改善の工夫が必要。
- ・実際に作成する際はスタートアップ回路を導入する必要があると思われる。

最後に

今回のコンテストを通じて、回路設計の大変さと、自身の知識不足を感じた。また性能が向上した時の達成感を味わうことができた。

今回このような機会を通して充実した経験をすることが出来ました。
協賛企業の皆様と運営の皆様に深く感謝を申し上げます。

7



2025年演算增幅器設計コンテスト発表会

演算增幅器設計コンテスト

試作の部：4位

部門4：1位

2025年1月23日

東京理科大学 創域理工学研究科 電気電子情報工学専攻

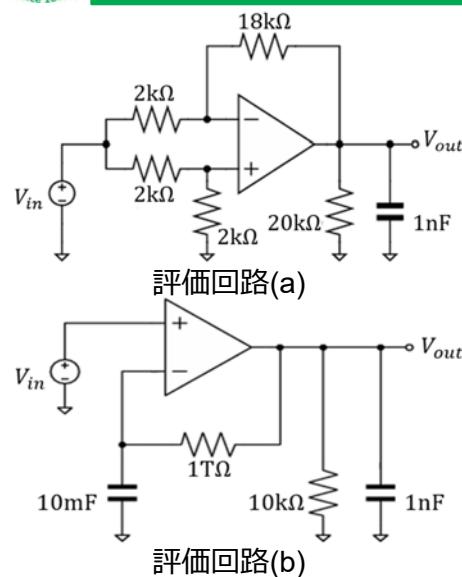
兵庫研究室

修士2年 橋本 龍実

はじめに

- 目標：昨年度は試作の部のみに参加し、その際に得たレイアウトの改善点を反映させ、昨年度よりも優れた回路を設計する。
- 試作の経験を積みたかったため、試作を最優先に考えて設計を行った。
- 部門4では、試作した回路のパラメータを調整し、評価項目に適合するようにした。

評価項目と要件（部門4）



部門4の要件

項目	要件	備考
電源電圧	5V	固定
直流利得	40dB 以上	評価回路(b)
位相余裕	45 度以上	評価回路(b)
帯域幅	20kHz 以上	評価回路(a)
出力オフセット電圧	±100mV 以下	評価回路(a)
入力電圧範囲	±100mV 以上	評価回路(a)
スルーレート	±1V/us 以上	評価回路(a)
全高調波歪	0.1%以下	評価回路(a)

- 評価：評価回路(a)における無信号時の消費電流

設計方針

- 方針：スルーレートをギリギリ満たしつつ、消費電流を減らす設計

<以下の二つのことに注意する>

- 消費電流を抑える

消費電流

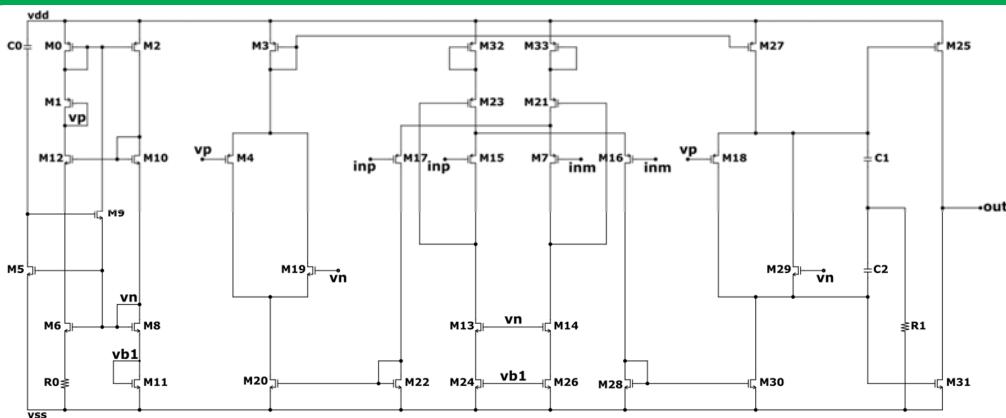
スルーレート

- 消費電流を抑えることによって、悪化するスルーレートの改善

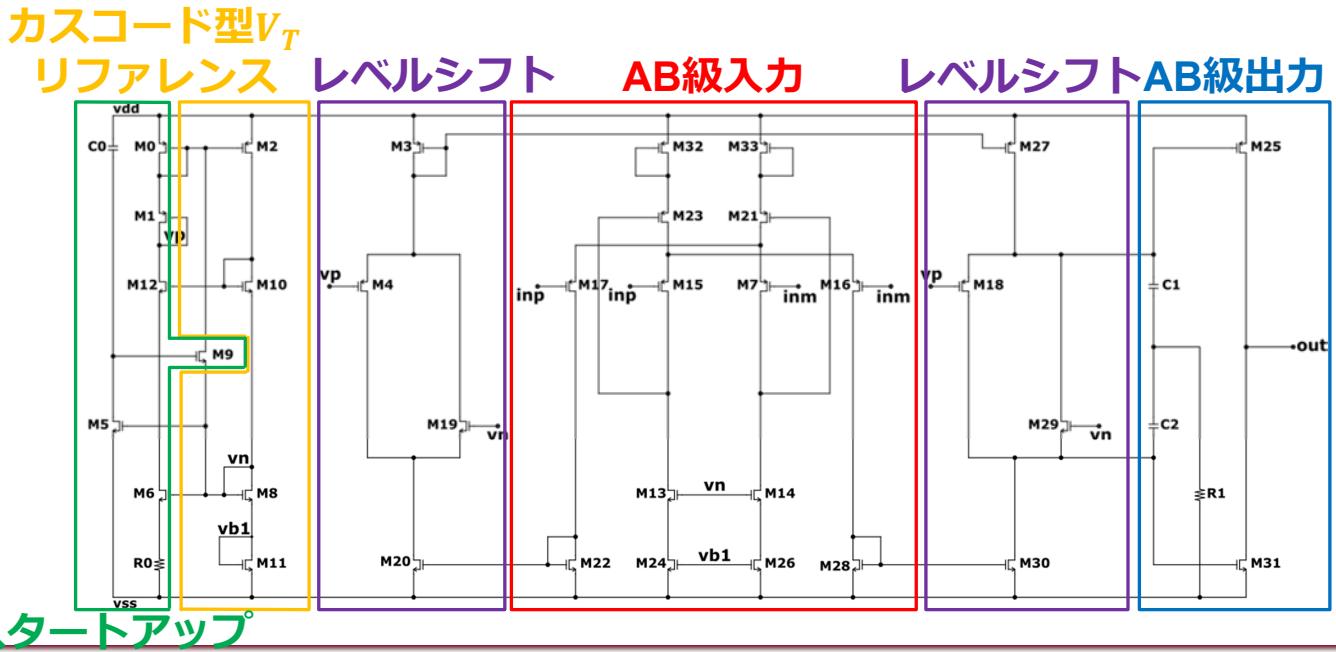


V_T リファレンス回路とAB級入力段およびAB級出力段を用いて、
低消費電流かつ高スルーレートを実現

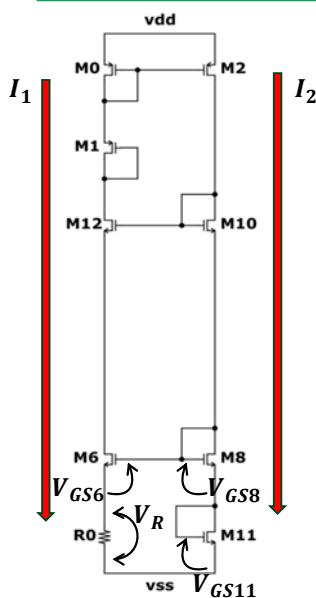
部門4：提出回路



部門4：提出回路



カスコード型 V_T リファレンス



カスコード型 V_T リファレンス

- カレントミラーを構成する W/L 比を等しくした時、それぞれのMOSトランジスタに流れる電流は等しくなる。

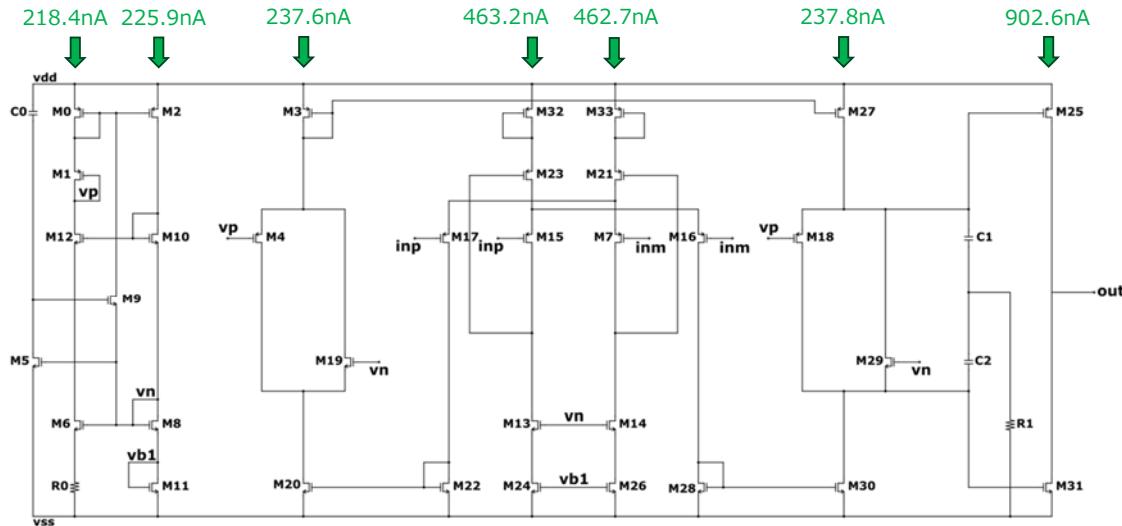
$$I_1 = I_2$$

- $V_{GS6} = V_{GS8}$ だから、

$$V_R = V_{GS11}$$

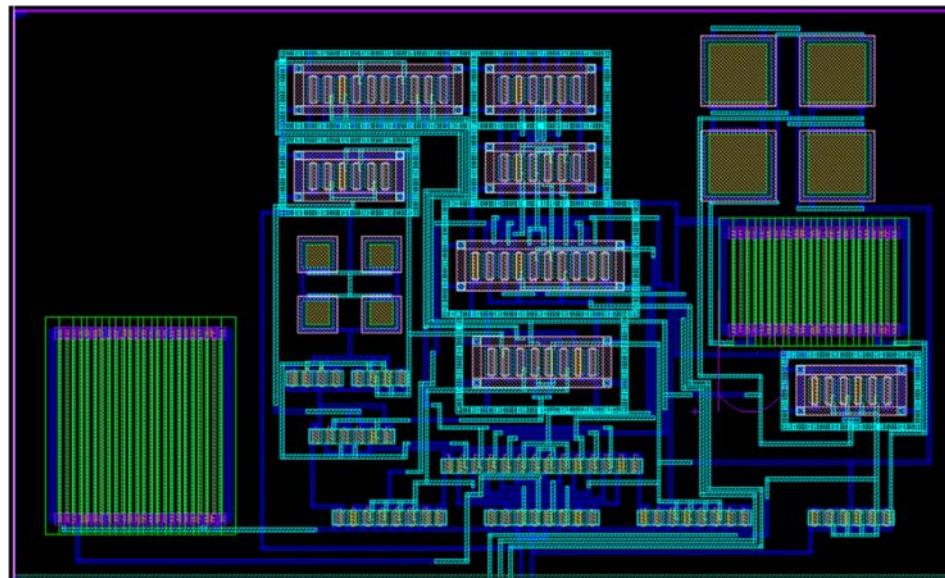
- よって、電源電圧に依存しない基準電流を得ることができる

シミュレーション結果



試作した際のマスクレイアウト

- 素子値は異なるが、同じ回路構成をレイアウトした図





部門4 評価結果

項目	評価結果
スコア	5.835e + 4
消費電流 [μA]	3.428
スルーレート [V/μs]	1.086

- スルーレートをギリギリ満たしつつ、消費電流を減らすことができた。



まとめ

- 目的とする演算増幅器の設計を実現するために、回路構造を選定し、シミュレーションで特性を確認するプロセスを経験することで、設計のフローを理解することができた。
- 去年は試作の部に専念していたが、今年はシミュレーションの部にも取り組み、新たな発見や知識を得ることができた。

このような貴重な機会を与えてくださった
演算増幅器設計コンテスト運営及び審査委員の皆様と
協賛企業の皆様に厚く御礼申し上げます

2024年度 演算増幅器設計コンテスト 試作の部 3位

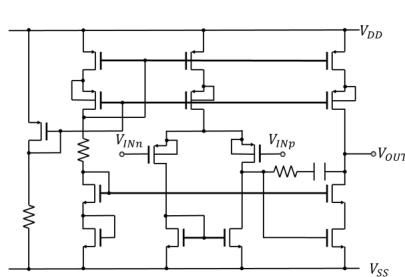
2025年 1月 23日
宮崎大学大学院 工学研究科 工学専攻 修士1年
井上 拓也
指導教員: 淡野 公一 教授

Slide No. 1

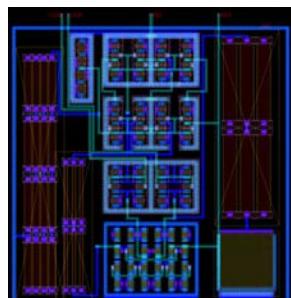
Center for Integration Technology, CITE, Hardware Gr., Tanno Lab.

参加動機

学部4年時、初めてオペアンプを設計



回路図



マスクレイアウト図

- ・満足する設計とは言い難かった
- ・MOSトランジスタ等の原理について十分理解できていない
- ・シミュレーションと実機の違いについて知りたい



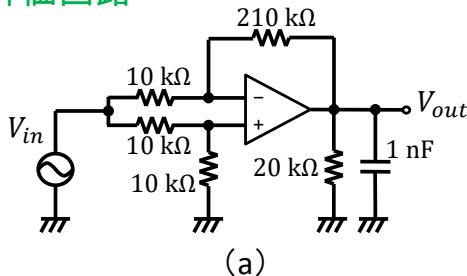
演算増幅器設計コンテスト試作の部の参加を決意！

試作の部

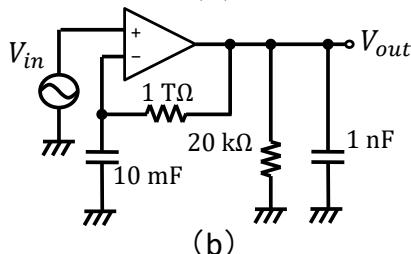
- 評価項目

利得 -10倍の反転増幅回路における低消費電力化を競う

- 評価回路



(a)



(b)

- 設計要件

項目	要件	備考
電源電圧	5 V	固定
直流利得	40 dB 以上	評価回路(b)
位相余裕	45 度 以上	評価回路(b) 負荷容量±10%変動
帯域幅	20 kHz 以上	評価回路(a)
出力オフセット電圧	±100 mV 以下	評価回路(a)
入力電圧範囲	±100 mV 以上	評価回路(a)
スルーレート	±1 V/us 以上	評価回路(a)
全高調波歪	0.1 % 以下	評価回路(a)
占有面積	0.2 mm ² 以内	

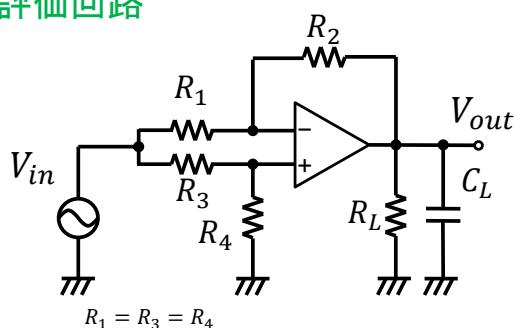
設計目標

- ①昨年度 試作の部結果

	第1位	第2位	第3位	第4位
消費電流(実測値) [μA]	9.4	55.7	66.2	54.5

※昨年度発表資料より

- ②評価回路



	R ₁ [kΩ]	R ₂ [kΩ]	R _L [kΩ]	C _L [nF]
今年度	10	210	20	1
昨年度	1	21	10	1

- 昨年度よりも帰還抵抗と負荷抵抗が大きくなり、電流が絞りやすい
→50μA以上の作品では入賞できない
- 優勝を目指したい！



目標: 消費電流10 μA

設計方針

- 設計要件

項目	要件
電源電圧	5 V
直流利得	40 dB 以上
位相余裕	45 度 以上
帯域幅	20 kHz 以上
出力オフセット電圧	$\pm 100 \text{ mV}$ 以下
入力電圧範囲	$\pm 100 \text{ mV}$ 以上
スルーレート	$\pm 1 \text{ V/us}$ 以上
全高調波歪	0.1 % 以下
占有面積	0.2 mm^2 以内

1. バイアス段は抵抗のみで構成する

安定化電源を用いるため電源電圧は変動しない
 →電源電圧依存性を心配する必要が無い
 →抵抗のみで構成し、余計な電流パスを作らない

2. シンプルな回路構成にする

オフセットを考慮した設計技術は持っていない
 →なるべくシステムオフセットが生じない構成

3. 出力段にAB級出力回路を使用する

消費電力を抑えつつスルーレートを満たすためには、
 必要な時に大電流を流すAB級出力段が必須

4. 面積を犠牲にして性能を向上する

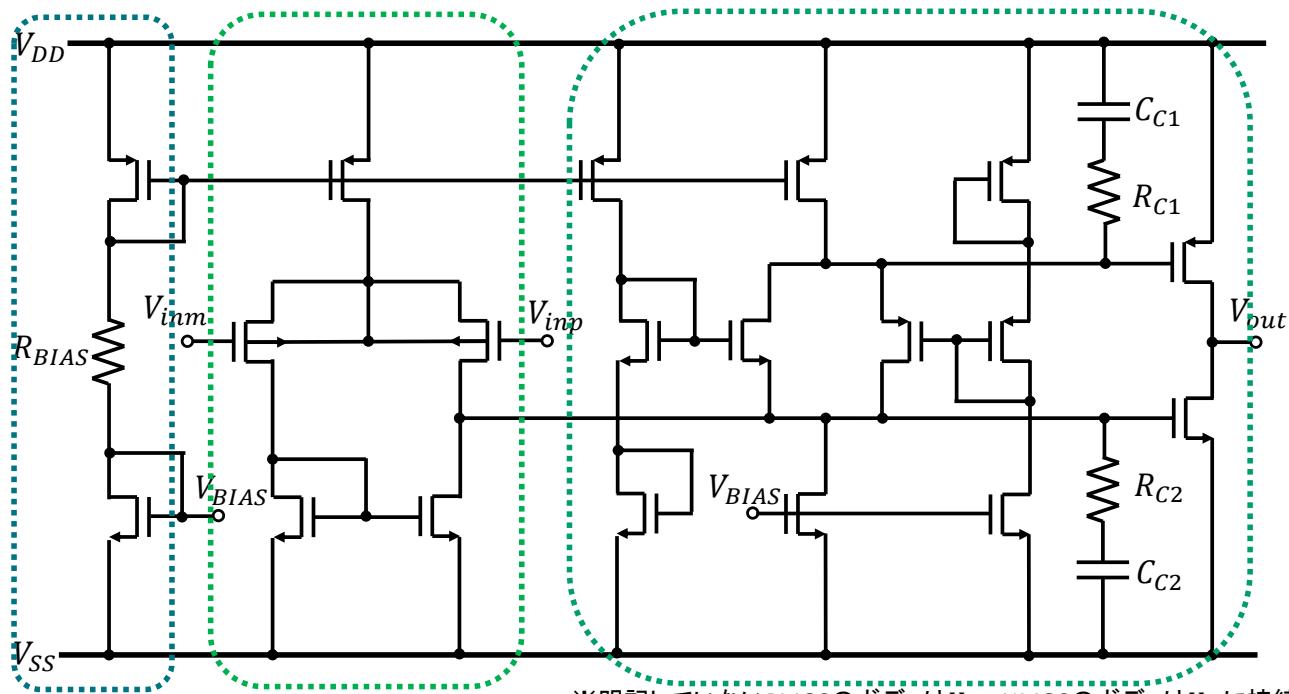
例年、面積については困った方がいない
 →面積を犠牲にして性能を向上できるところは積極的に行う

回路構成

バイアス回路

差動増幅回路

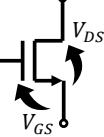
AB級出力回路



MOSサイズの決定

オーバードライブ電圧 ($V_{GS} - V_T$)

MOSトランジスタの飽和条件(NMOS)

$$V_{DS} > V_{GS} - V_T$$


オーバードライブ電圧を高く設定すると、使用できる電圧範囲が狭まってしまう

$V_{GS} - V_T = 0.1 \text{ [V]}$ として設計

ドレイン電流 I_D

$$\frac{W}{L} = \frac{2I_D}{\mu_N C_{OX}(0.1)^2}$$

$$\therefore \mu_N C_{OX} \approx 8.65 \times 10^{-5} \text{ [A/V}^2]$$

I_D を絞り過ぎると、デザインルールを満たした設計が出来なくなる

$I_D = 0.5 \text{ [\mu A]}$ として設計

- MOSトランジスタのアスペクト比

<NMOS>

$$\frac{W}{L} = \frac{2 \cdot 0.5 \times 10^{-6}}{8.65 \times 10^{-5} \cdot 0.1^2} \approx 1.15$$

シミュレーションより、

NMOS: L=2.6 μm W=1.6 μm M=2

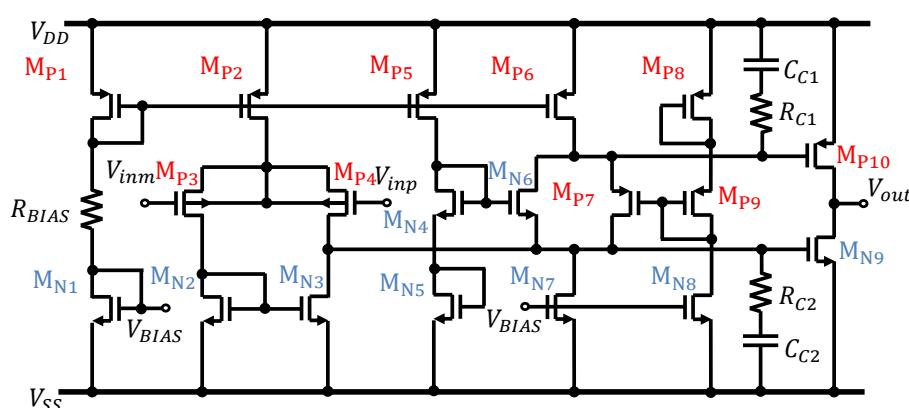
PMOS: L=2.6 μm W=3.6 μm M=2

<PMOS>

PMOSの移動度はNMOSの移動に比べ約1/3より、

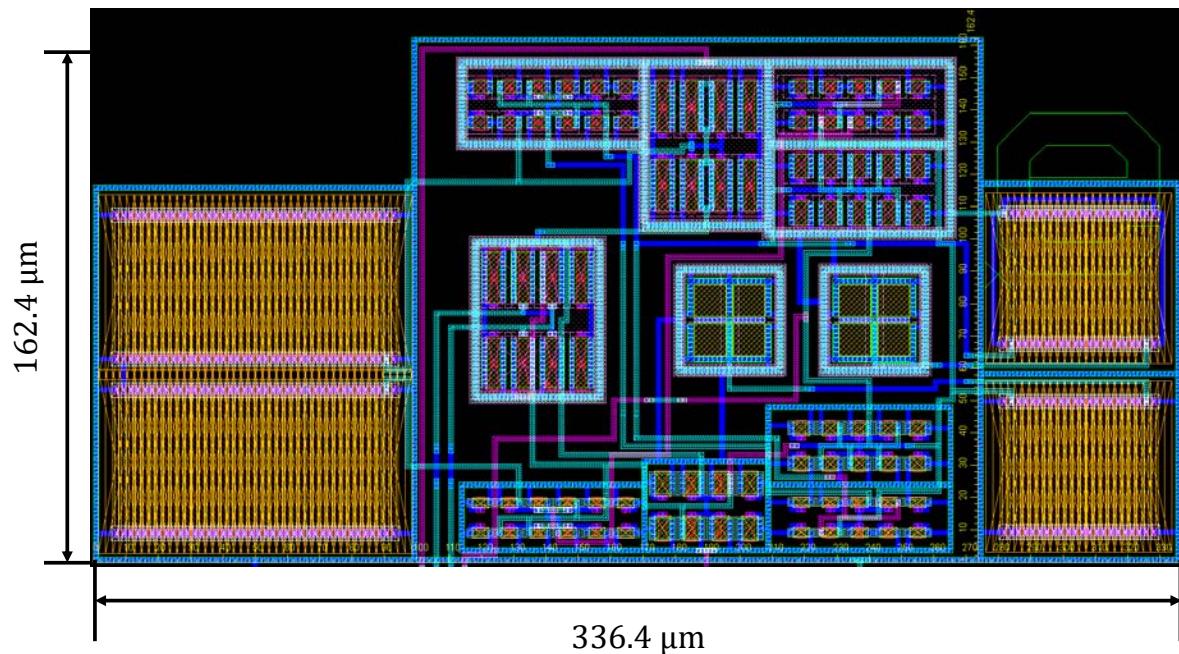
$$\frac{W}{L} \approx 3.45$$

回路の素子値



MOS番号	M	W [μm]	L [μm]	MOS番号	M	W [μm]	L [μm]	素子名	素子値
$M_{P1}, M_{P5}, M_{P7} \sim M_{P9}$	2	3.6	2.6	$M_{N1}, M_{N4} \sim M_{N6}, M_{N8}$	2	1.6	2.6	R_{BIAS}	7.6 MΩ
M_{P2}	4	15.6	2.6	M_{N2}, M_{N3}	4	6.2	2.6	R_{C1}	1.8 MΩ
M_{P3}, M_{P4}	2	15.6	2.6	M_{N7}	4	1.6	2.6	R_{C2}	1.8 MΩ
M_{P6}	4	3.6	2.6	M_{N9}	6	3.2	2.6	C_{C1}	1 pF
M_{P10}	6	7.2	2.6					C_{C2}	1 pF

マスクレイアウト

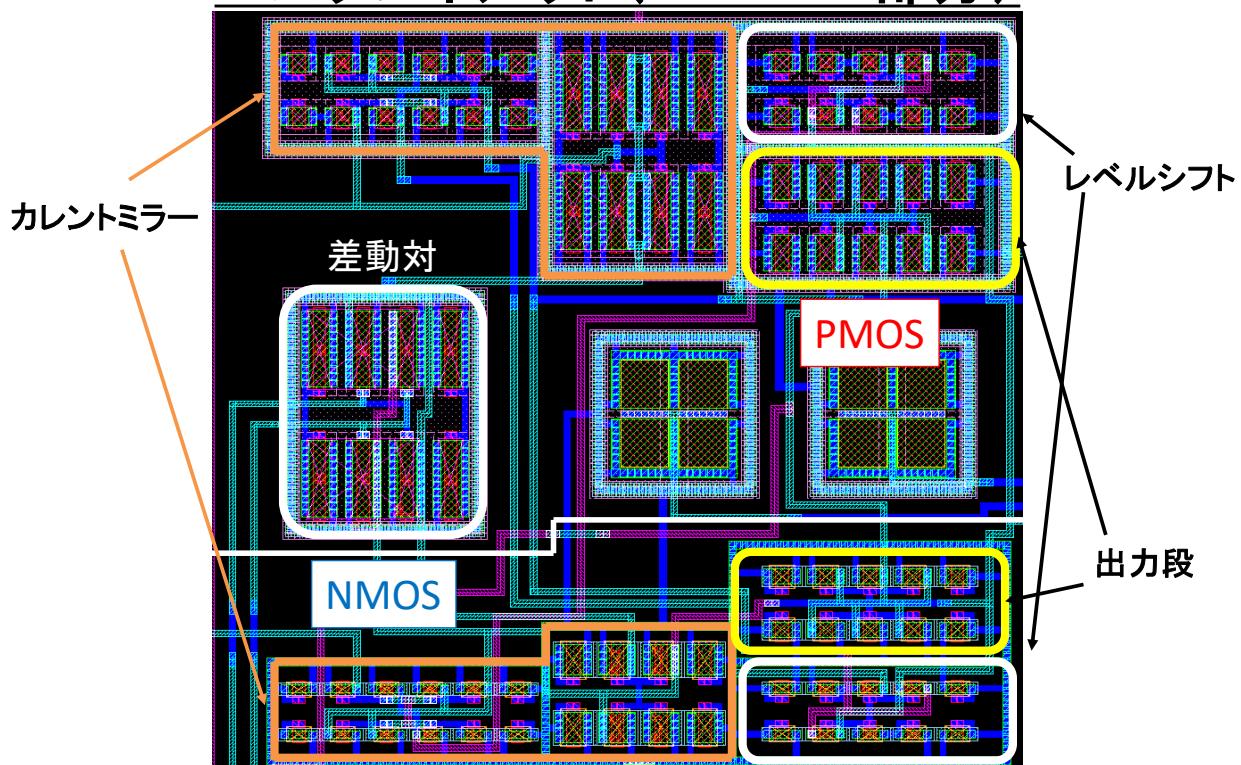


$$162.4 \mu\text{m} \times 336.4 \mu\text{m} = 0.05463 \text{ mm}^2$$

Slide No. 9

Center for Integration Technology, CITE, Hardware Gr., Tanno Lab.

マスクレイアウト(MOSFET部分)



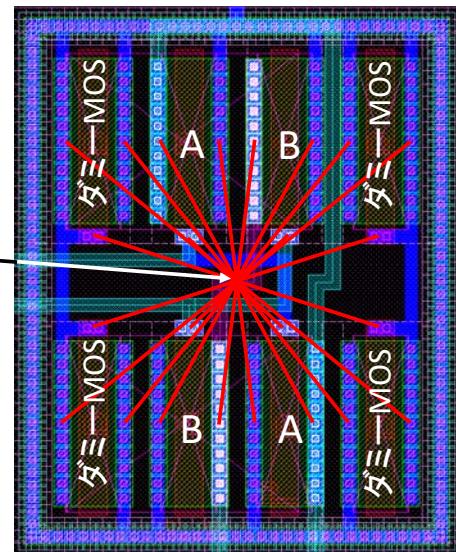
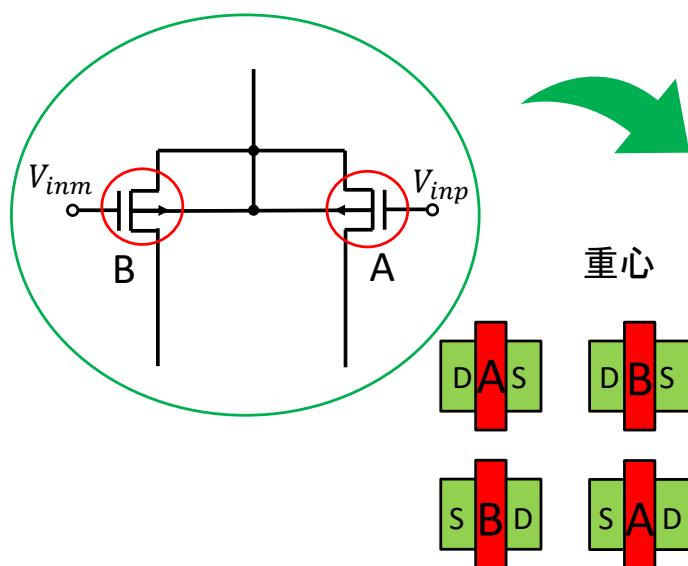
Slide No. 10

Center for Integration Technology, CITE, Hardware Gr., Tanno Lab.

注意した点①

コモンセントロイドを意識した配置

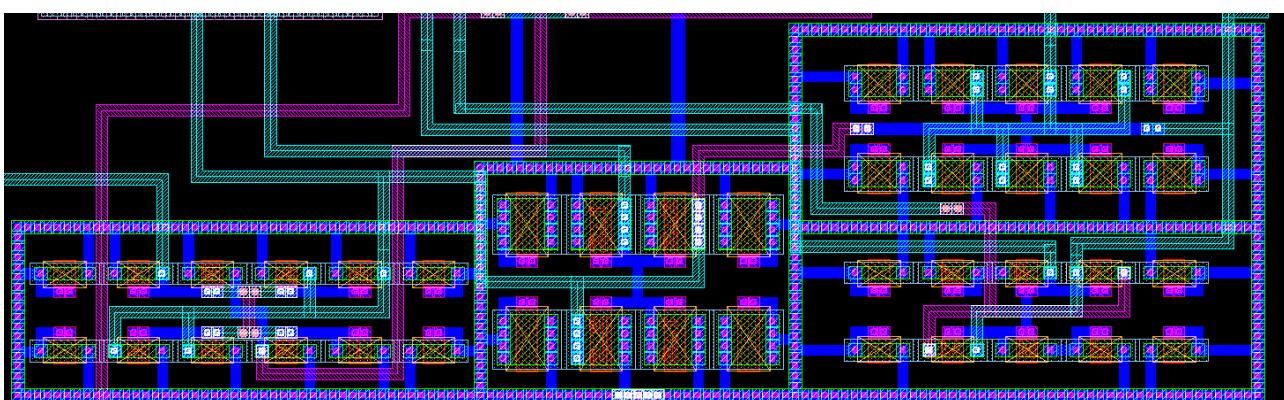
例: 差動対



注意した点②

近接配置

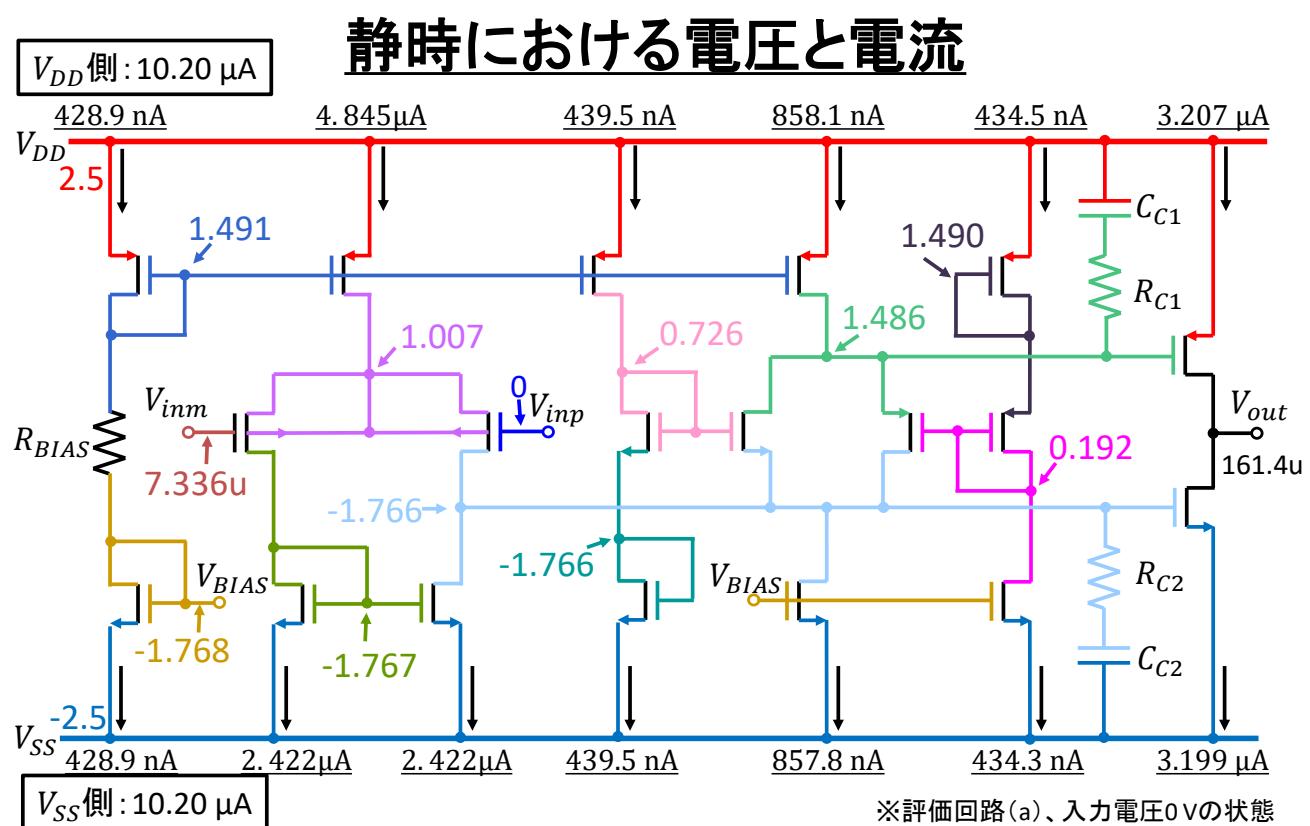
MOSトランジスタの状態(温度や基板電圧など)に差を生じにくくするため



シミュレーション

Slide No. 13

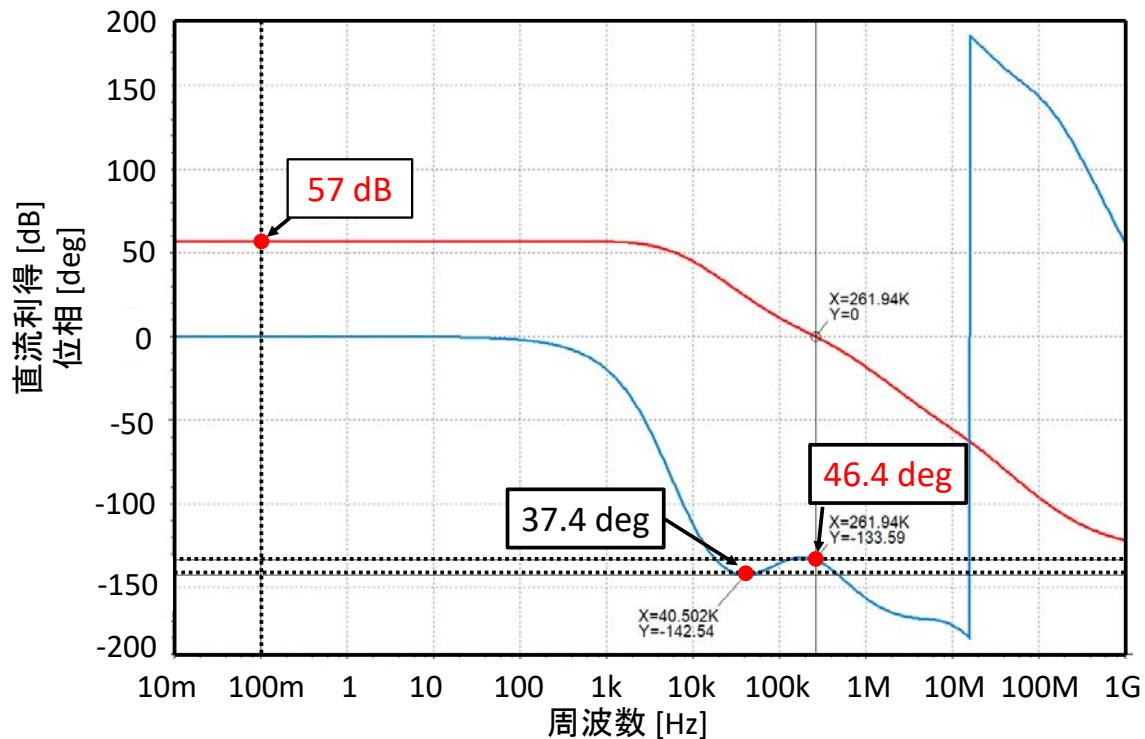
Center for Integration Technology, CITE, Hardware Gr., Tanno Lab.



Slide No. 14

Center for Integration Technology, CITE, Hardware Gr., Tanno Lab.

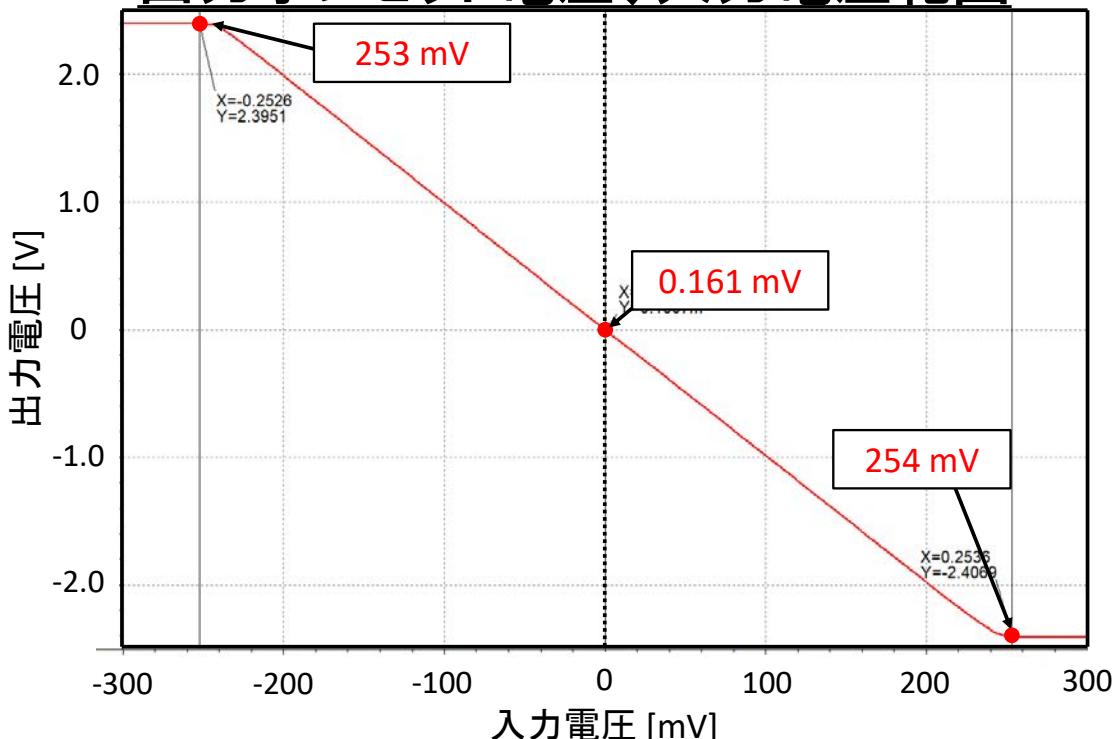
直流利得・位相余裕



Slide No. 15

Center for Integration Technology, CITE, Hardware Gr., Tanno Lab.

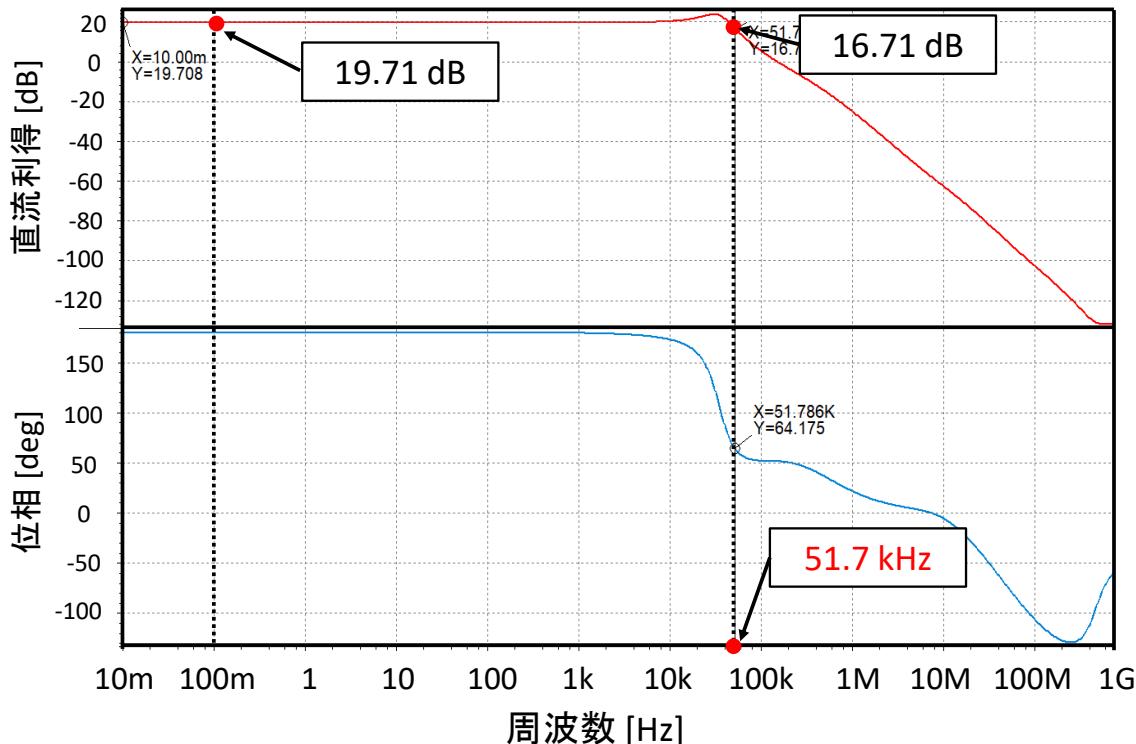
出力オフセット電圧、入力電圧範囲



Slide No. 16

Center for Integration Technology, CITE, Hardware Gr., Tanno Lab.

帯域幅

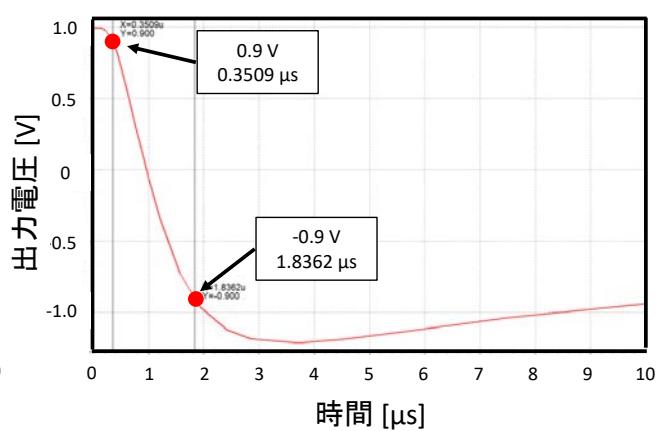
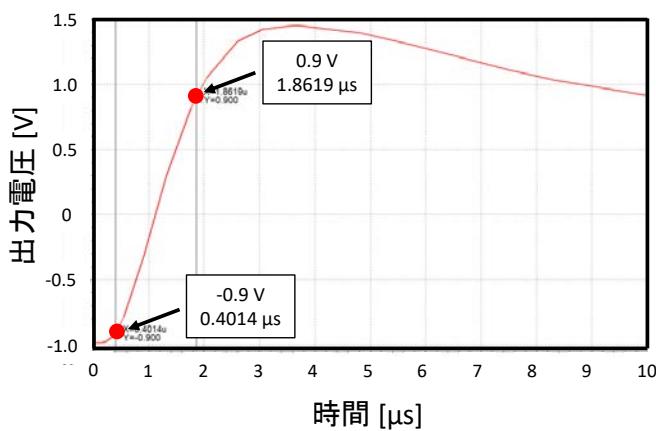


Slide No. 17

Center for Integration Technology, CITE, Hardware Gr., Tanno Lab.

スルーレート

- 立ち上がり SR_r
- 立ち下がり SR_f



$$SR_r = \frac{1.8}{1.8619\mu s - 0.4014\mu s} = 1.23 [V/\mu s]$$

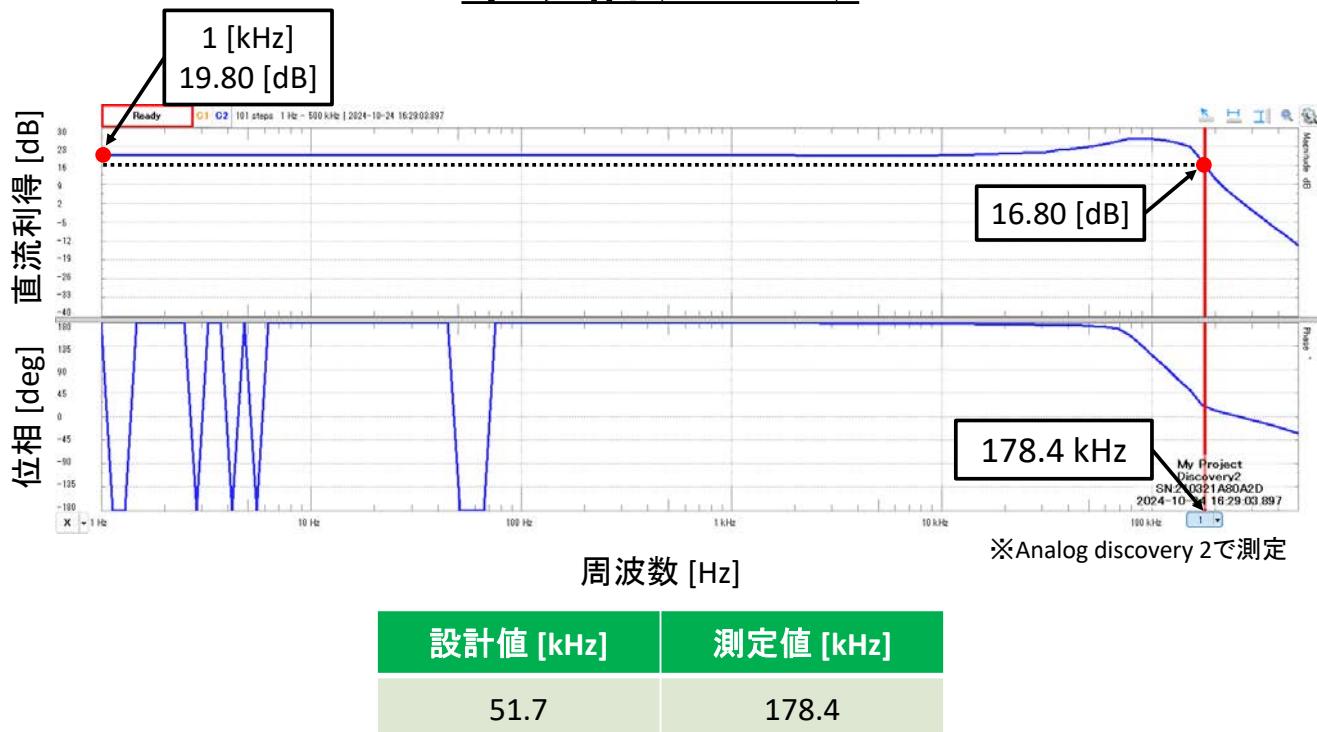
$$SR_f = \frac{1.8}{1.8362\mu s - 0.3509\mu s} = 1.21 [V/\mu s]$$

シミュレーション結果まとめ

項目	要件	Sim.結果
直流利得	40 dB 以上	57 dB
位相余裕	45 度 以上	46.4(37.4) 度
帯域幅	20 kHz 以上	51.7 kHz
出力オフセット電圧	±100 mV 以下	0.161 mV
入力電圧範囲	±100 mV 以上	±253 mV
スルーレート	±1 V/μs 以上	±1.21 V/μs
消費電流	-	10.2 μA

実測結果

帯域幅(CHIP5)

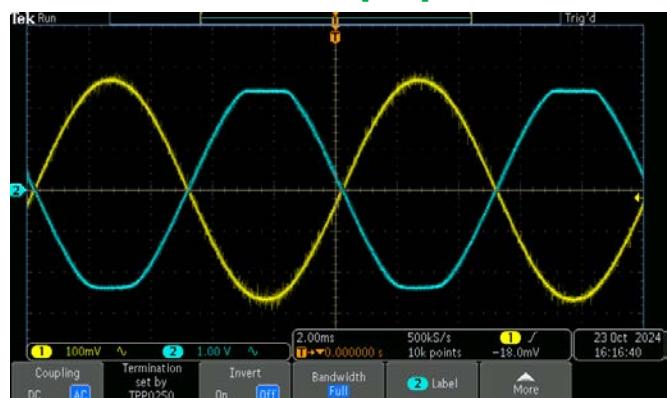
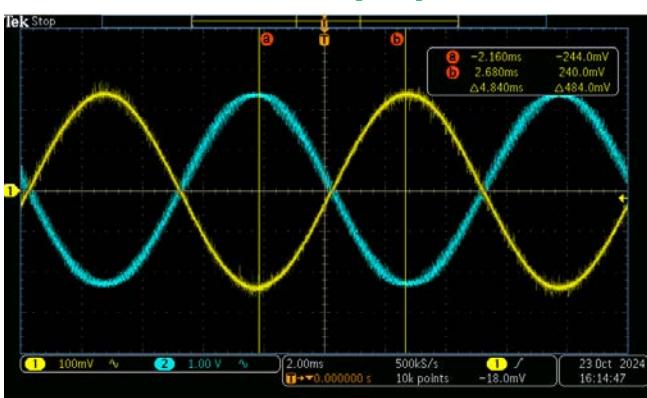


Slide No. 21

Center for Integration Technology, CITE, Hardware Gr., Tanno Lab.

入力電圧範囲(CHIP5)

- 入力電圧振幅 240 [mV]のとき
- 入力電圧振幅 250 [mV]のとき



設計値 [mV]	測定値 [mV]
253	240

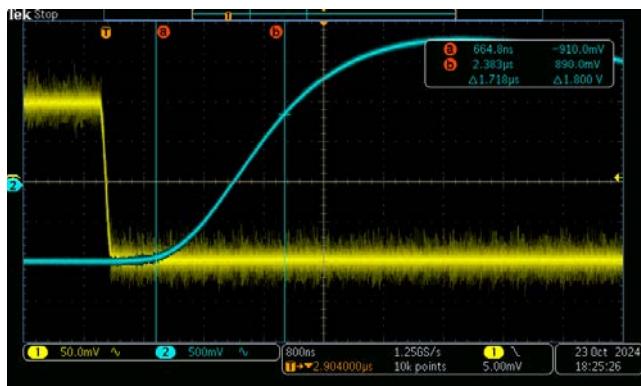
■ 入力信号
■ 出力信号

Slide No. 22

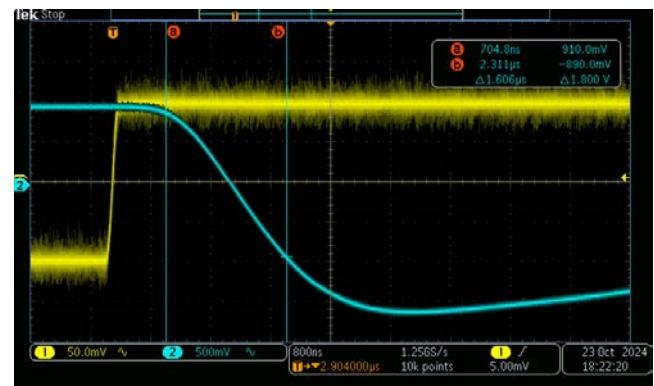
Center for Integration Technology, CITE, Hardware Gr., Tanno Lab.

スルーレート(CHIP5)

- 立ち上がり SR_r



- 立ち下がり SR_f



設計値 [$\text{V}/\mu\text{s}$]		測定値 [$\text{V}/\mu\text{s}$]	
SR_r	SR_f	SR_r	SR_f
1.23	1.21	1.12	1.04

■ 入力信号
■ 出力信号

Sim.結果と実測結果まとめ

特性	設計値	測定値						
		CHIP1	CHIP2	CHIP3	CHIP4	CHIP5	CHIP6	平均
消費電流 [μA]	10.21	19.12	18.87	24.44	21.74	16.70	21.62	20.42
帯域幅 [kHz]	49.44	184.5	186.1	183.0	184.5	178.4	189.3	184.3
出力OS電圧 [mV]	0.161	-132.6	-75.7	-242.7	94.4	-16.7	-182.9	-92.7
入力電圧範囲 [mV]	253	230	230	210	225	240	210	224
スルーレート [$\text{V}/\mu\text{s}$]	1.21	1.04	1.13	1.10	1.10	1.04	1.09	1.09

- V_{DD} 側と V_{SS} 側の消費電流とオフセット電圧にバラつきがあった
→AB級出力段のレベルシフト部のバラつきが影響している?
- 帯域幅が設計値に比べ、大きく広がった
- 入力電圧範囲はオフセット電圧の影響で狭まってしまっている

最後に

• 感想

- 実測では消費電流が1.5から2倍程度増加してしまい、悔しい
- バラつきに強い、ロバストな設計を行うことの大切さを学んだ

• 今後に向けて

- バラつきに強い設計方法やレイアウト法を学びたい
- なぜその値にしたのかを説明できる設計を目指したい
- 受賞された方の発表やプロの設計者のお話を伺い、自分の設計技術の向上に努めたい

謝辞

貴重な機会を与えてくださった本コンテスト運営の方々並びに
協賛企業の方々に厚く御礼申し上げます



2024年度opampコンテスト試作の部

Phenitec社 0.6 μm CMOSを用いた演算増幅器

日程：2025年1月23日（木）
場所：東京科学大学（旧東京工業大学）

明治大学 波動信号処理回路研究室
修士1年 森 光平

試作の部 2位



- 設計した演算増幅器
 - 回路構成と素子値, レイアウト
- レイアウトの工夫点
- 評価回路, 測定系
- 実測結果およびシミュレーション結果
 - 過渡解析 (sin波, ステップ応答)
 - 周波数解析
- まとめ, 謝辞
- 参考文献

設計した演算増幅器

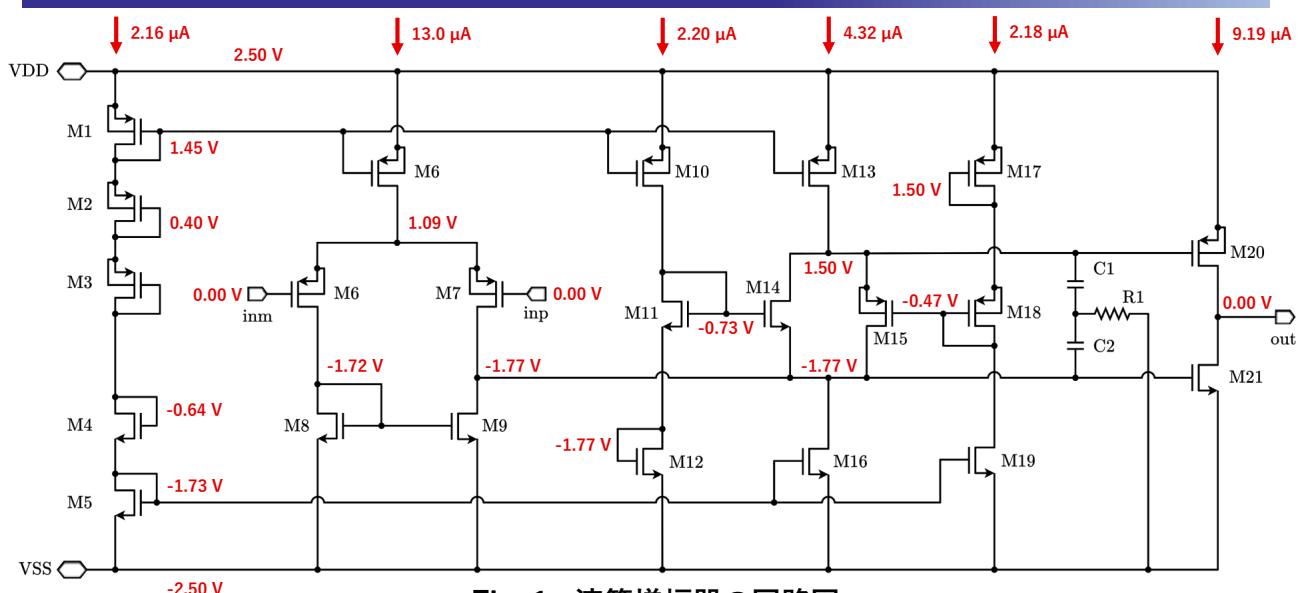


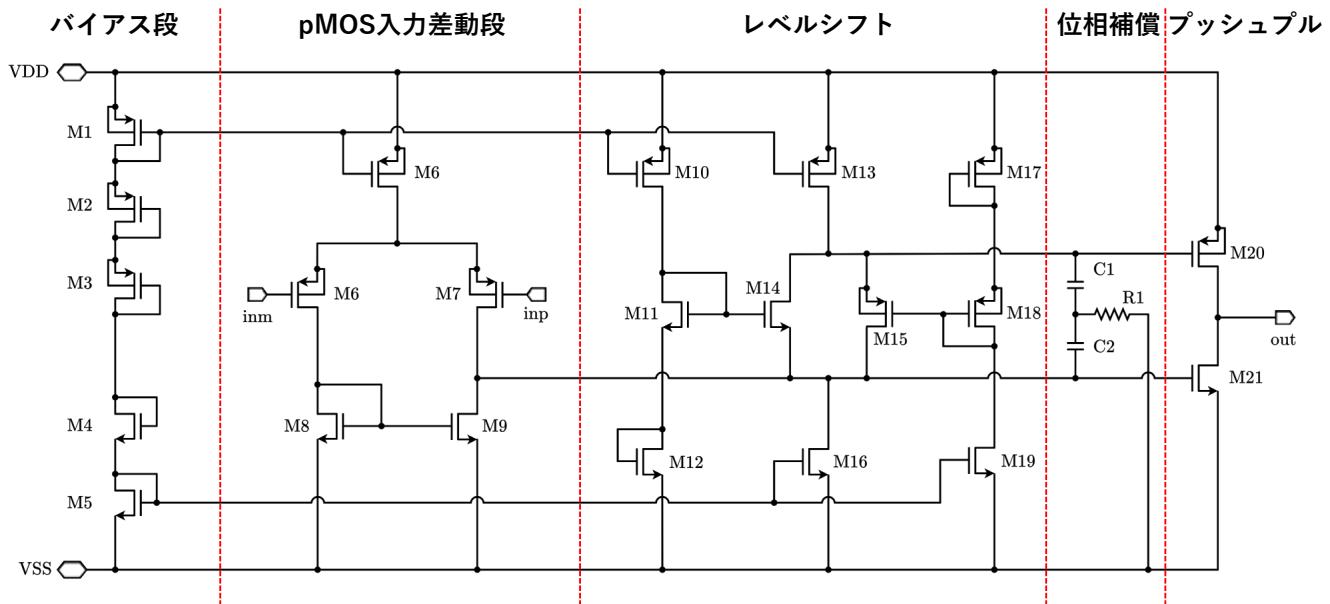
Fig. 1. 演算増幅器の回路図

	M1, M2, M3	M4, M5	M6	M7, M8	M8, M9	M10	M13
チャネル長 L	3.6 μm	3.6 μm	3.6 μm	3.6 μm	2.4 μm	3.6 μm	3.6 μm
チャネル幅 W	11.6 μm	4.8 μm	11.6 μm	11.6 μm	4.8 μm	11.6 μm	11.6 μm
並列数 m	2	2	12	4	4	2	4
	M11, M14	M15, M18	M16	M19	M20	M21	
チャネル長 L	2.4 μm	3.6 μm	2.4 μm	2.4 μm	1.8 μm	1.8 μm	
チャネル幅 W	4.8 μm	11.6 μm	4.8 μm	4.8 μm	4.8 μm	11.6 μm	
並列数 m	2	2	4	2	8	8	

R1	300 kΩ
C1	6.4 pF
C2	6.4 pF

nMOSのパルクは
全てVSSに接続

設計した演算増幅器



- 消費電流とスルーレートを考慮して基本的なAB級回路を採用
- 良くない設計だが、消費電力を減らすためにギリギリ飽和領域のバイアス設計
- 位相補償は左半平面に零点を追加する方法を採用

演算増幅器のレイアウト

工夫点

1. コモンセントロイド
2. ダミーPoly-Si
3. 二重のガードリング
4. 電源強化用ブロック, メッシュ構造

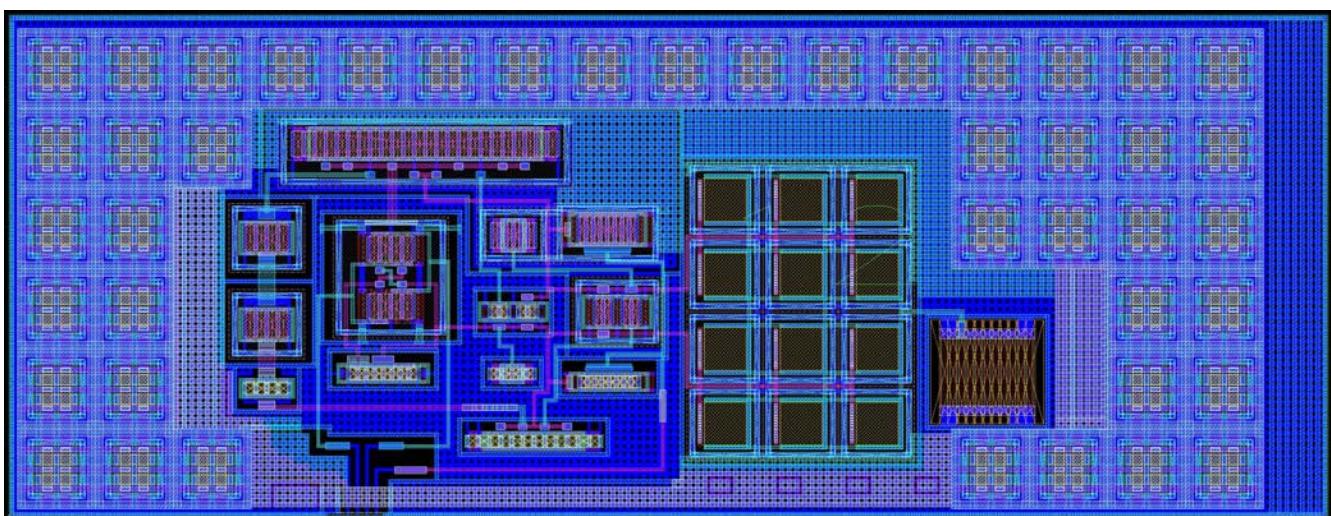


Fig. 2. 演算増幅器のレイアウト

Table. 演算増幅器の性能

項目	要件値	sim結果	実測結果
直流利得	40 dB以上	63.8 dB	—
帯域幅	20 kHz以上	35.7 kHz	発振のため測定不可
オフセット電圧	—	-57 μ V	11.7 mV
入力電圧範囲	\pm 100 mV	\pm 240 mV	\pm 240 mV
スルーレート	立ち上がり	+1.0 V/ μ s	1.48 V/ μ s
	立ち下がり	-1.0 V/ μ s	-1.98 V/ μ s
消費電流	V_{DD} 側	—	33 μ A
	V_{SS} 側	—	33.1 μ A
			34 μ A

消費電流はほぼ一致 \Rightarrow レイアウトの工夫によるものだと予想

差動対のレイアウト

□ ばらつきを考慮したレイアウト

コモンセントロイド

ダミーPoly-Si

□ 二重のガードリング

n^+ ガードリングの外側に p^+ ガードリングを配置

\Rightarrow N-wellが綺麗に形成され、差動対の

MOSFETのバルク電位が揃いやすい？

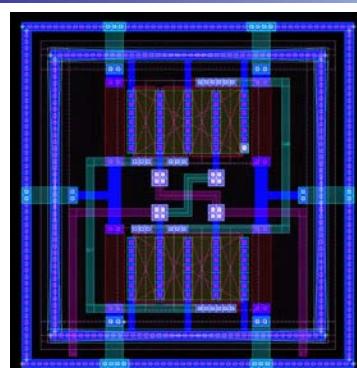


Fig. 3. 差動対のレイアウト

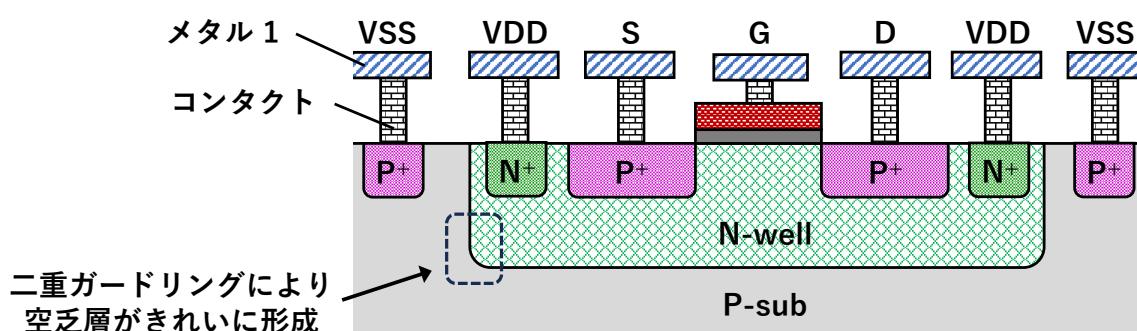


Fig. 4. 差動対レイアウトの断面イメージ

- MOSCAPを利用
- 目的は電源、GND、p基板の電位を安定化させること
- DRCエラー(ワイドメタル判定)を回避するレイアウト

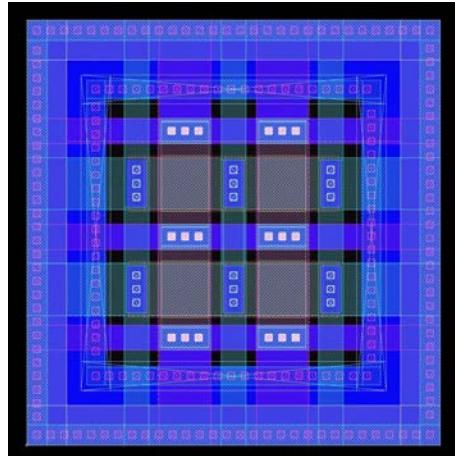


Fig. 5. 電源強化用ブロックのレイアウト

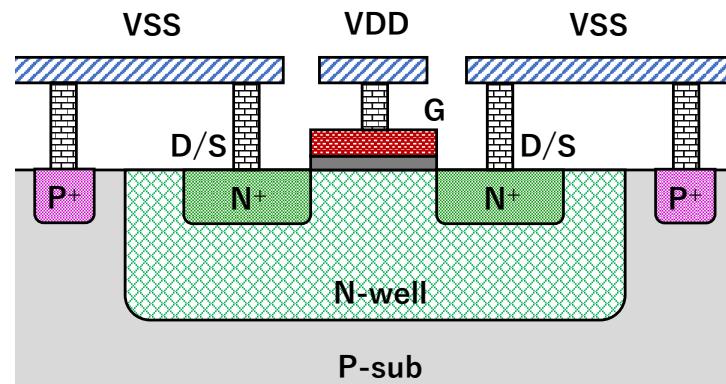


Fig. 6. 断面のイメージ

電源強化用ブロックの動作

- N-wellのキャリアが電源の安定化に貢献
 - ⇒ ゲートに正の電圧印加すると電子が集まるので容量として働く
- pn接合がオンしないためにp基板の電位の固定も必須

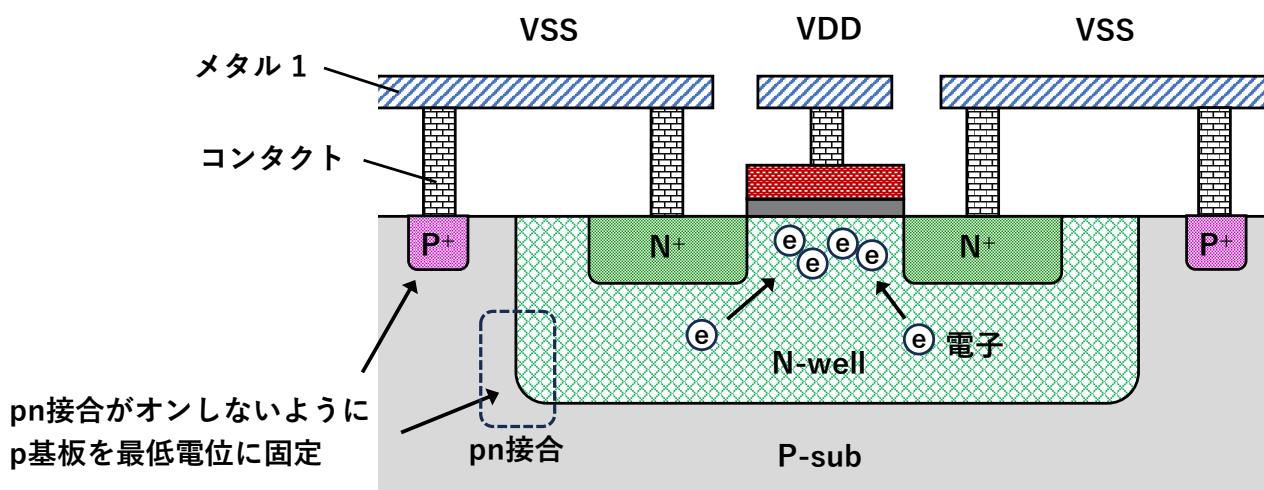


Fig. 7. 電源強化用ブロックの動作原理

- DRCエラーを回避するようなレイアウトが必須
- Fig. 8のように格子状にメタルを配置

メリット

- ・基板-メタル間に容量が生じるため電源が安定
- ・場合によってはバイパスコンデンサが不要
- ・セルにしたもの規則的に配置するのでレイアウトが楽

デメリット

- ・信号線に寄生容量が発生

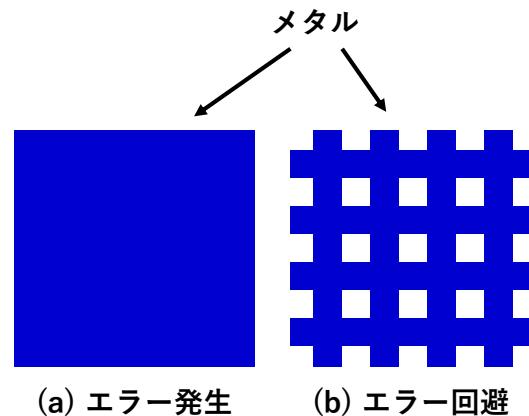


Fig. 8. メタルのメッシュ構造

評価回路・測定系

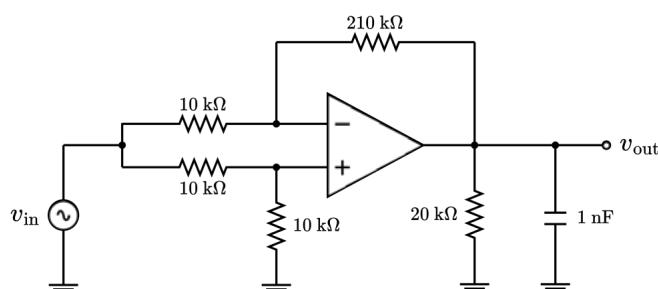


Fig. 9. 回路A
利得-10倍の回路

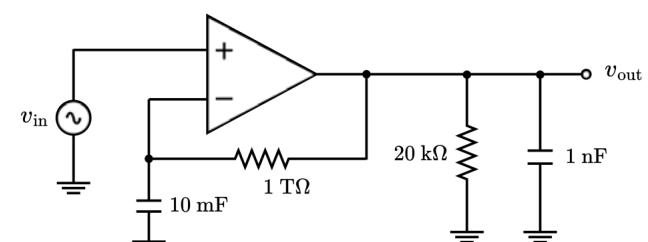


Fig. 10. 回路B
オープン利得, 位相余裕算出用

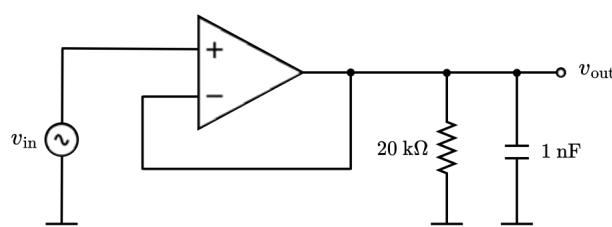


Fig. 11. 回路C
ボルテージフォロワ

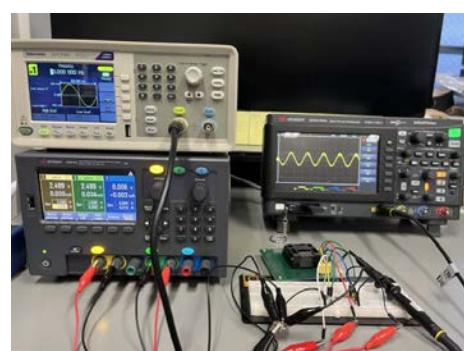


Fig. 12. 測定の様子

過渡特性の実測結果①

- 100 mV振幅の正弦波で動作確認
- 1 kHzの場合、発振気味だが所望の動作が得られた。
- 25 kHzの場合、歪みが大きい。
⇒ 差動対のテール電流が少なく、回路内部への電流供給能力が不足したと考察。

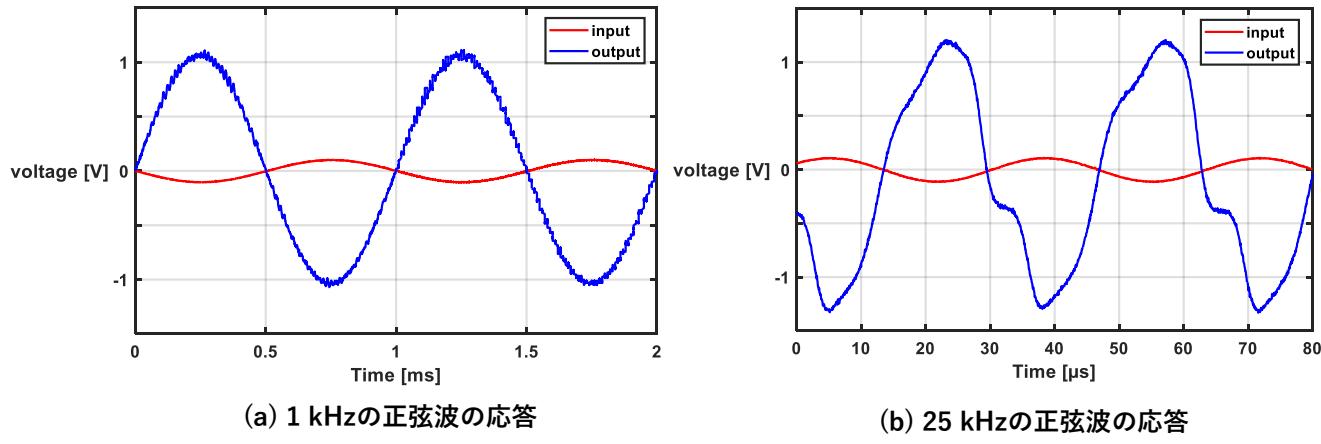


Fig. 13. 試作した演算増幅器の過渡特性 (回路A)

過渡特性の実測結果②

- ステップ応答で動作確認
- リンギングはあるが、収束はしたためギリギリ発振は避けられた。
- 整定時間(5%基準)は100 μsオーダー。立ち下がりの方がスルーレートが小さい。

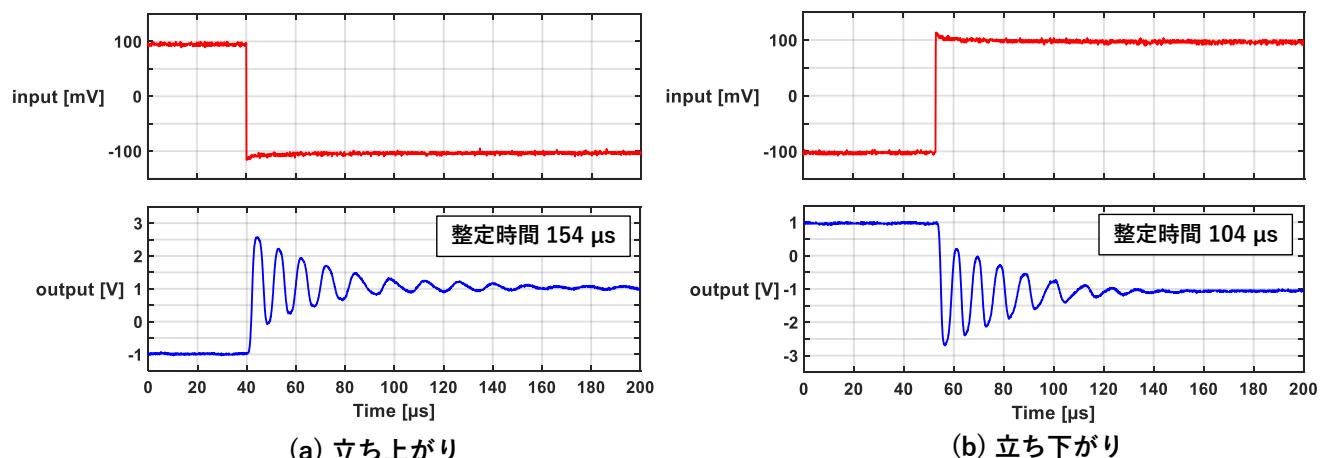


Fig. 14. ステップ応答の実測結果 (回路A)

⇒ 立ち上がり $+1.73 \text{ V/}\mu\text{s}$

⇒ 立ち下がり $-1.42 \text{ V/}\mu\text{s}$

- 発振しやすいボルテージフォロワで動作確認
 - ⇒ 帰還率 $\beta = 1$ なので発振しやすい
- 与えられた評価回路だけではなく厳しい条件で見るべきだった。

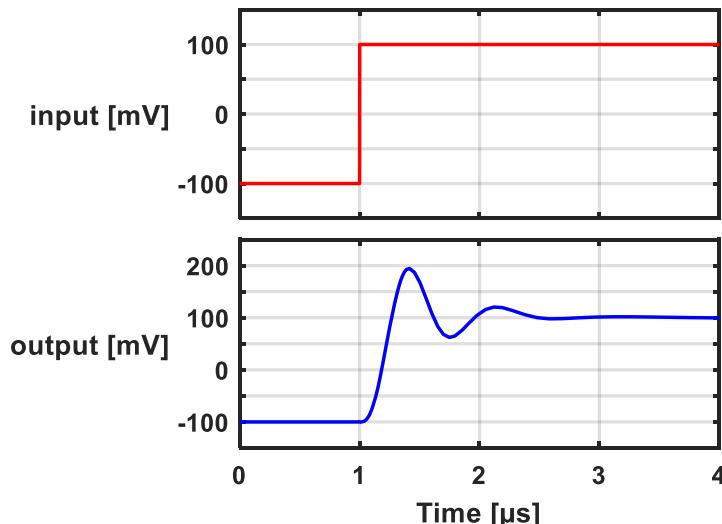


Fig. 15. ボルテージフォロワのステップ応答 (sim結果)

発振した原因：極配置

- 主要極2つが近いため、発振しやすい。
- 位相補償は零点追加のみではなくミラー効果でセカンドポールを遠ざけるべきだった。

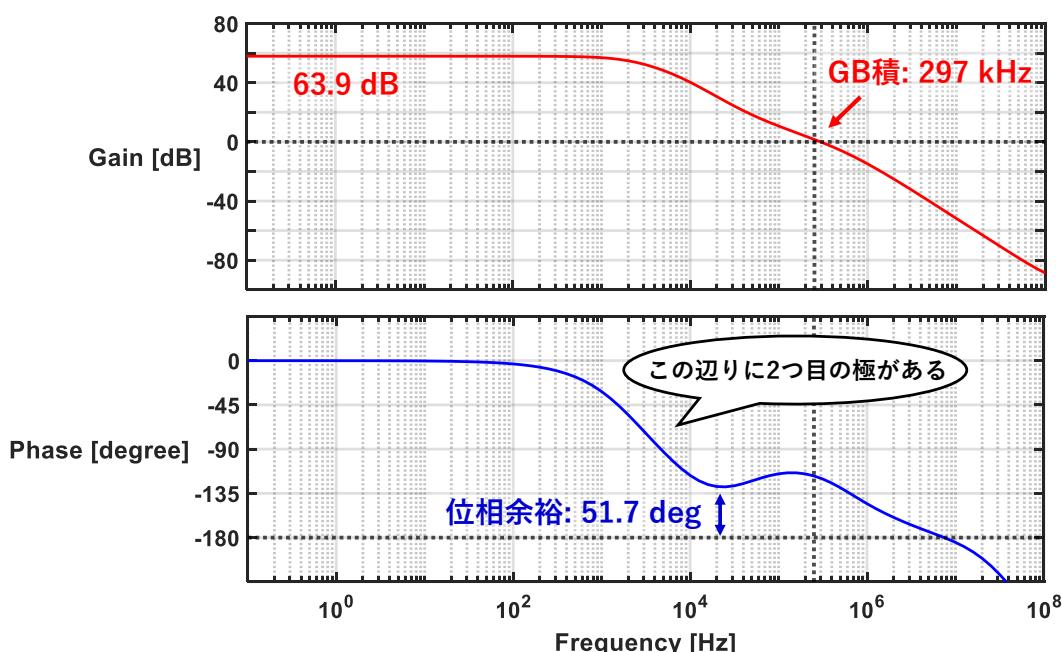


Fig. 16. シミュレーションによるボード線図 (回路B)

- スルーレート対策から、バイアス設計は余裕をもって飽和領域にすべきだった。
- リンギング対策として設計の段階で、厳しい条件(帰還率 $\beta = 1$)であるボルテージフォロワで確認すべきだった。
- 発振の原因追及を行ったことで極や零点に関する知識が深まった。
- レイアウトに力を入れたため、デバイス構造の理解も深まった。

謝辞

演算増幅器コンテスト協賛企業の皆様、運営委員会の皆様
大変貴重な機会を設けていただき誠にありがとうございました。
深く感謝申し上げます。

参考文献

- [1] Behzad Razabi (監訳：黒田忠広), 「アナログCMOS集積回路の設計 応用編」, 丸善出版, 2003
- [2] 吉澤浩和, 「CMOS OPアンプ回路 実務設計の基礎」, CQ出版社, 2017
- [3] N. H. E. Weste, D.M. Harris, 監訳：宇佐美公良, 池田誠, 小林和淑, 「CMOS VLSI 回路設計 基礎編」, 丸善出版, 2014
- [4] Tony Chan Carusone, David A. Johns, and Kenneth W. Martin, "ANALOG INTEGRATED CIRCUIT DESIGN SECOND EDITION", John Wiley & Sons, Chapter 6, 2011

2024年度演算増幅器設計コンテスト

部門1:3位 部門3:1位
部門4:2位 試作の部:1位

東京都市大学 大学院 総合理工学研究科 情報専攻
集積化システム研究室
修士1年 森下航



目次

- 部門3
 - └ 設計方針
 - └ 回路構成
 - └ 回路の工夫点
 - └ 評価結果
- 部門4
 - └ 設計方針
 - └ 回路構成
 - └ 回路の工夫点
 - └ 評価結果
- 試作の部
 - └ 設計方針
 - └ 回路構成
 - └ レイアウト
 - └ 測定結果
- 余談
 - └ 外部位相補償
 - └ 評価回路のノイズゲイン
- 感想



部門3



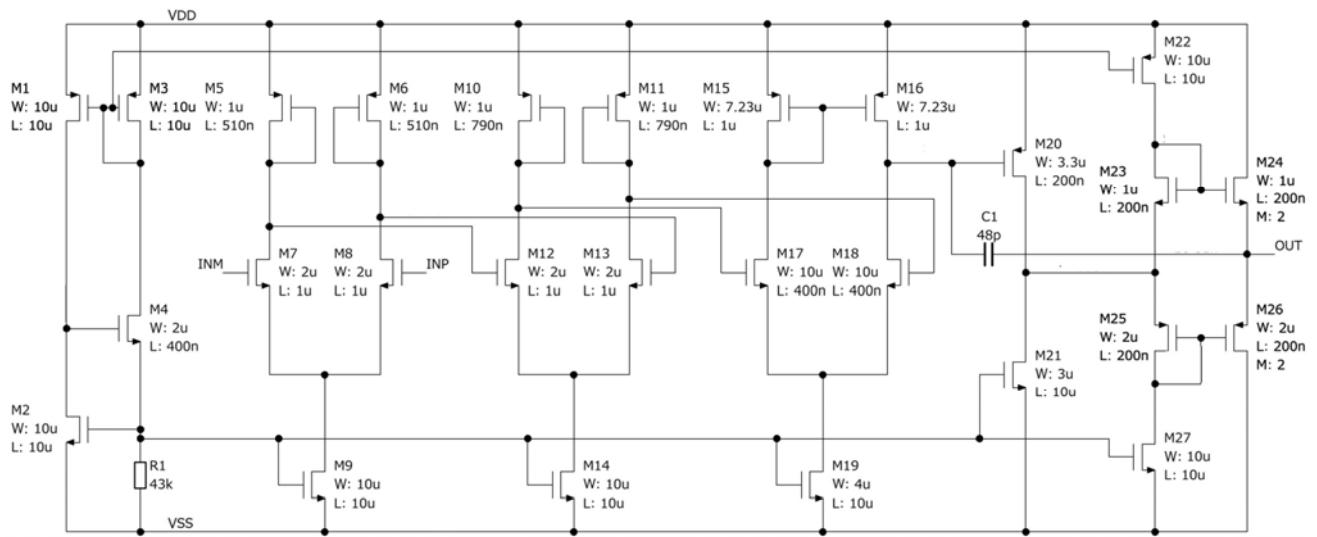
部門3 設計方針

$$\frac{\text{電源電圧変動除去比 [倍]} \times \text{同相除去比 [倍]}}{\text{直流利得 [倍]} \times \text{電源電圧 [V]}}$$

- PSRR、CMRR、利得はdBではなくリニア値で評価
⇒ これらの値は高くする価値がある。特にCMRRは上げやすいパラメータ
- 今年も直流利得が2乗ではない
⇒ 直流利得は大きい方が良い。ただし出力抵抗が大きいと不利
- 電源電圧は極端に下げることができないため、高くても問題ない



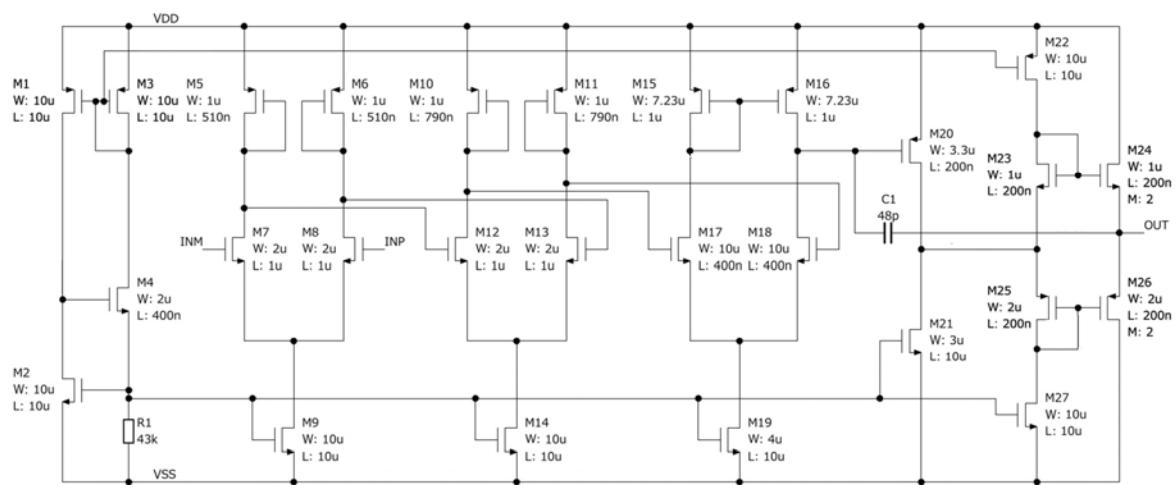
部門3 回路構成



- 電源電圧 3V

5

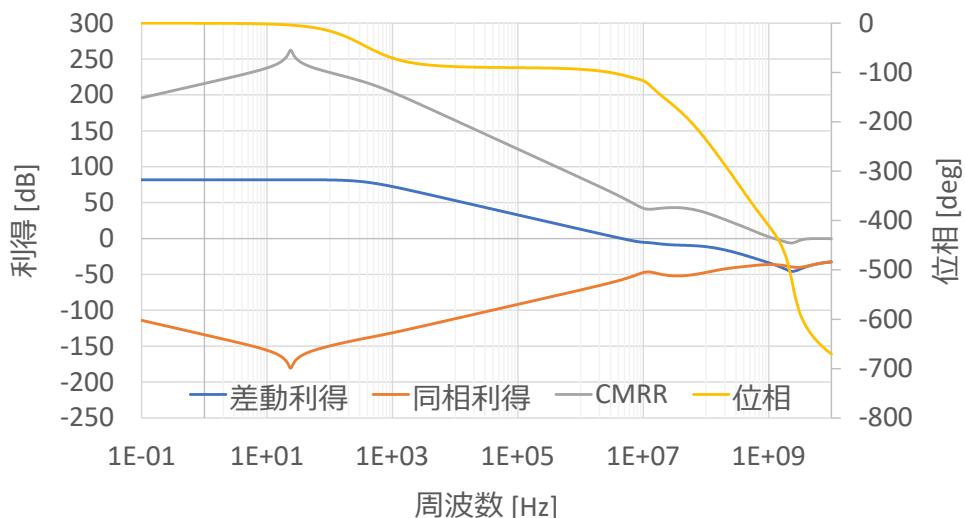
部門3 回路の工夫点



目標	工夫点
低出力抵抗	プッシュプル出力段
低Acm	直列の差動増幅回路
各段のAcmのピークを近づける	細かい刻みのトランジスタサイズ

6

部門3 同相利得のピーキング



- CMRRは最大値が得点になる
⇒ 各段の同相利得のピークを25Hz付近に集め、高いCMRRを実現



部門3 評価結果

評価項目	結果(去年)	結果(今年)
電源電圧変動除去比	91.38 dB	84.52dB
同相除去比	256.3 dB	262.5dB
直流利得	91.16 dB	82.35dB
電源電圧	3.0 V	3.0V

スコア(去年) : 2.232e+12
スコア(今年) : 5.673e+12

- トランジスタサイズの最小刻み幅を活用し特性を合わせこんだ
⇒ 高CMRRを達成
- 段数が多い割にCMRRの向上が少ない
⇒ CMFBをかけた方が良い?



部門4

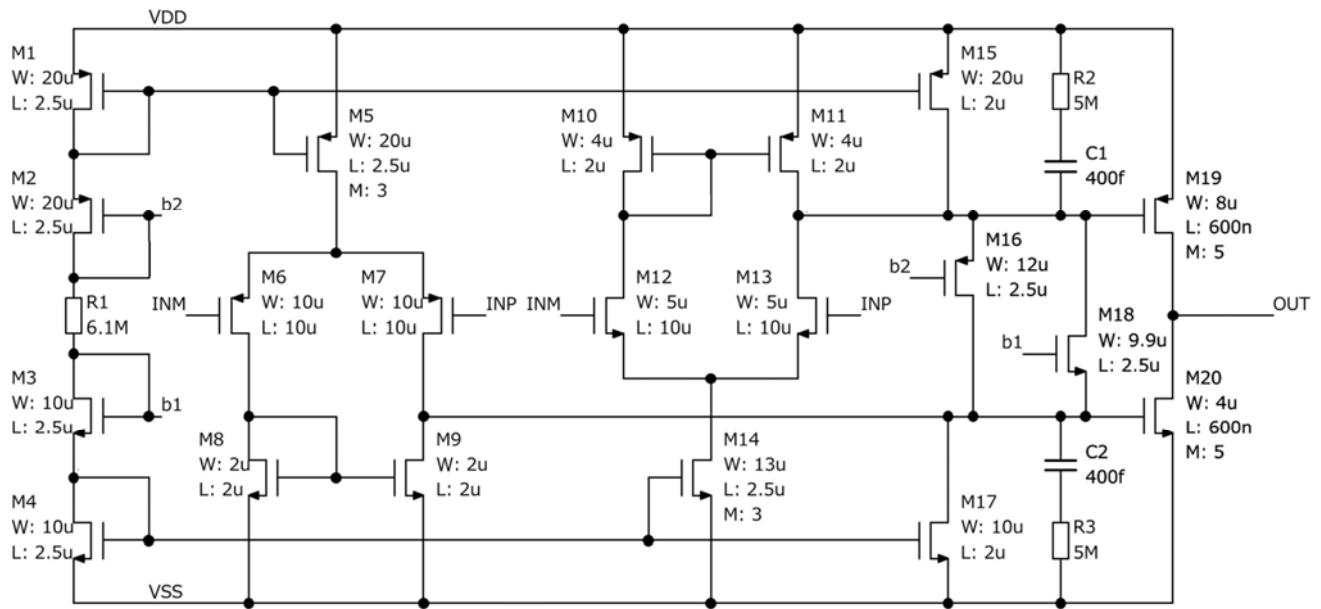


部門4 設計方針

- 入出力レールツーレール
- AB級出力段で低消費電力
- 要件ギリギリの特性を攻めて低消費電力
- 試作の部の設計からマージンを削る

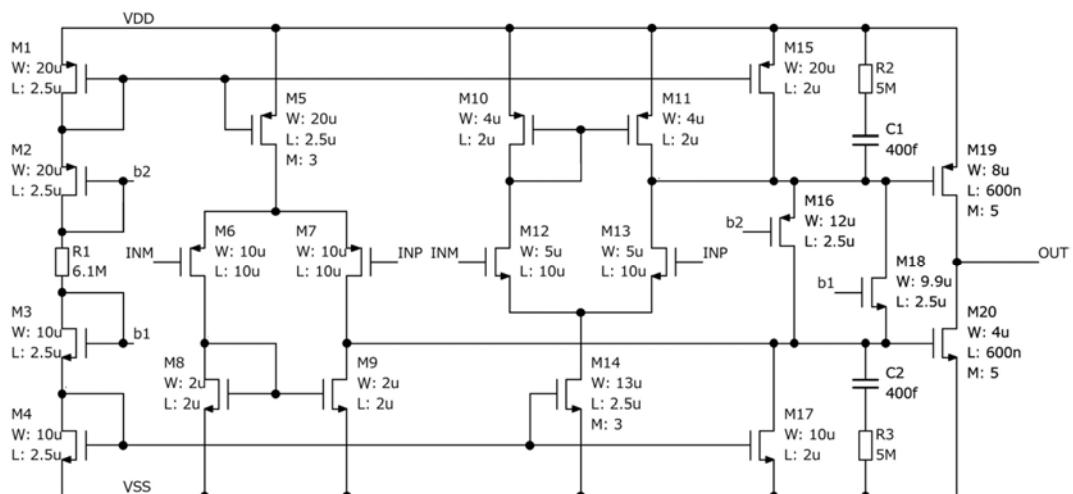


部門4 回路構成



11

部門4 回路の工夫点



目標	工夫点
低消費電力	電流パスの数を最低限に
最低要件ギリギリの性能	SRをそろえやすい入出力RtoR構成

12

部門4 評価結果

評価項目	結果
消費電流(正側)	3.442uA
消費電流(負側)	3.382uA
消費電力	34.12uW

表内は手元のシミュレーション結果

スコア : 5.399e10+4

- 試作の部の設計からさらにマージンを削った
→ おそらく試作しても性能を出せないので

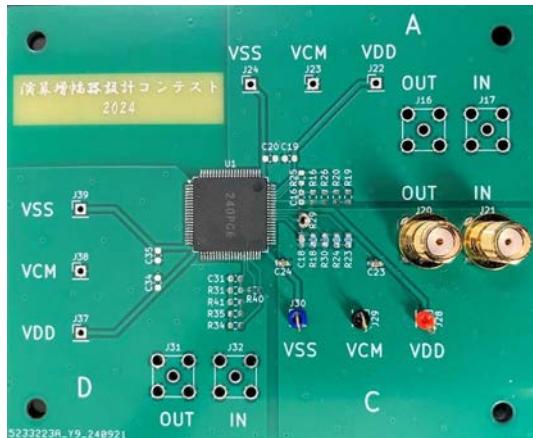


試作の部

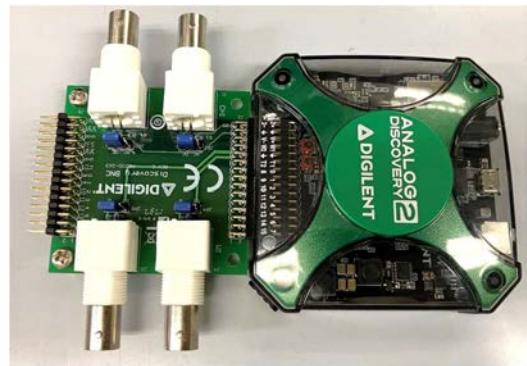


試作の部 設計方針

- ・入出力レールツーレール
- ・AB級出力段で低消費電力
- ・要件ギリギリの特性を攻めて低消費電力
- ・シミュレーションと実測の差を小さくしたい



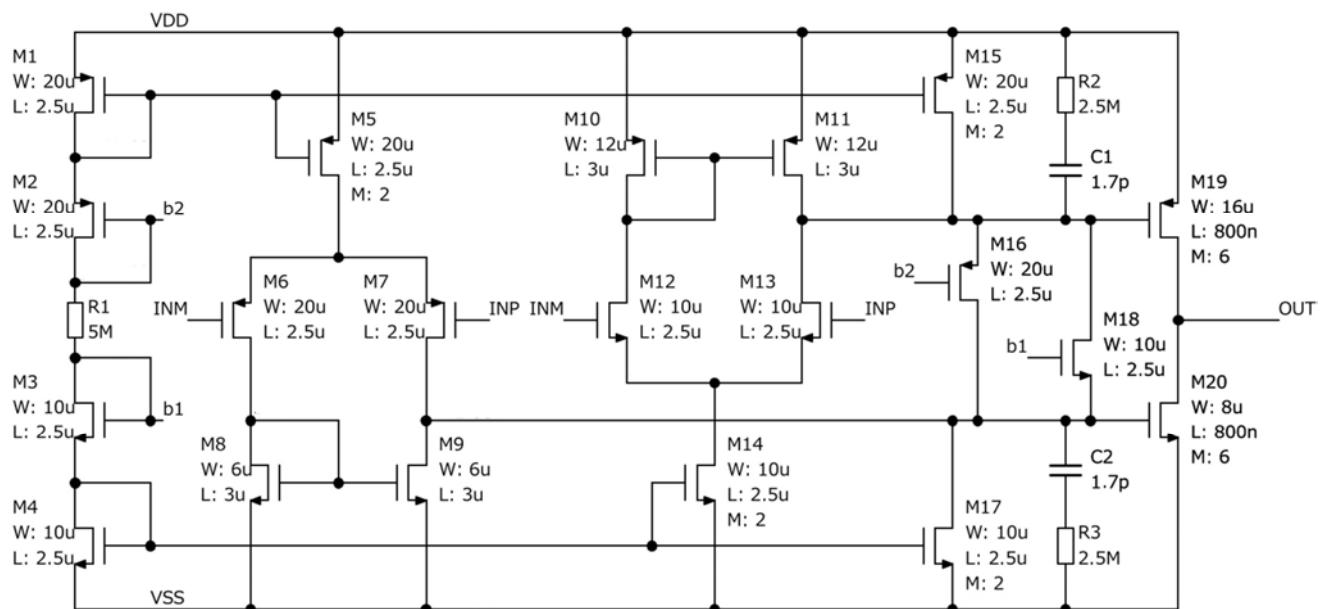
試作の部 評価基板



Analog Discovery 2

15

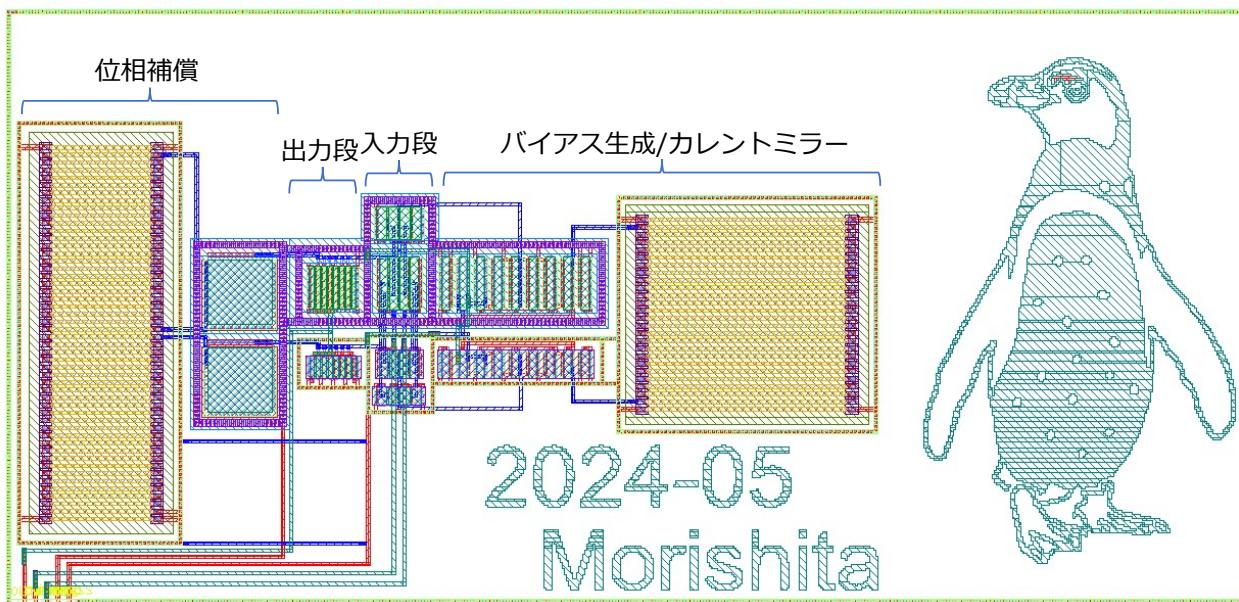
試作の部 回路構成



- ・レイアウト時にマッチングを取りやすい設計(去年比)

16

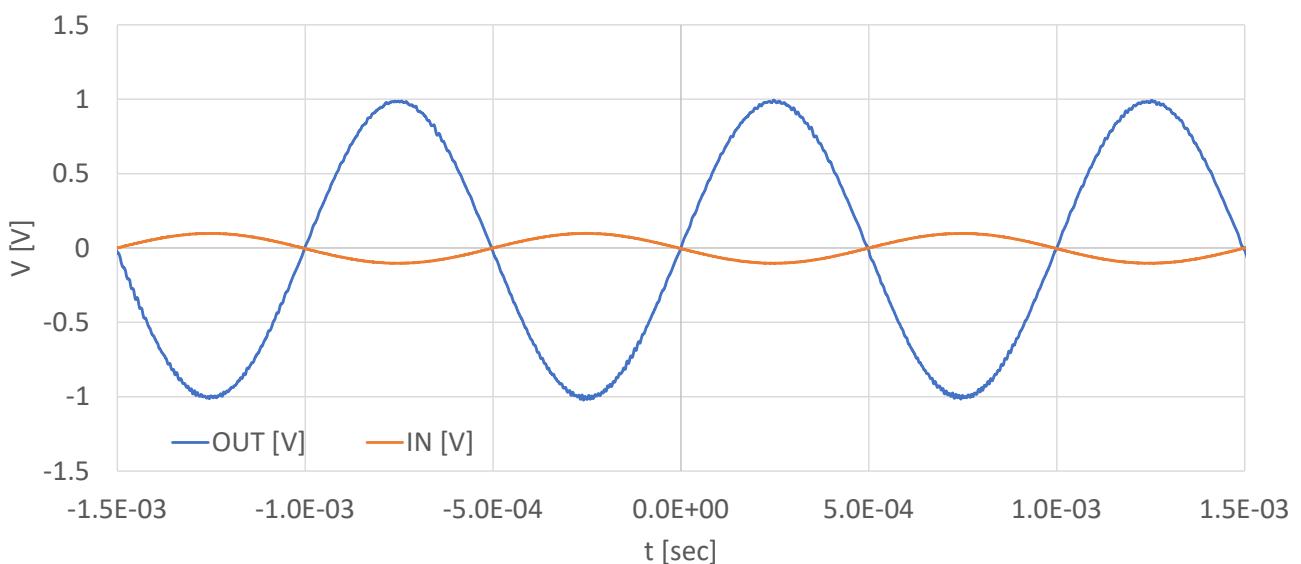
試作の部 レイアウト



- ・マッチングを意識したレイアウト
- ・すべてのトランジスタと抵抗にダミーを配置

17

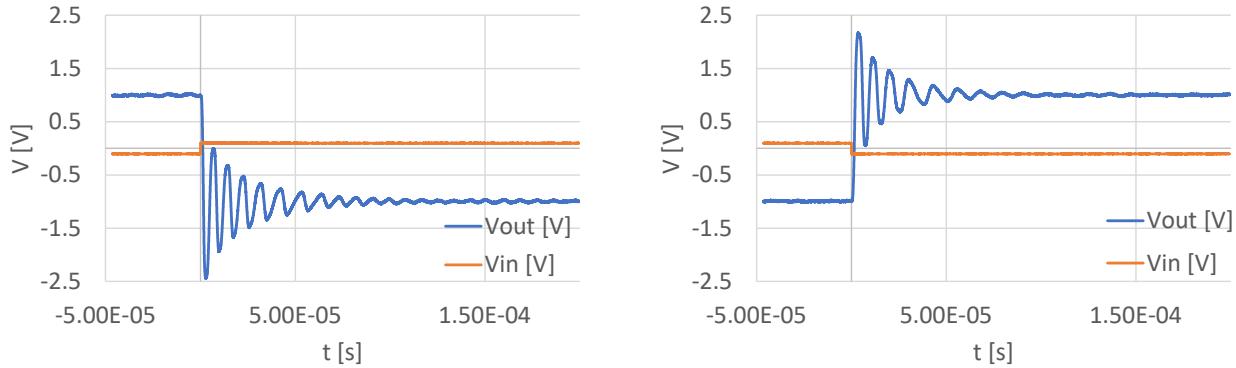
試作の部 測定結果 (正弦波)



- ・クロスオーバー歪みはごく小さい

18

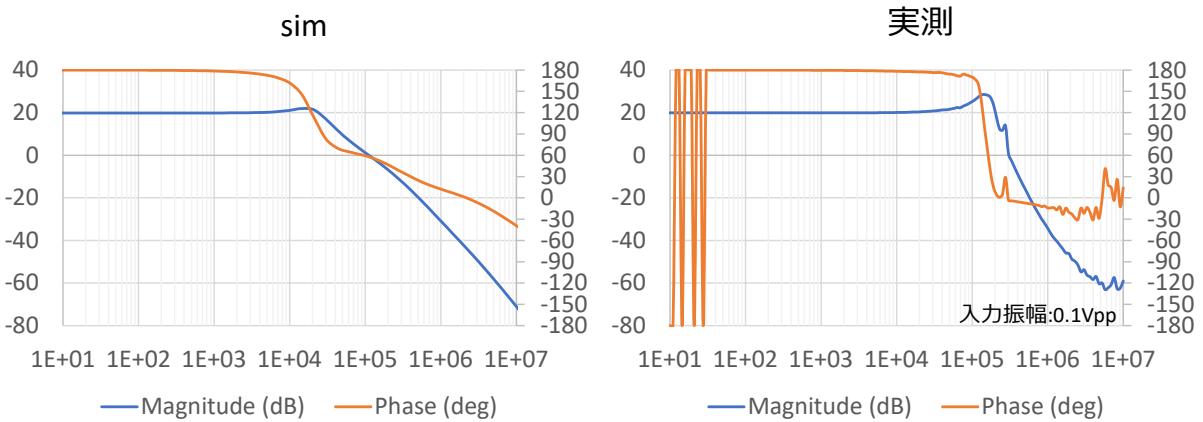
試作の部 測定結果 (スルーレート)



- スルーレート : $-2.1\text{V/us} / +1.5\text{V/us}$
- 大きなリングングが発生

19

試作の部 測定結果 (周波数特性)



- 帯域幅 (-3dB) sim : 30.5kHz 実測 : 212kHz
- 帯域が拡張し、位相余裕がほとんど無くなった
- 250kHz付近に盛り上がりがある
- 位相補償や負荷の容量を変えてもsimでは再現できず

20

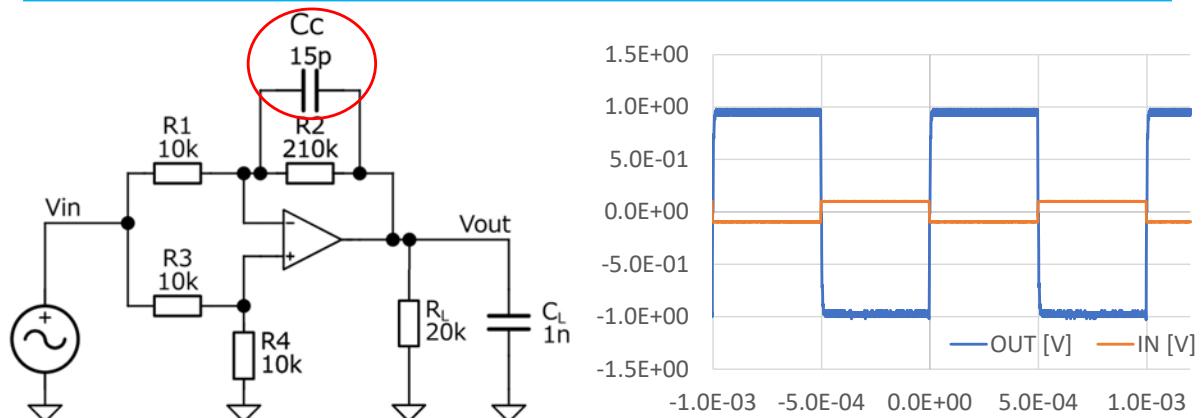
試作の部 測定結果まとめ

評価項目	要件値	sim結果	実測
スルーレート	$\pm 1 \text{ V/us}$	-1.45 V/us / +1.18 V/us	-2.1 V/us / +1.53 V/us
帯域幅	20 kHz	30.5 kHz	212 kHz
入力電圧範囲	$\pm 100 \text{ mV}$	$\pm 230 \text{ mV}$	$\pm 236 \text{ mV}$
出力オフセット	-	-85.4 uV	1.5 mV
消費電流	-	5.68 uA	5.85 uA

- DC的にはsim結果に近い。AC的な性能は離れた。
⇒ 電流のずれは小さい&SRは増大 ⇒ 容量がsimより小さくなつた？
- MOSキャパシタを正しく使う方法を知りたい(sim方法、レイアウトなど)
- 出力オフセットは1.5mVと非常に小さい(入力オフセット換算68uV！)。
⇒ 各種ばらつき対策が活きた？

21

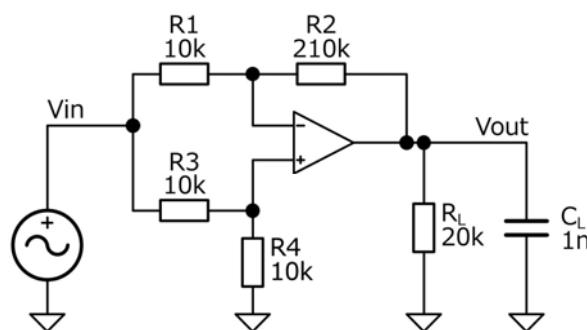
外部位相補償



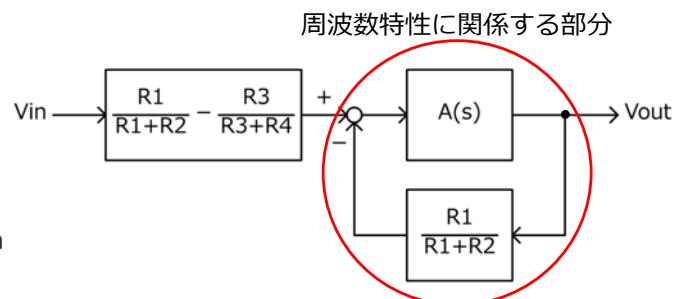
- R2に並列容量Ccを追加
⇒ $f_p = \frac{1}{2\pi R_2 C_p} = 50.5 \text{ kHz}$ にポールを形成
- 位相余裕が改善しオーバーシュートの無い応答になった

22

評価回路のノイズゲイン



評価回路

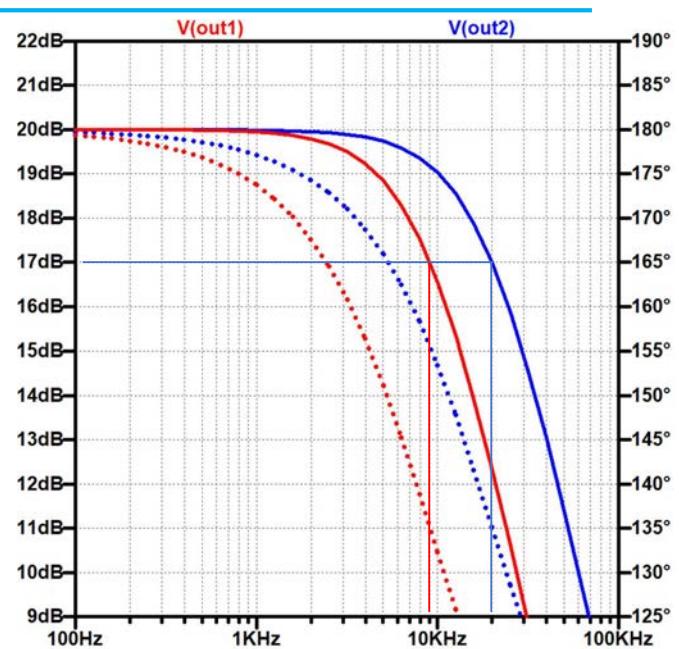
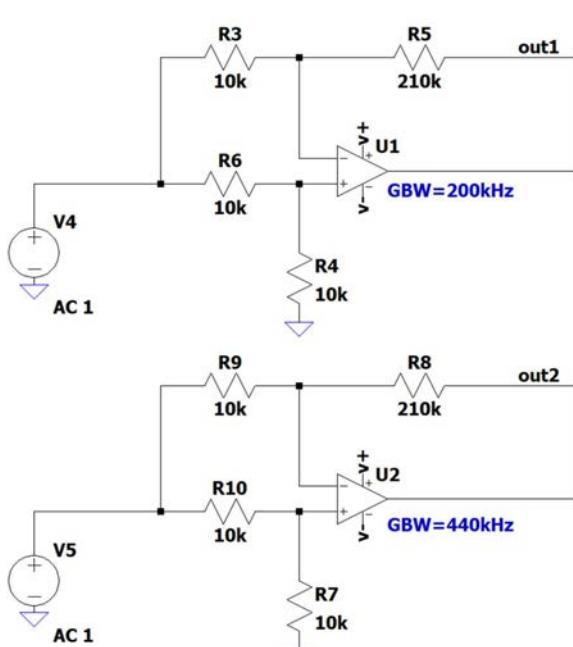


評価回路のブロック線図

- この回路のゲインは -10 倍で、帯域幅は 20kHz 以上である必要がある。
⇒ 最低限必要な $\text{GBW} = 10 \times 20\text{kHz} = 200\text{kHz}$ ← 間違い
- -10 倍なのはシグナルゲイン。ノイズゲイン(帰還率 β の逆数)は 22 倍ある。
よって、最低限必要な $\text{GBW} = 22 \times 20\text{kHz} = 440\text{kHz}$ が正しい。
- $\text{GBW} = 200\text{kHz}$ のつもりで設計すると帯域が足りなくなる。
要件ギリギリの設計をするときには注意が必要。

23

理想オペアンプによるシミュレーション



GBW=200kHz の時 : $f_c=9.1\text{kHz}$

GBW=440kHz の時 : $f_c=20\text{kHz}$

24

感想

- ・市販されているオペアンプの凄さを実感した
- ・部門にたくさんエントリーすると大変
- ・研究室の後輩へノウハウを継承したい

おまけ

ノイズゲイン https://github.com/ice458/GBW-Noise_gain

回路図作成 https://github.com/ice458/KiCad_Drafting_Symbols

PNG to GDS に使用したツール <https://nazca-design.org/>

謝辞

- ・コンテストに参加させていただいたことで非常に多くの貴重な経験をすることができました。コンテスト関係者の皆様、および協賛企業の皆様に深く感謝を申し上げます。

