

中山大学数据科学与计算机学院本科生实验报告

(2017 学年秋季学期)

课程名称：数字电路与逻辑设计实验 任课教师：保延翔 助教：岳锐

年级&班级	2016 级（1）班	专业(方向)	软件工程
学号	16340041	姓名	陈亚楠
电话	15989010314	Email	chenyn0201@gmail.com
开始日期	2017. 11. 12	完成日期	2017. 11. 23

实验七 译码显示电路

一、实验目的

1. 掌握中规模集成译码器的逻辑功能和使用方法。
2. 熟悉数码管的使用。

二、实验仪器及器件

1. 数字电路实验箱、数字万用表、示波器。
2. 虚拟器件：74LS48，74LS194，74LS73，74LS00，74LS08，74LS86。

三、实验原理

详见实验内容。

四、实验内容

实验 1. 按右图测试 74LS194，给定 194 输出端 Q3、Q2、Q1、Q0 初始状态（例如 0110），使用“0-1”显示器检查输出是否符合真值表。

（1）实验原理：

74LS194 是一个 4 位双向移位寄存器，其中：D0～D3 为并行输入端；QA～QD 为并行输出端；DSR 为右

表（二）74LS194 功能表

\overline{Cr}	S_1	S_0	工作状态
0	X	X	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行送数

移送数端；DSL 为左移送数端；S1、S0 为操作模式控制端；CR 为直接无条件清零端；CP 为时钟脉冲输入端。

(2) 设计流程：

①在实验箱上进行线路连接，连接方式如下：

D0、D1、D2、D3 连接高低电平 0、1、1、0；

QA、QB、QC、QD 连接“0-1”显示器；

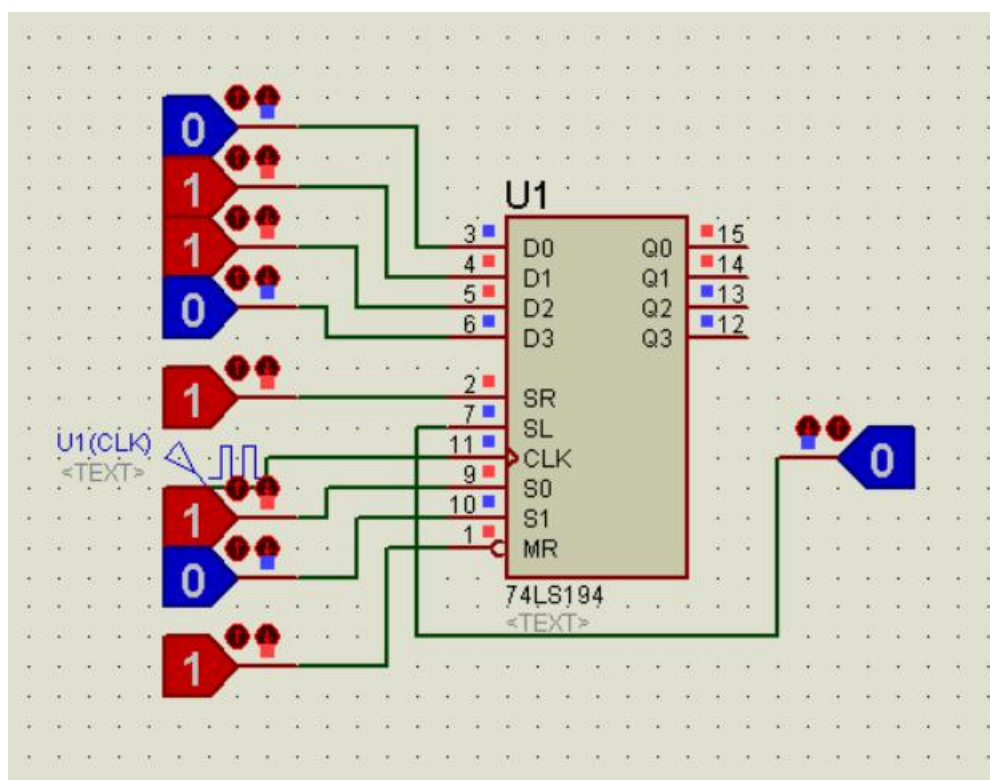
CR 连接负脉冲，CP 连接 1Hz 连续脉冲；

DSR 连接高电平；

②CR 清零；

③观察“0-1”显示器；

(3) protues 电路设计和仿真结果：



(4) 实验箱电路静态、动态测试步骤和结果：

无。

(5) 相关分析说明:

CR 低电平清零;

DSR: $DSR \rightarrow QA \rightarrow QB \rightarrow QC \rightarrow QD$;

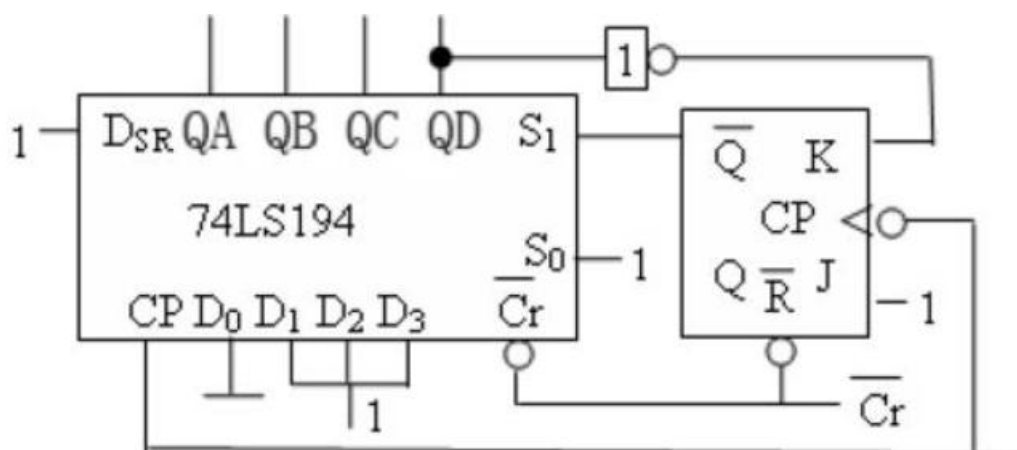
DSL: $DSL \rightarrow QD \rightarrow QC \rightarrow QB \rightarrow QA$;

DSR、DSL 高低电平提供传送的信号, 由 S0、S1 选择功能;

保持功能在任何时候均可执行, 即保持当前状态, 不恢复初始状态。

实验 2. 如图连接四节拍顺序脉冲发生器, 使用 “0-1” 显示器检查 74LS194 的输出 QA~QD 是否符合节拍发生器 0111、1011、1101、1110 的循环。

(1) 实验原理:

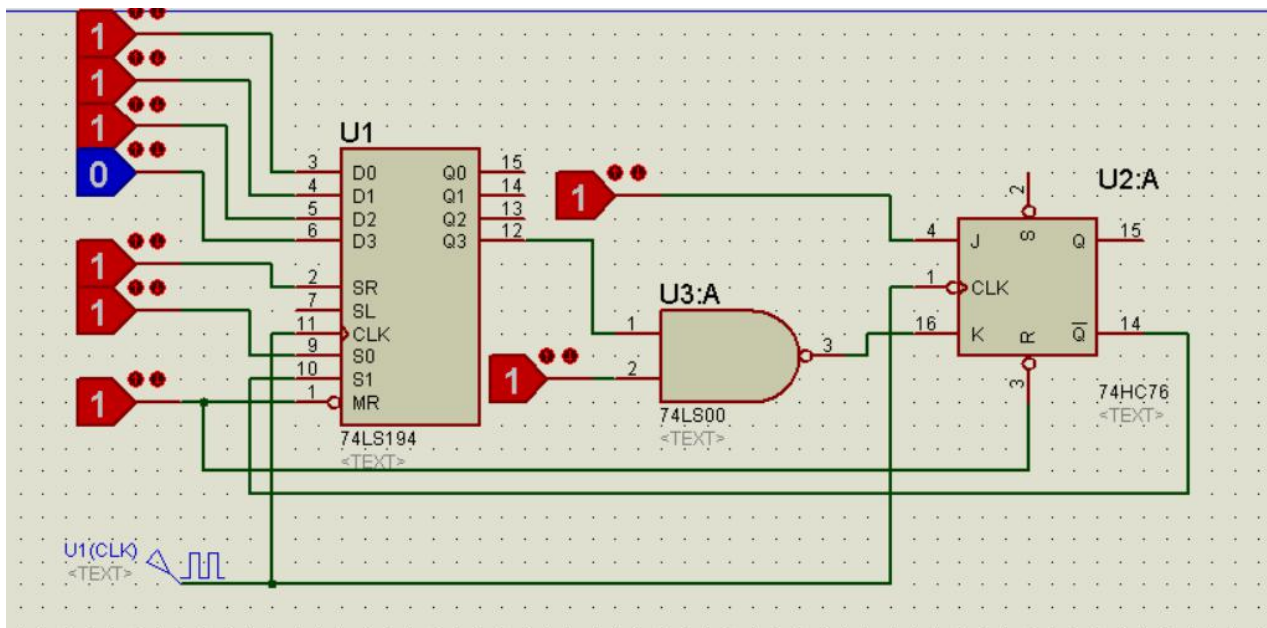


利用 194 右移功能, 实现 “0” 向右边移动; 同时利用 JK 触发器翻转功能 ($J=1, K=1$), 控制 194 从右移变为并行送数, 实现 0111 到 1110 的变化。

(2) 设计流程:

如上表连接电路, 利用 74LS00 与非门实现反相器。

(3) Protues 电路设计和仿真结果:



(4) 实验箱电路静态、动态测试步骤和结果：

无。

(5) 相关分析说明：

如果没有先清零，194 的 S1 输入不确定，可能会出现输出 1111 的情况（CP 触发不变化），也可能是其他异常。

74LS194 是上升沿触发，JK 触发器是下降沿触发。

实验 3. 使用模拟开关作为 BCD 码输入译码显示电路，应可以观察到数码管按照节拍顺序依次在对应数位上显示当前所设 BCD 码对应数字。

(1) 实验原理：

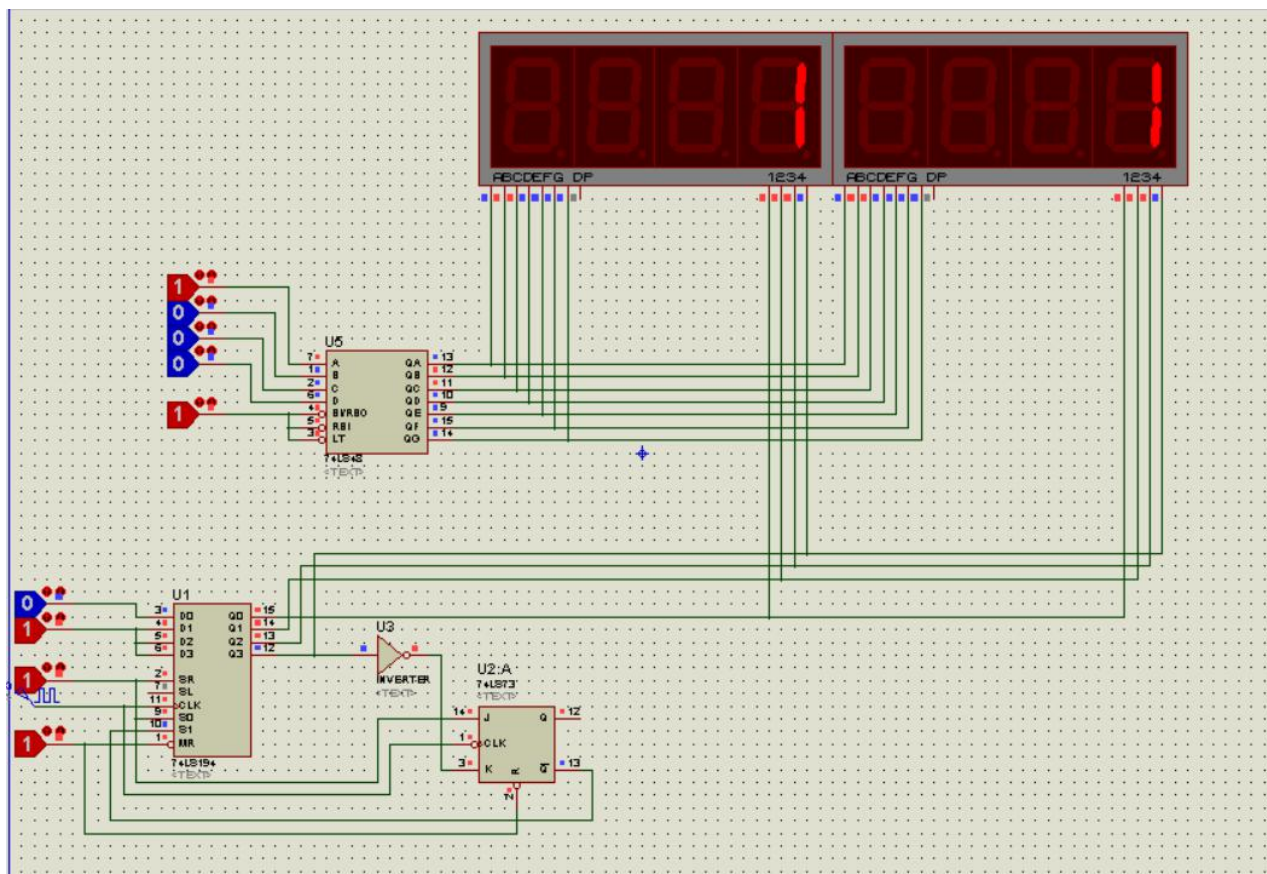
74LS48 只引出 A3、A2、A1、A0 四个引脚分别依次对应两个四位数码管的 P13、P12、P11、P10 和 P23、P22、P21、P20 作为数码管 BCD 码输入端。

(2) 设计流程：

①使用 74LS194 和 74LS73 实现四节拍发生器；

②利用模拟开关预置 BCD 码，观察实验结果。

(3) Protues 电路设计和仿真结果；



(4) 实验箱电路静态、动态测试步骤和结果：

无。

(5) 相关分析说明：

74LS73 复位部分已经显示R。

实验 4.7 段数码管同时显示学号。

方法一、显示位置决定显示内容：

(1) 实验原理：

DIG1	DIG2	DIG3	DIG4	P13	P12	P11	P10
"0"	"1"	"1"	"1"	"0"	"0"	"0"	"1"
"1"	"0"	"1"	"1"	"0"	"1"	"1"	"0"
"1"	"1"	"0"	"1"	"0"	"0"	"1"	"1"
"1"	"1"	"1"	"0"	"0"	"1"	"0"	"0"

DIG5	DIG6	DIG7	DIG8	P23	P22	P21	P20
"0"	"1"	"1"	"1"	"0"	"0"	"0"	"0"
"1"	"0"	"1"	"1"	"0"	"0"	"0"	"0"
"1"	"1"	"0"	"1"	"0"	"1"	"0"	"0"
"1"	"1"	"1"	"0"	"0"	"0"	"0"	"1"

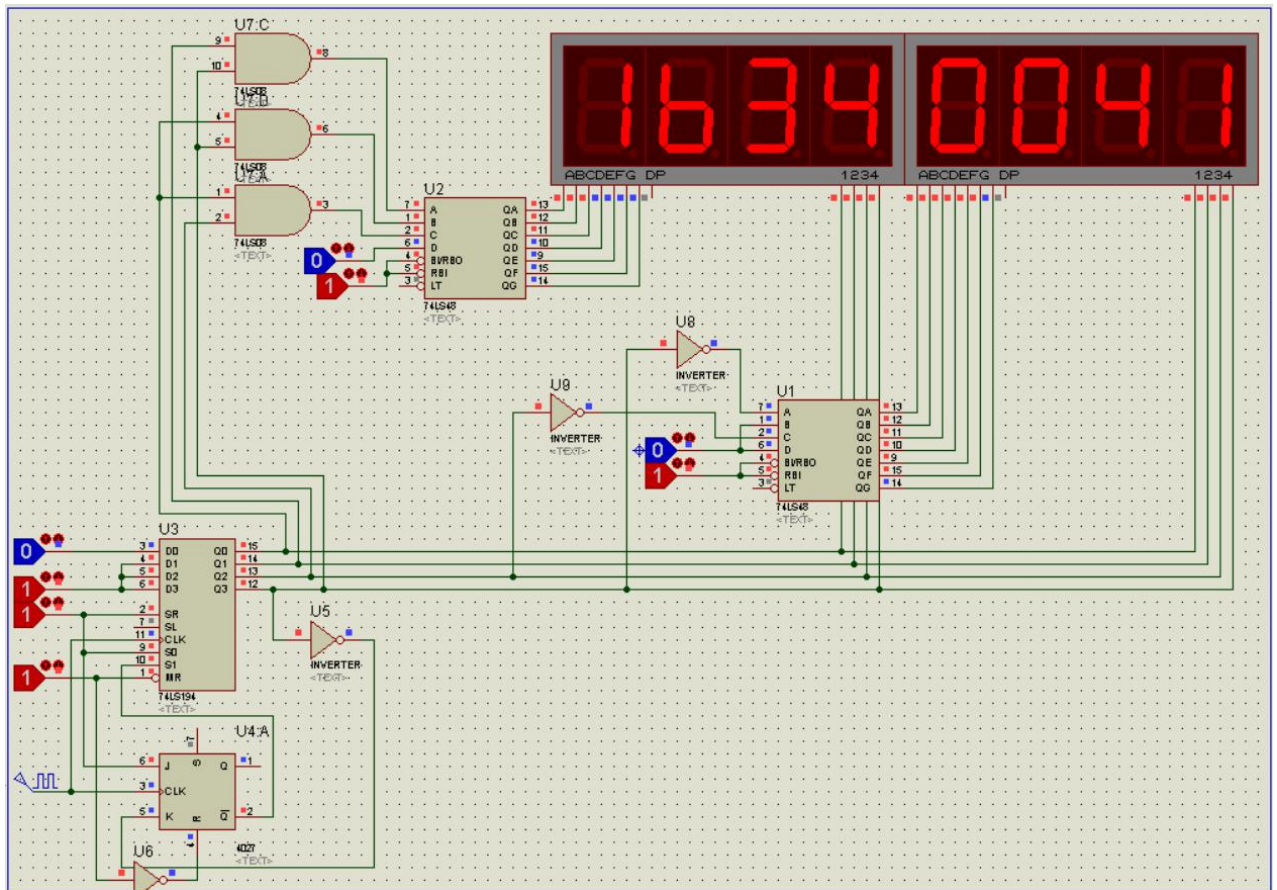
$P13 = 0$; $P12 = DIG1 * DIG3$; $P11 = DIG1 * DIG4$; $P10 = DIG2 * DIG4$;

$P23 = 0$; $P22 = !DIG7$; $P21 = 0$; $P20 = !DIG8$;

(2) 设计流程:

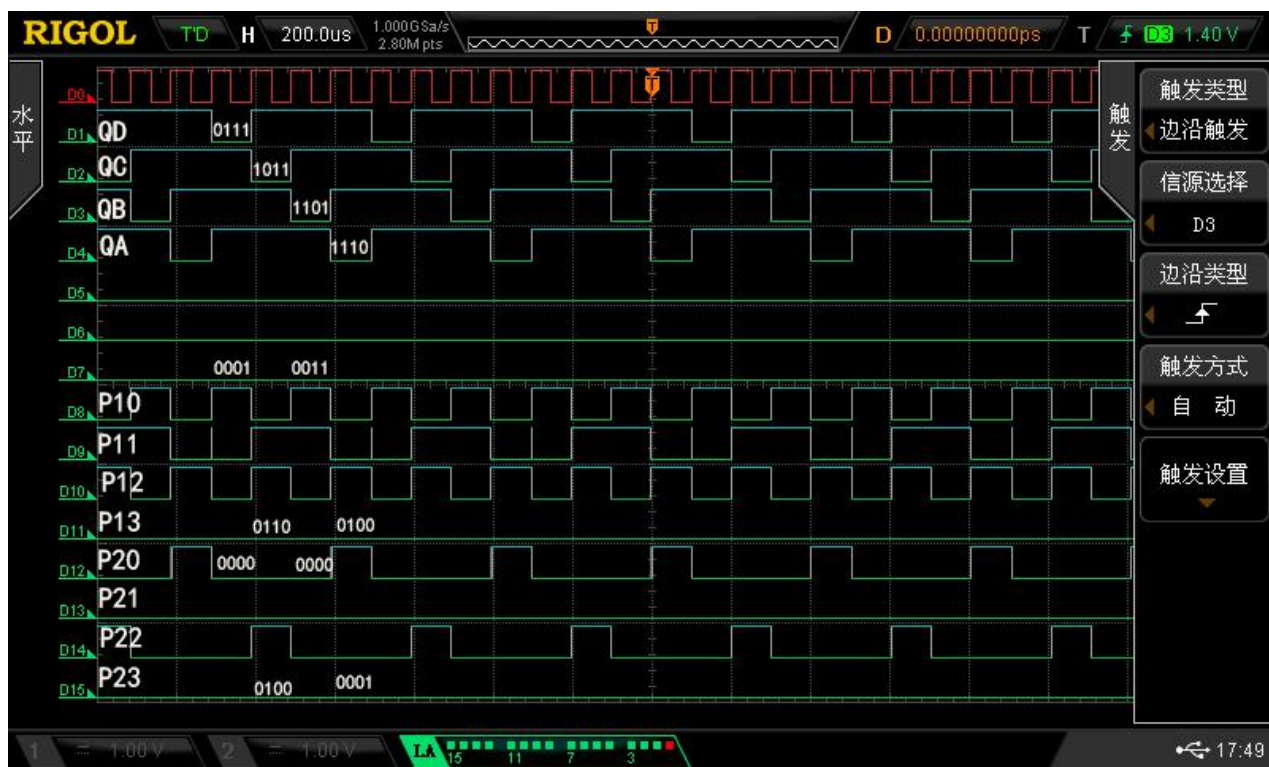
- ①使用 74LS194、74LS73 实现四节拍发生器;
- ②将 74LS194 的输出连接 BCD 数码管的 DIG1-DIG8;
- ③根据函数表达式连接 P13、P12、P11、P10、P23、P22、P21、P20。

(3) Protues 电路设计与仿真结果:



(4) 实验箱电路静态、动态测试步骤和结果:





(5) 相关分析说明：

无。

方法二、显示内容决定显示位置：

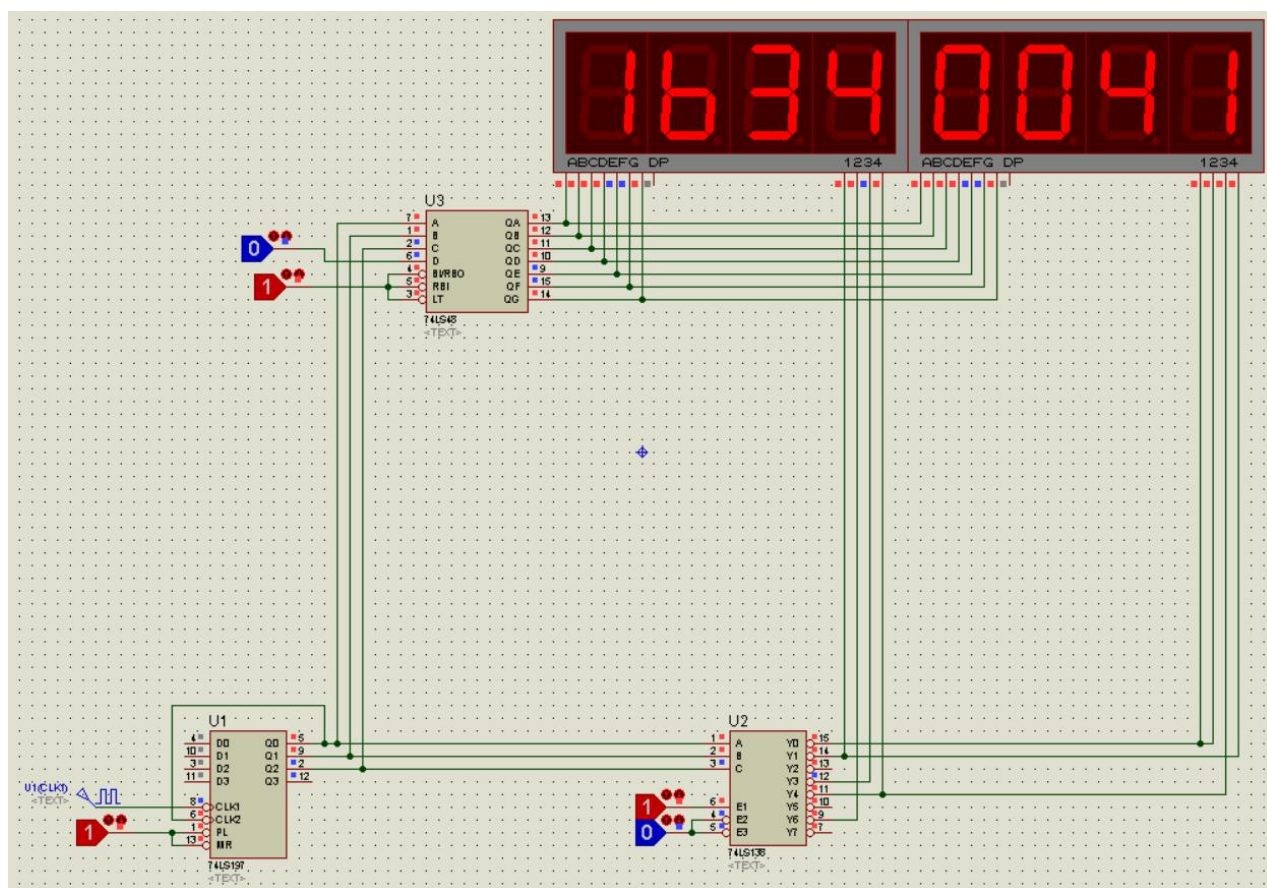
(1) 实验原理：

通过 74LS197 产生一个八进制计数器，产生计数的同时通过 74LS138 使得某一位固定显示一个数字。

(2) 设计流程：

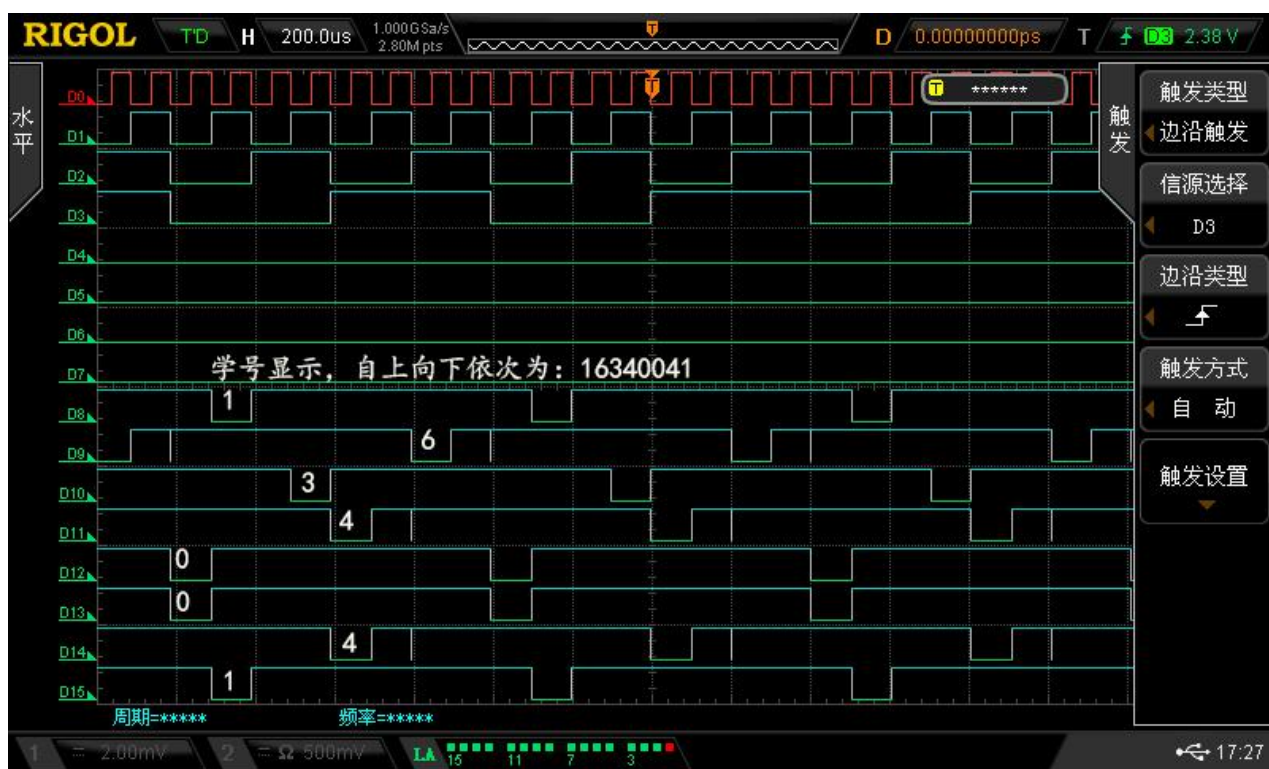
- ①利用 74LS197 实现八进制计数器；
- ②计数器的输出连接 BCD 数码管的输入部分；
- ③计数器的输出连接 74LS138 的数据选择部分；
- ④根据要显示的学号确定 74LS138 的输出与 BCD 数码管的位置选择部分。

(3) Protues 电路设计与仿真结果：



(4) 实验箱静态、动态测试步骤和结果:





(5) 相关分析说明:

将 74LS197 接成十进制计数器，因为每一位学号范围是 0-9，当 74LS197 计数至 A-F 时，7 段数码管灭灯，因此若将 74LS197 接成十六进制计数器会导致 7 段数码管亮度偏暗；

仿真时注意“0”与“8”、“1”与“9”的显示处理。电路区分 0 和 8，1 和 9 的显示。直接将 74LS197 生成 8421 码的低 3 位 (Q2, Q1, Q0) 连入 74LS138 进行得到数码管位选信号，未能考虑 74LS197 生成 8421 码最高位 Q4，因此 0 和 8 都能使 74LS138 的 Y0 输出低电平，1 和 9 都能使 74LS138 的 Y1 输出低电平。使用八进制计数器时，可以讲 BCD 数码管最高有效位的输入始终接高电平。

实验 5. 使用实验箱上的 8*8 点阵显示名字任一字。

(1) 实验原理:

点阵由 64 个发光二极管组成，当二极管所在位置的行电平为高，列电平为

低时，相应的二极管就被点亮。

以显示“亚”为例：

Q2	Q1	Q0	R1	R2	R3	R4	R5	R6	R7	R8
"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"1"	"0"
"0"	"0"	"1"	"0"	"1"	"0"	"0"	"1"	"0"	"1"	"0"
"0"	"1"	"0"	"0"	"1"	"0"	"0"	"0"	"1"	"1"	"0"
"0"	"1"	"1"	"0"	"1"	"1"	"1"	"1"	"1"	"1"	"0"
"1"	"0"	"0"	"0"	"1"	"1"	"1"	"1"	"1"	"1"	"0"
"1"	"0"	"1"	"0"	"1"	"0"	"0"	"0"	"1"	"1"	"0"
"1"	"1"	"0"	"0"	"1"	"0"	"0"	"1"	"0"	"1"	"0"
"1"	"1"	"1"	"0"	"0"	"0"	"0"	"0"	"0"	"1"	"0"

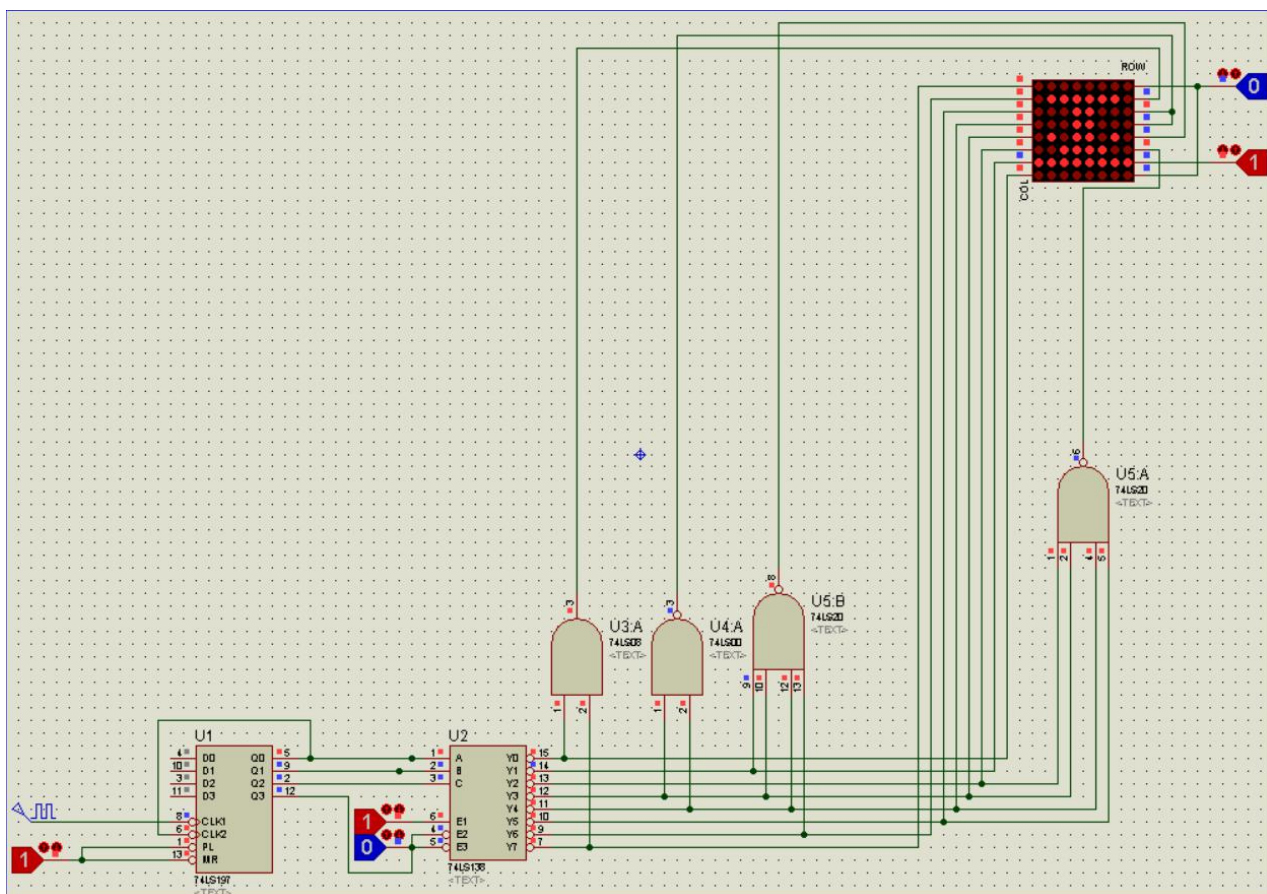
$R1 = 0; R2 = Y0 \cdot Y1; R3 = R4 = Y3 + Y4;$

$R5 = Y1 + Y3 + Y4 + Y6; R6 = Y2 + Y3 + Y4 + Y5; R7 = 1; R8 = 0;$

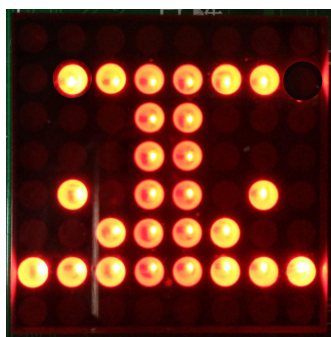
(2) 设计流程：

- ①使用 74LS197 实现八进制计数器；
- ②74LS197 的输出连接 74LS138 的数据选择端；
- ③74LS138 的八个输出与点阵的列引脚意义对应连接；
- ④根据上述函数表达式对 74LS138 的输出进行处理并与点阵的行引脚对应连接。

(3) Protues 电路设计与仿真结果：



(4) 实验箱静态、动态测试步骤和结果:



(5) 相关分析说明:

实验箱上 ROWA 和 COWA 的 1 号引脚需接低电平, 2 号引脚需接高电平, 以便点阵正常显示, 因为 ROWA 和 COWA 的 1 号和 2 号引脚与实验箱点阵译码驱动器的输出允许端口相连。

实验 6. 在 Basys3 实验板实现 LED 数码管显示 8 位学号, 使用开关切换前后 4 位的显示。

(1) vivado Verilog 源代码:

```
module display_7seg(
    input CLK,
    input SW_in,
    output reg[10:0] display_out
);
    reg [19:0] count=0;
    reg [2:0] sel=0;
    parameter T1MS=50000;
    always@(posedge CLK)
        if(SW_in==0)
            begin
                case(sel)
                    0: display_out<=11'b0111_1001111;
                    1: display_out<=11'b1011_0100000;
                    3: display_out<=11'b1110_1001100;
                    default: display_out<=11'b1111_1111111;
                endcase
            end
            else
                begin
                    case(sel)
                        1: display_out<=11'b1011_0000001;
                        2: display_out<=11'b1101_1001100;
                    endcase
                end
                count<=count+1;
                if(count==T1MS)
                    begin
                        count<=0;
                        sel<=sel+1;
                        if(sel==4)
                            sel<=0;
                    end
                end
            end
endmodule
```

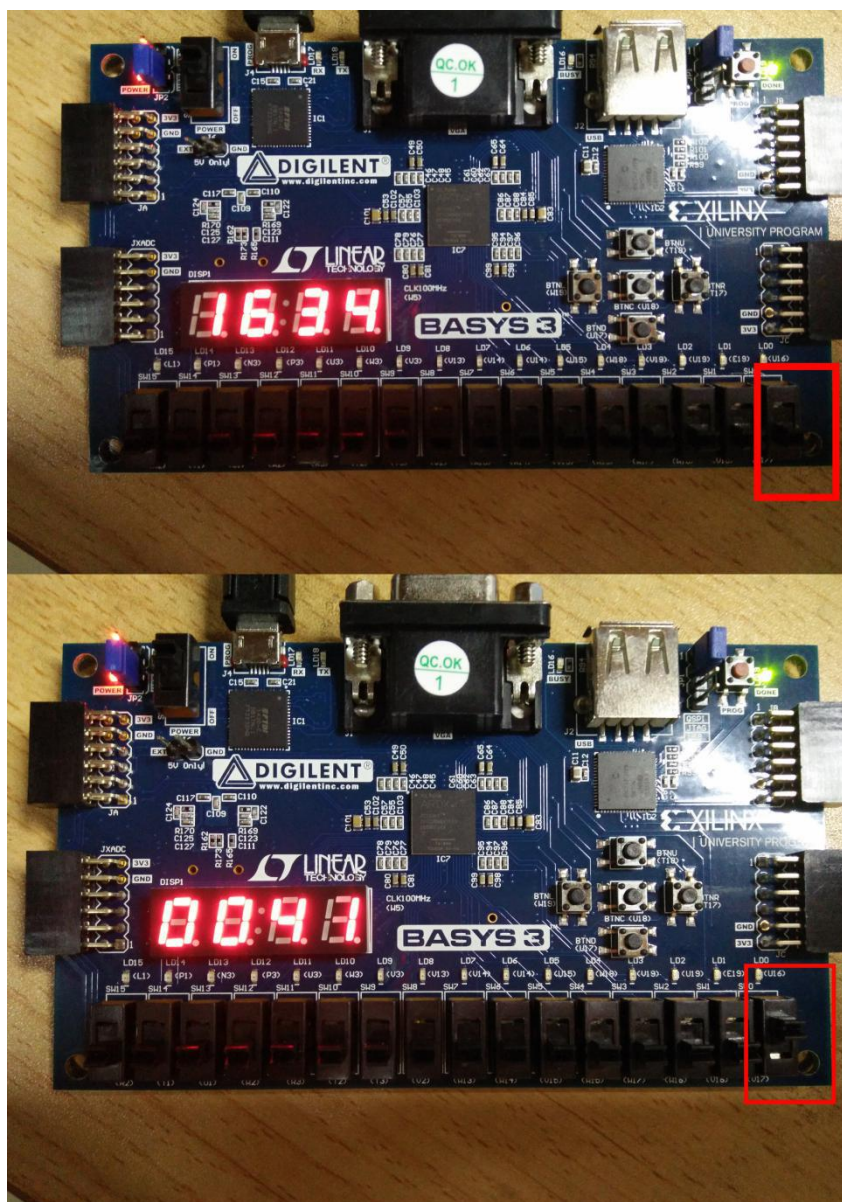
(2) Vivado 引脚设置:


```

set_property PACKAGE_PIN W5 [get_ports CLK]
set_property PACKAGE_PIN V17 [get_ports SW_in]
set_property IOSTANDARD LVCMOS33 [get_ports SW_in]
set_property IOSTANDARD LVCMOS33 [get_ports CLK]
set_property PACKAGE_PIN W4 [get_ports {display_out[10]}]
set_property PACKAGE_PIN V4 [get_ports {display_out[9]}]
set_property PACKAGE_PIN U4 [get_ports {display_out[8]}]
set_property PACKAGE_PIN U2 [get_ports {display_out[7]}]
set_property PACKAGE_PIN W7 [get_ports {display_out[6]}]
set_property PACKAGE_PIN W6 [get_ports {display_out[5]}]
set_property IOSTANDARD LVCMOS33 [get_ports {display_out[8]}]
set_property IOSTANDARD LVCMOS33 [get_ports {display_out[7]}]
set_property IOSTANDARD LVCMOS33 [get_ports {display_out[6]}]
set_property IOSTANDARD LVCMOS33 [get_ports {display_out[5]}]
set_property IOSTANDARD LVCMOS33 [get_ports {display_out[4]}]
set_property IOSTANDARD LVCMOS33 [get_ports {display_out[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {display_out[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {display_out[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {display_out[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {display_out[10]}]

```

(3) Basy3 显示结果:



五、实验心得

掌握 74LS197、74LS138 等基本芯片的功能，设计实验的时候明确输入与输出，列出真值表，正确合理化简函数表达式，做好实验的预习工作。