

# 中山大学数据科学与计算机学院本科生实验报告

## (2017 学年秋季学期)

课程名称：数字电路与逻辑设计实验      任课教师：保延翔      助教：岳锐

年级&班级	2016 级（1）班	专业(方向)	软件工程
学号	16340041	姓名	陈亚楠
电话	15989010314	Email	chenyn0201@gmail.com
开始日期	2017. 11. 28	完成日期	2017. 12. 10

### 实验九 计数器的设计

#### 一、实验目的

熟悉 J-K 触发器的逻辑功能，掌握 J-K 触发器构成异步计数器和同步计数器。

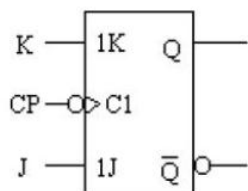
#### 二、实验仪器及器件

1. 数字电路实验箱、数字万用表、示波器。
2. 虚拟器件：74LS73，74LS00，74LS08，74LS20。

#### 三、实验原理

1. J-K 触发器原理：

符号：



表达式：

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

JK触发器功能表：

CP	J	K	Q <sup>n</sup>	Q <sup>n+1</sup>	功能
↓	0	0	0	0	保持
↓	0	0	1	1	保持
↓	0	1	0	0	清零
↓	0	1	1	0	清零
↓	1	0	0	1	置位
↓	1	0	1	1	置位
↓	1	1	0	1	翻转
↓	1	1	1	0	翻转

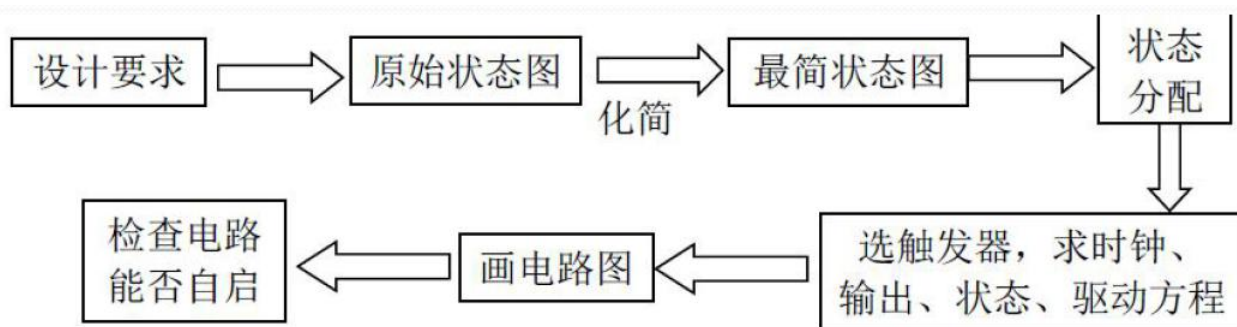
表 8.9 J-K 触发器的转换表

输出转换			触发器输入	
$Q_N$		$Q_{N+1}$	$J$	$K$
0	→	0	0	X
0	→	1	1	X
1	→	0	X	1
1	→	1	X	0

$Q_N$ : 当前状态       $Q_{N+1}$ : 次态      X: “无关”

JK 触发器要求接高电平的，不能悬空，否则会导致输出错误，例如清零端。

2. 时序逻辑电路设计的一般步骤：



3. 同步计数器和异步计数器

同步计数器的触发信号是同一个信号。具体来说，每一级的触发器接的都是同一个 CLK 信号。

异步计数器的每一级的触发器的 CLK 信号是不同的，触发器状态变化不是同步的。

## 四、实验内容

**内容 1.** 使用 J-K 触发器设计一个 16 进制异步加法计数器，并用逻辑分析仪观察并记录 CP 和每一位的输出波形。

(1) 设计流程：

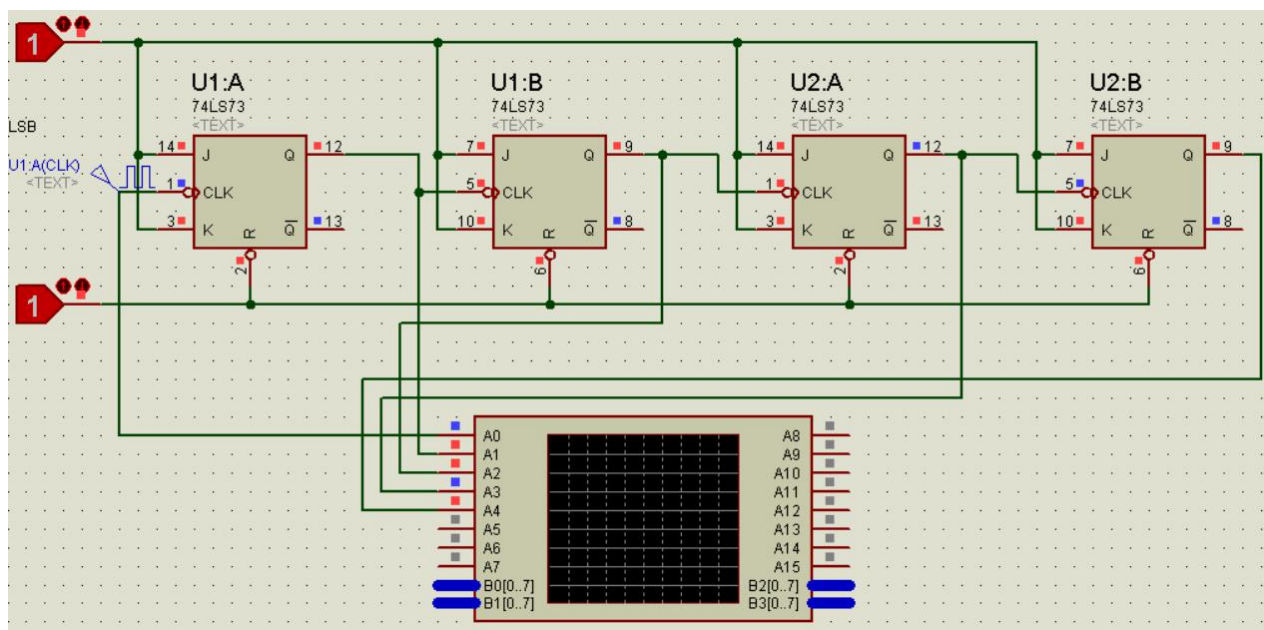
① 实验箱上 4 个 74LS73 芯片的 J、K 端口均接高电平，清零端口  $\bar{R}$  均接

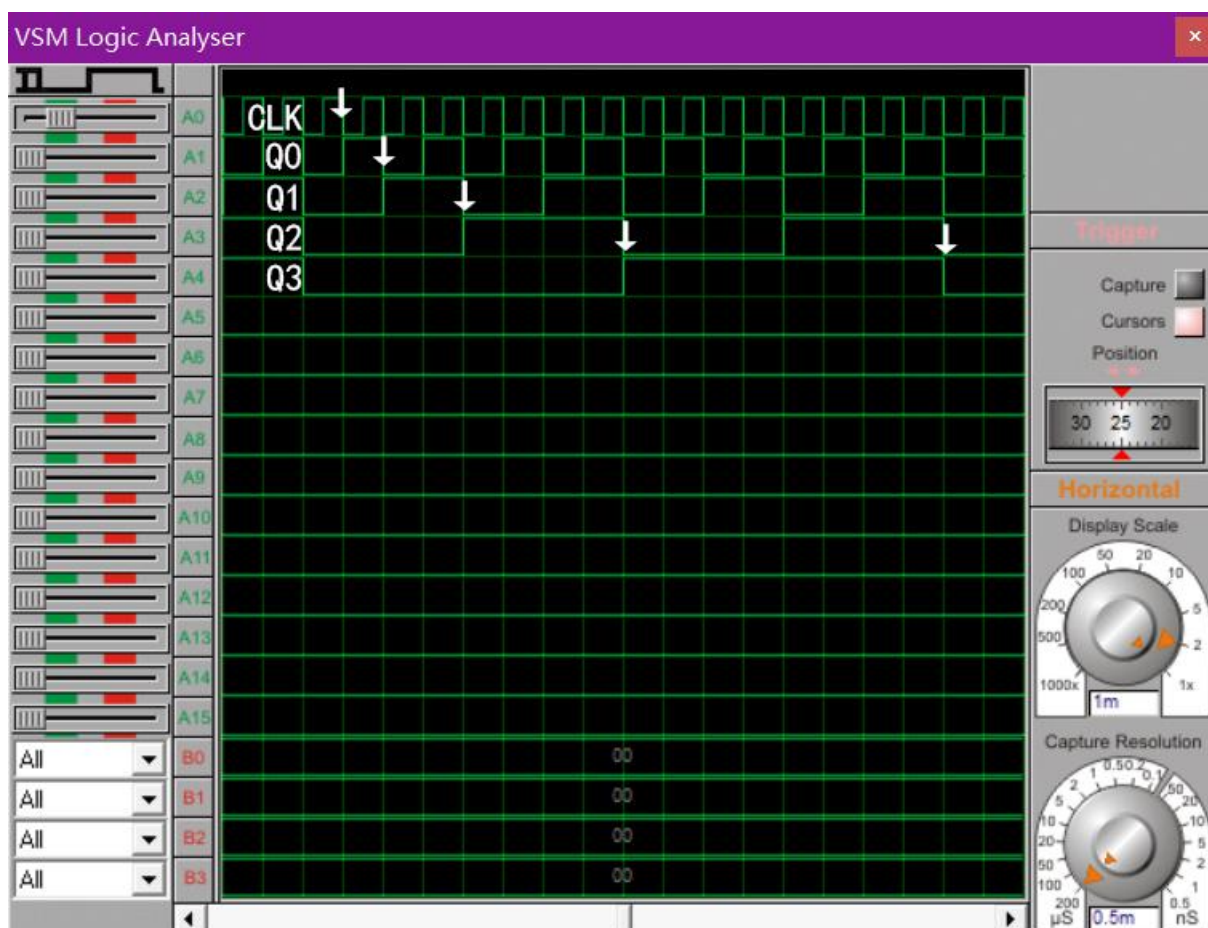
负脉冲；

②第一级触发器 CP 接连续脉冲，此后，下一级触发器的时钟脉冲均接上一级触发器的 Q 输出；

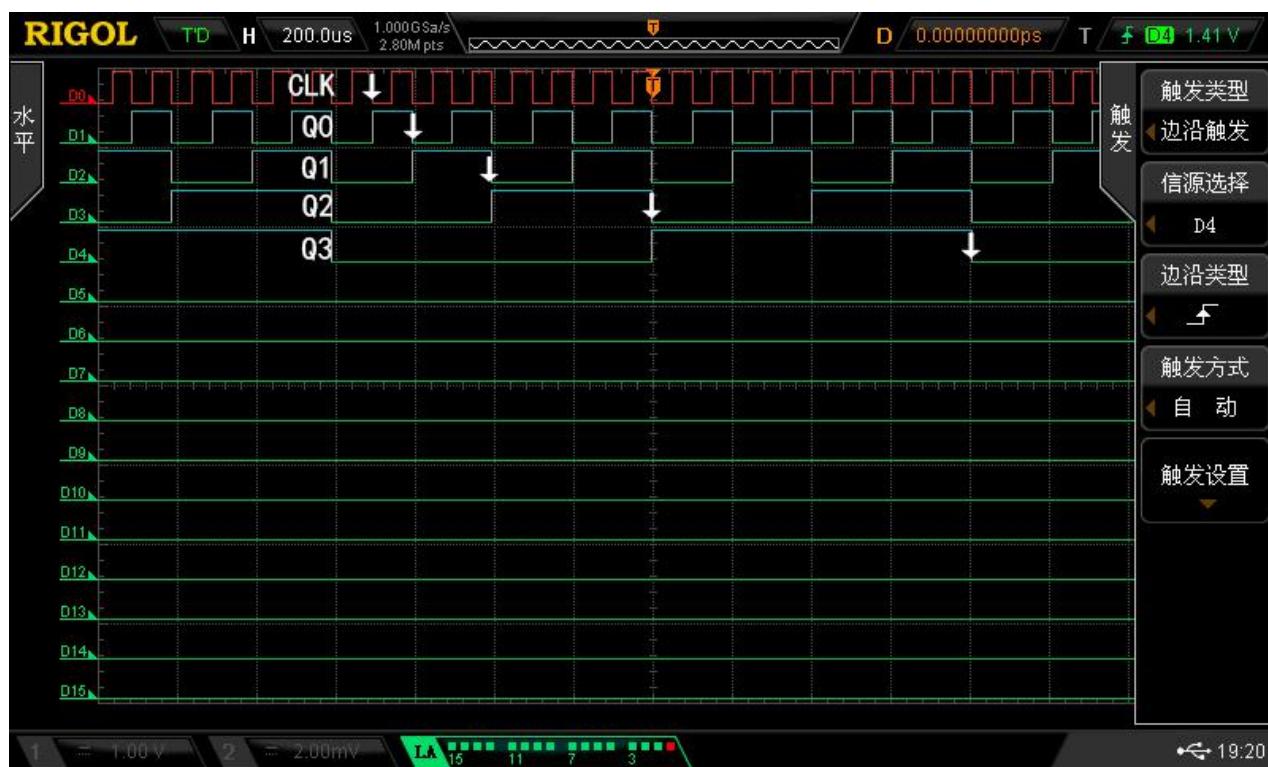
③连接四个芯片的 Q 输出与示波器；

(2) Protues 仿真设计与电路结果：





(3) 实验箱静态、动态测试步骤和结果：



(4) 相关分析说明：

门电路中输入端悬空默认接了高电平；

J-K 触发器要求接高电平的，不能悬空，否则会导致输出错误；

J-K 触发器的清零输入端在工作时一定要连接高电平或者实验箱的清零端；

74LS73：双 J-K 主从触发器（带清除端），时钟脉冲为下降沿时触发；

## 内容 2. 使用 J-K 触发器实现模拟 74LS197 功能。

(1) 实验原理：

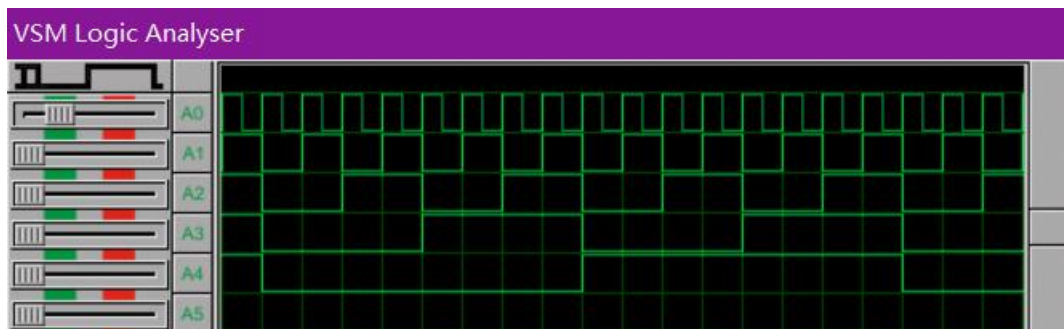
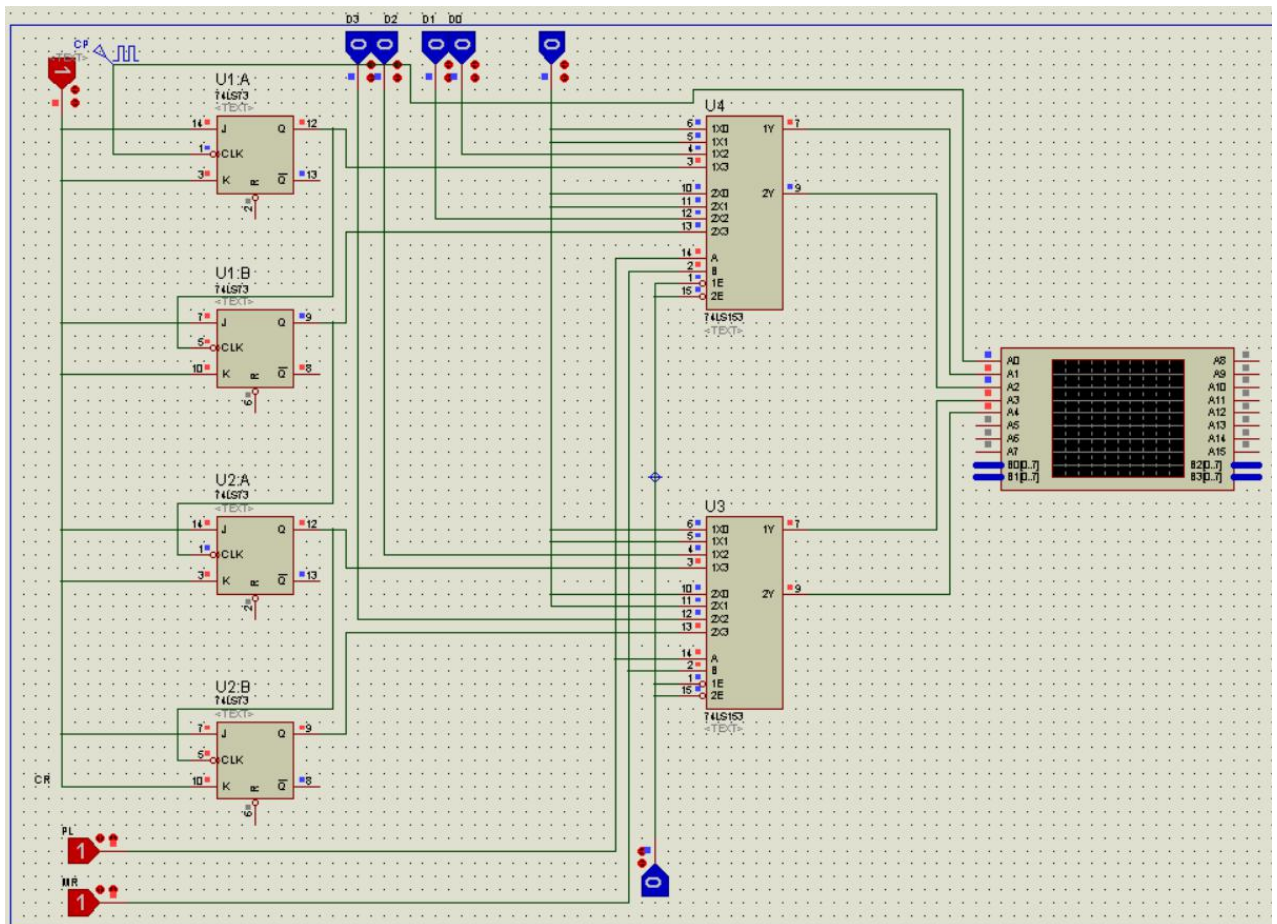
功能表：

输 入							输 出			
$\overline{CR}$	$\overline{CT/LD}$	$\overline{CP}$	$D_0$	$D_1$	$D_2$	$D_3$	$Q_0$	$Q_1$	$Q_2$	$Q_3$
L	X	X	X	X	X	X	L	L	L	L
H	L	X	$d_0$	$d_1$	$d_2$	$d_3$	$d_0$	$d_1$	$d_2$	$d_3$
H	H	$\downarrow$	X	X	X	X	加 计 数			

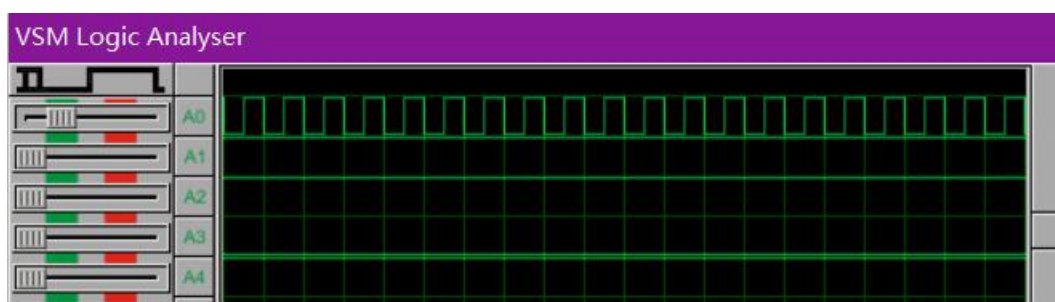
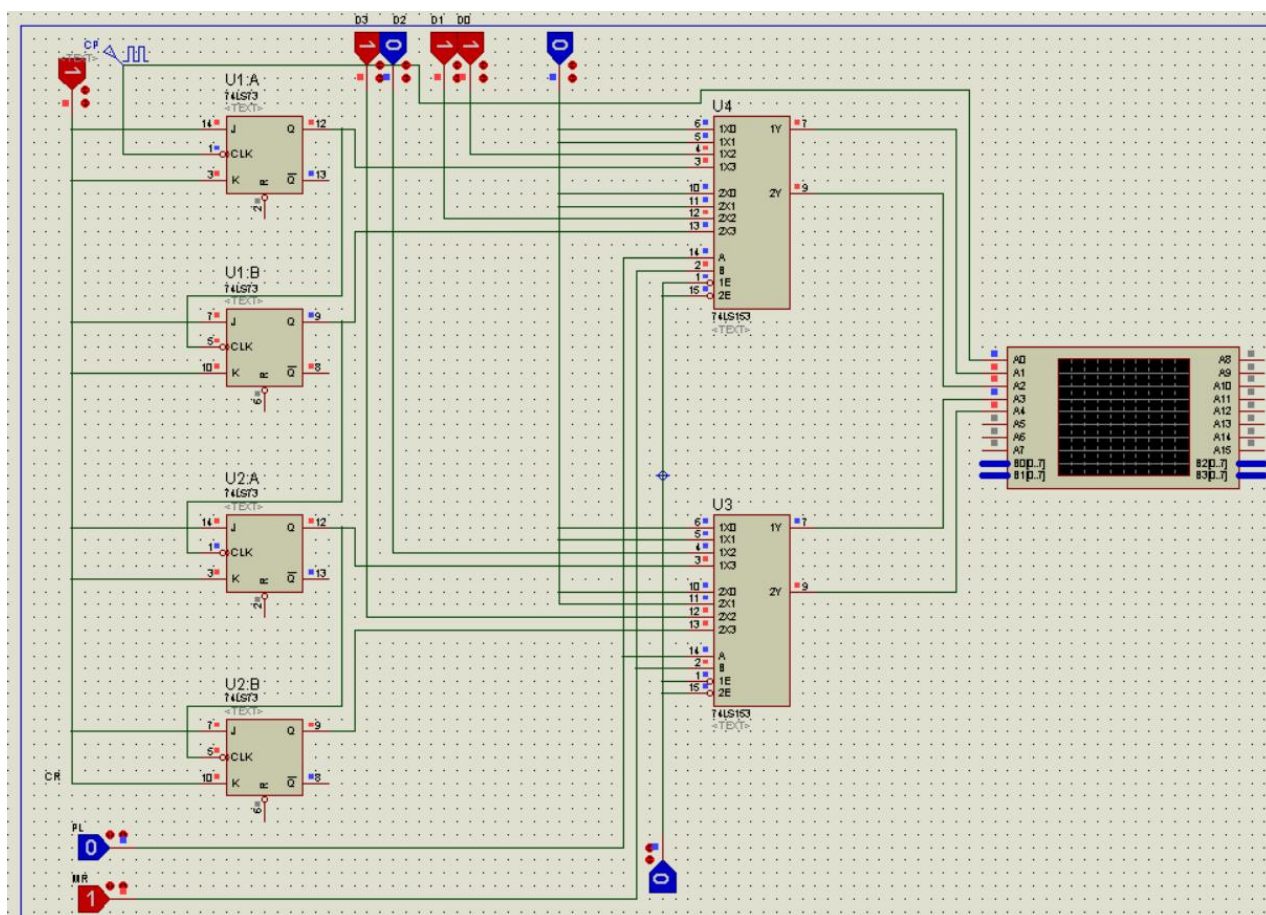
(2) Protues 仿真设计与结果：

计数功能：





并行送数：



**内容 3.** 使用 JK 触发器设计一个 16 进制同步加法计数器，并用逻辑分析仪观察并记录 CP 和每一位的输出波形。

(1) 实验原理：

(ind...	S3	S2	S1	S0	N3	N2	N1	N0
0	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"1"
1	"0"	"0"	"0"	"1"	"0"	"0"	"1"	"0"
2	"0"	"0"	"1"	"0"	"0"	"0"	"1"	"1"
3	"0"	"0"	"1"	"1"	"0"	"1"	"0"	"0"
4	"0"	"1"	"0"	"0"	"0"	"1"	"0"	"1"
5	"0"	"1"	"0"	"1"	"0"	"1"	"1"	"0"
6	"0"	"1"	"1"	"0"	"0"	"1"	"1"	"1"
7	"0"	"1"	"1"	"1"	"1"	"0"	"0"	"0"
8	"1"	"0"	"0"	"0"	"1"	"0"	"0"	"1"
9	"1"	"0"	"0"	"1"	"1"	"0"	"1"	"0"
10	"1"	"0"	"1"	"0"	"1"	"0"	"1"	"1"
11	"1"	"0"	"1"	"1"	"1"	"1"	"0"	"0"
12	"1"	"1"	"0"	"0"	"1"	"1"	"0"	"1"
13	"1"	"1"	"0"	"1"	"1"	"1"	"1"	"0"
14	"1"	"1"	"1"	"0"	"1"	"1"	"1"	"1"
15	"1"	"1"	"1"	"1"	"0"	"0"	"0"	"0"

根据次态表化简卡诺图得到驱动方程如下：

$$J_0 = K_0 = 1;$$

$$J_1 = K_1 = Q_0Q_3;$$

$$J_2 = K_2 = Q_0Q_1;$$

$$J_3 = K_3 = Q_0Q_1Q_2 + Q_0Q_3;$$

(2) 设计流程：

①实验箱上 4 个 74LS73 芯片的时钟脉冲均接连续脉冲，清零端口  $\bar{R}$  均接负脉冲；

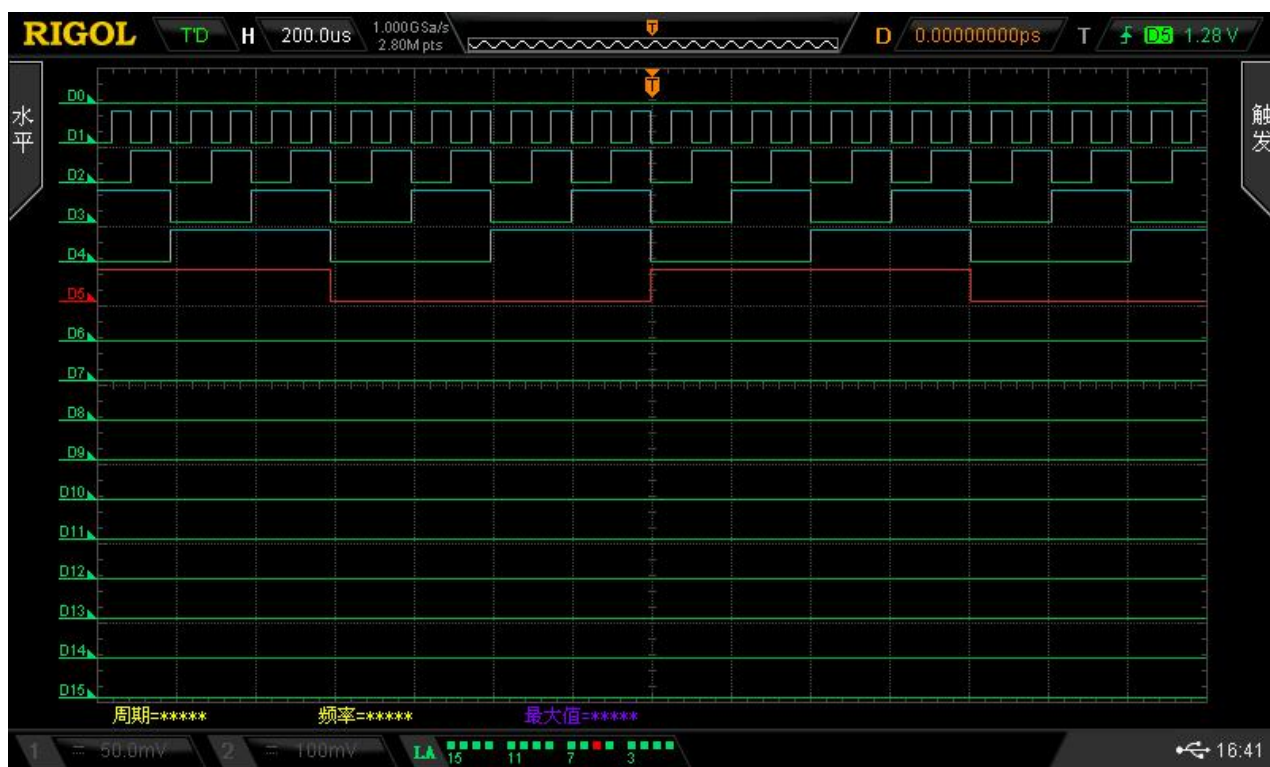
②第一级触发器 J、K 端口接高电平，依次向下，上一级触发器的 Q 输出连接其后一级触发器的 J、K 端口；

③连接四个芯片的 Q 输出与示波器；

(1) Protues 仿真设计与电路结果：







**内容 4.** 使用 JK 触发器和门电路设计实现一个二进制四位计数器模仿 74LS194 功能。要求在实验箱上设计实现左移或右移功能；在 proteus 软件上实现置零，保持，左移，右移，并行送数功能。

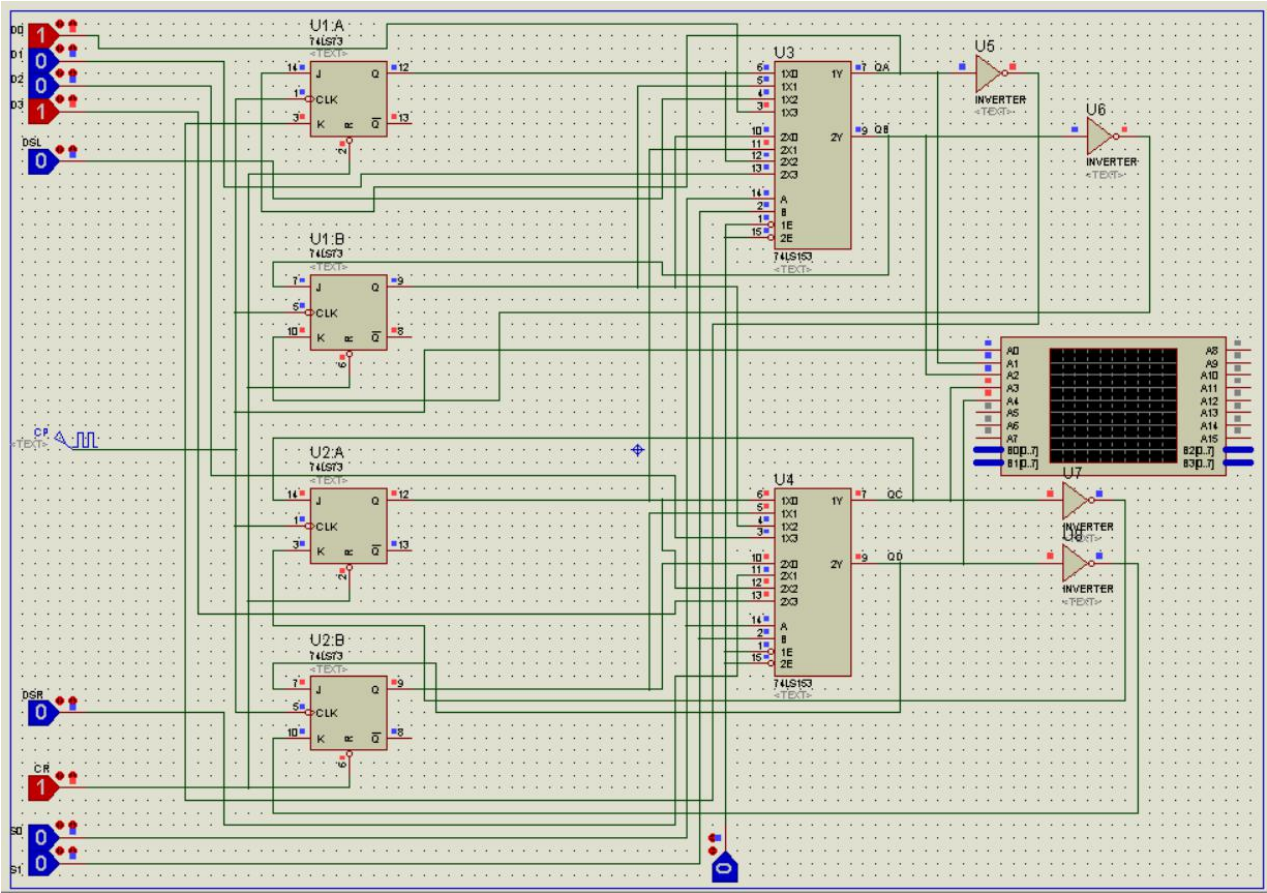
(1) 实验原理：

表(二) 74LS194 功能表				JK触发器功能表:					
$\overline{C_r}$	$S_1$	$S_0$	工作状态	$\overline{C_r}$	J	K	$Q^n$	$Q^{n+1}$	功能
0	X	X	置零	↓	0	0	0	0	保持
1	0	0	保持	↓	0	0	1	1	保持
1	0	1	右移	↓	0	1	0	0	清零
1	1	0	左移	↓	0	1	1	0	置位
1	1	1	并行送数	↓	1	0	0	1	置位
				↓	1	0	1	1	置位
				↓	1	1	0	1	翻转
				↓	1	1	1	0	翻转

功能表

Inputs									Outputs				
Clear	Mode		Clock	Serial		Parallel				Q <sub>A</sub>	Q <sub>B</sub>	Q <sub>C</sub>	Q <sub>D</sub>
	S1	S0		Left	Right	A	B	C	D				
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>D0</sub>
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	X	H	X	X	X	X	H	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Cn</sub>
H	L	H	↑	X	L	X	X	X	X	L	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Cn</sub>
H	H	L	↑	H	X	X	X	X	X	Q <sub>Bn</sub>	Q <sub>Cn</sub>	Q <sub>Dn</sub>	H
H	H	L	↑	L	X	X	X	X	X	Q <sub>Bn</sub>	Q <sub>Cn</sub>	Q <sub>Dn</sub>	L
H	L	L	X	X	X	X	X	X	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>D0</sub>

(2) Protues 仿真设计与电路结果:



①置零:

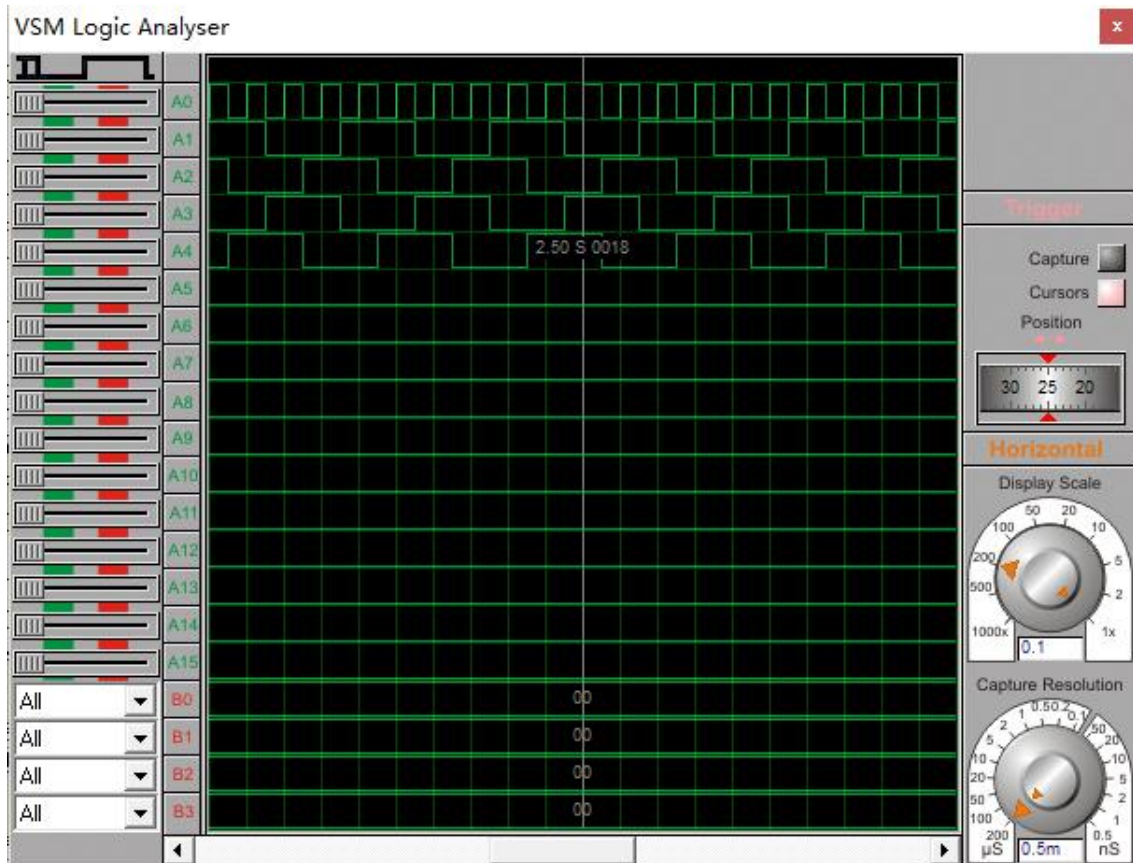
直接利用 J-K 触发器清零端实现 74LS194 清零功能;

②保持:

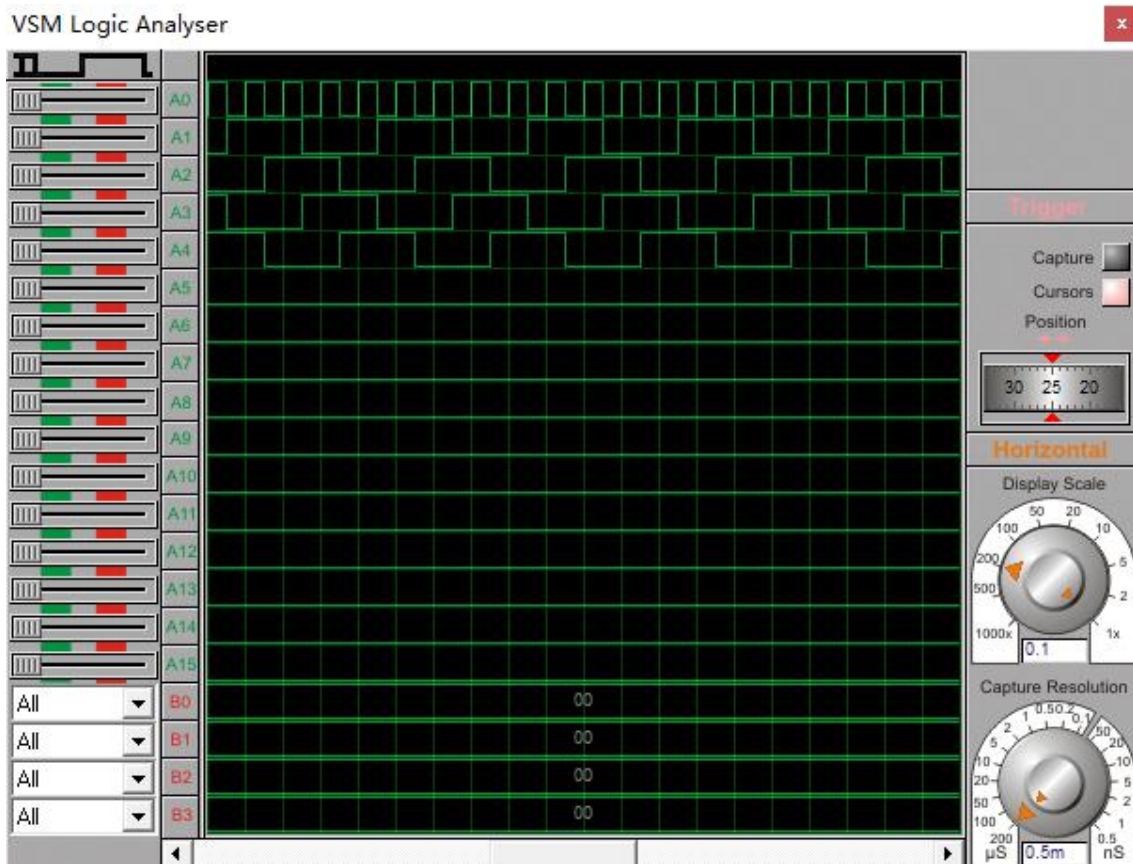
经检测,  $S0 = S1 = 0$  时, 74LS194 保持功能实现;

③右移:





④左移:

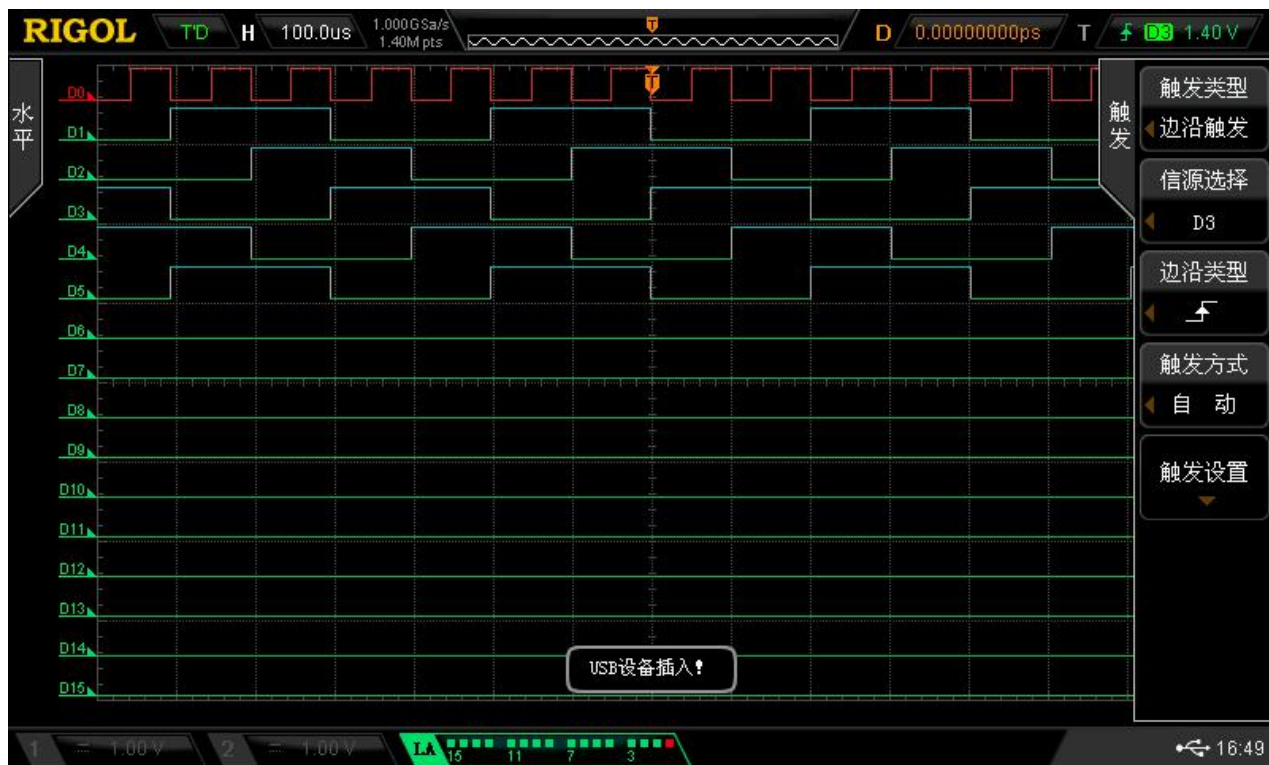


⑤并行送数:

经检测， $S_0 = S_1 = 1$  时，74LS194 并行送数功能实现。

(3) 实验箱静态、动态测试步骤及结果：

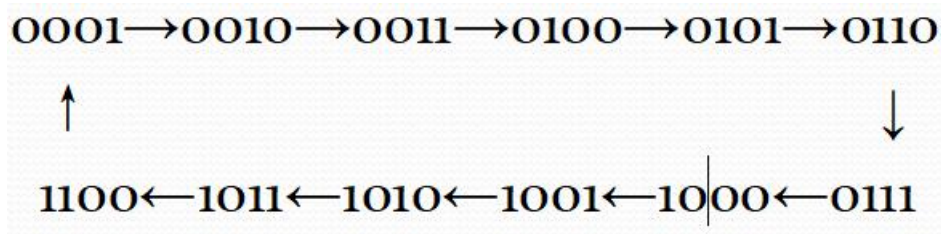
模仿实现 74LS194 左移功能：



**内容 5.** 用 JK 触发器和门电路设计一个特殊的 12 进制同步计数器，用逻辑分析仪观察并记录 CP 和每一位的输出波形。

(1) 设计流程：

①状态转换表：



②确定电路所需触发器数目：4；

③次态表：



$Q_1^n Q_0^n$		00	01	11	10
$Q_3^n Q_2^n$	00	X	0010	0100	0011
	01	0101	0110	1000	0111
	11	0001	x	x	x
	10	1001	1010	1100	1011

④每个触发器的状态方程：

$Q_1^n Q_0^n$		00	01	11	10
$Q_3^n Q_2^n$	00	X	0	0	1
	01	1	0	0	1
	11	1	x	x	x
	10	1	0	0	1

$Q_1^n Q_0^n$		00	01	11	10
$Q_3^n Q_2^n$	00	X	1	0	1
	01	0	1	0	1
	11	0	x	x	x
	10	0	1	0	1

$Q_1^n Q_0^n$		00	01	11	10
$Q_3^n Q_2^n$	00	X	0	1	0
	01	1	1	0	1
	11	0	x	x	x
	10	0	0	1	0

$Q_1^n Q_0^n$		00	01	11	10
$Q_3^n Q_2^n$	00	X	0	0	0
	01	0	0	1	0
	11	0	x	x	x
	10	1	1	1	1

⑤各触发器的驱动方程：

$$J_0 = K_0 = 1$$

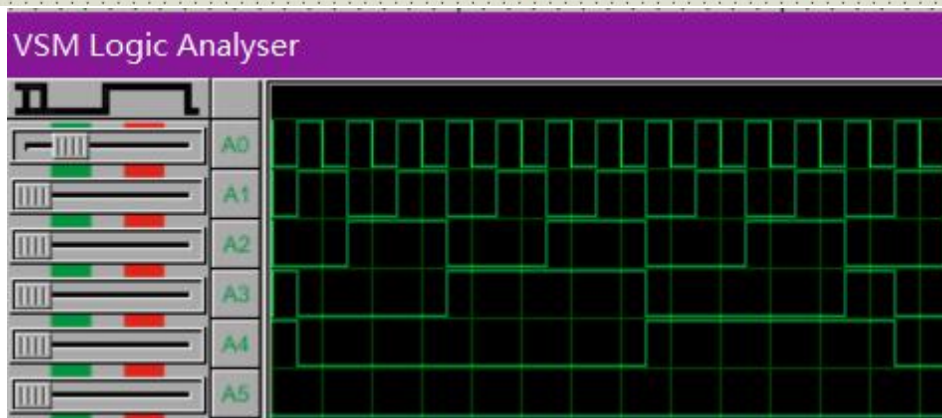
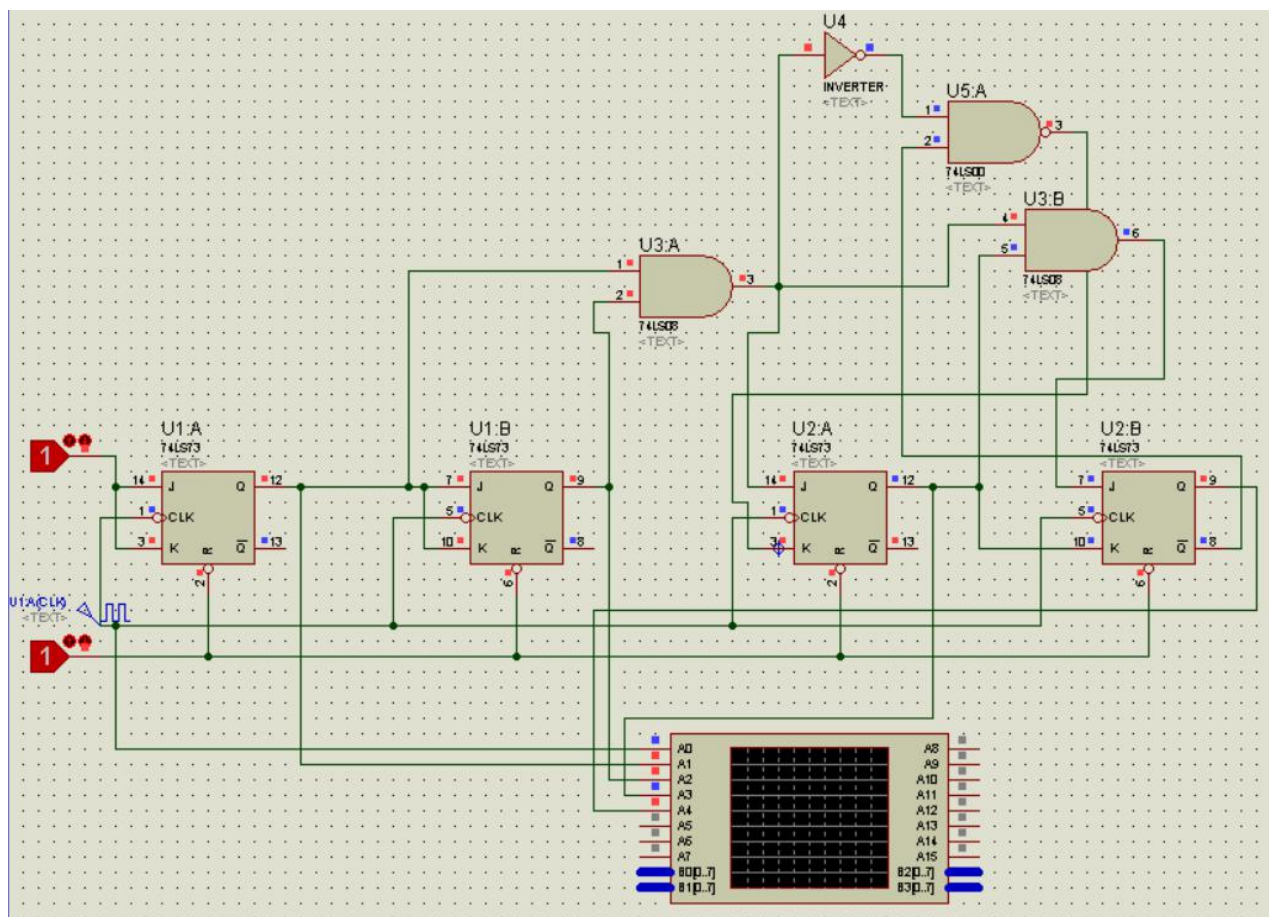
$$J_1 = K_1 = Q_0$$

$$J_2 = Q_1 Q_0, \quad K_2 = \overline{Q_3} \overline{Q_1} + \overline{Q_3} \overline{Q_0} = \overline{Q_3} \overline{Q_1} \overline{Q_0}$$

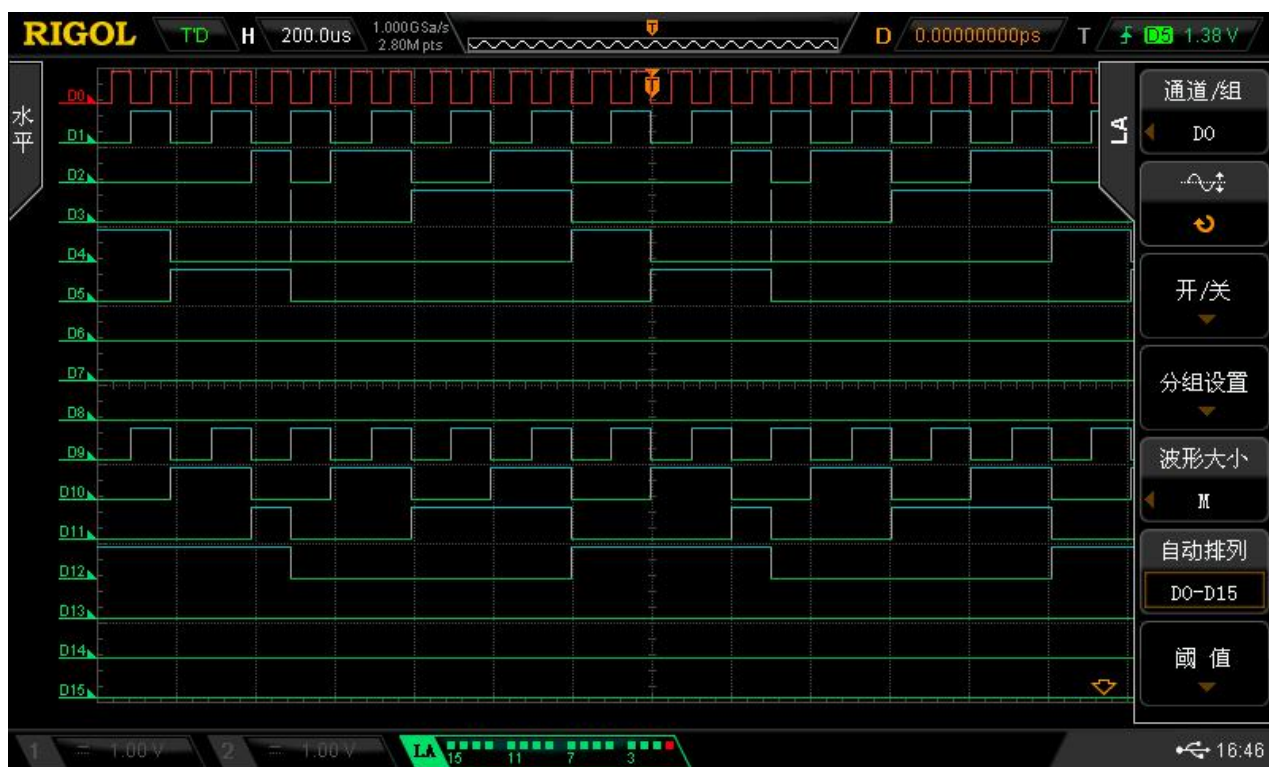
$$J_3 = Q_2 Q_1 Q_0, \quad K_3 = Q_2$$

⑥检查自启动：

(2) Protues 仿真设计与电路结果：



(3) 实验箱静态、动态测试步骤及结果：



**内容 6.** 使用 Protues 实现一个有控制变量 D 的 12 进制计数器（12 进制计数器状态转换图如内容 4），并在 7 段数码管上显示计数结果；使用 Vivado 实现一个有控制变量 D 的 12 进制计数器，并在 7 段数码管上显示计数结果。

（1）实验原理：

D = 0 时为加法计数器，D = 1 时为减法计数器；

化简卡诺图得到驱动方程如下：

$$J_0 = K_0 = 1;$$

$$J_1 = Q_0\bar{D} + Q_1D;$$

$$K_1 = Q_0\bar{D} + Q_1D;$$

$$J_2 = Q_1Q_0\bar{D} + Q_1D;$$

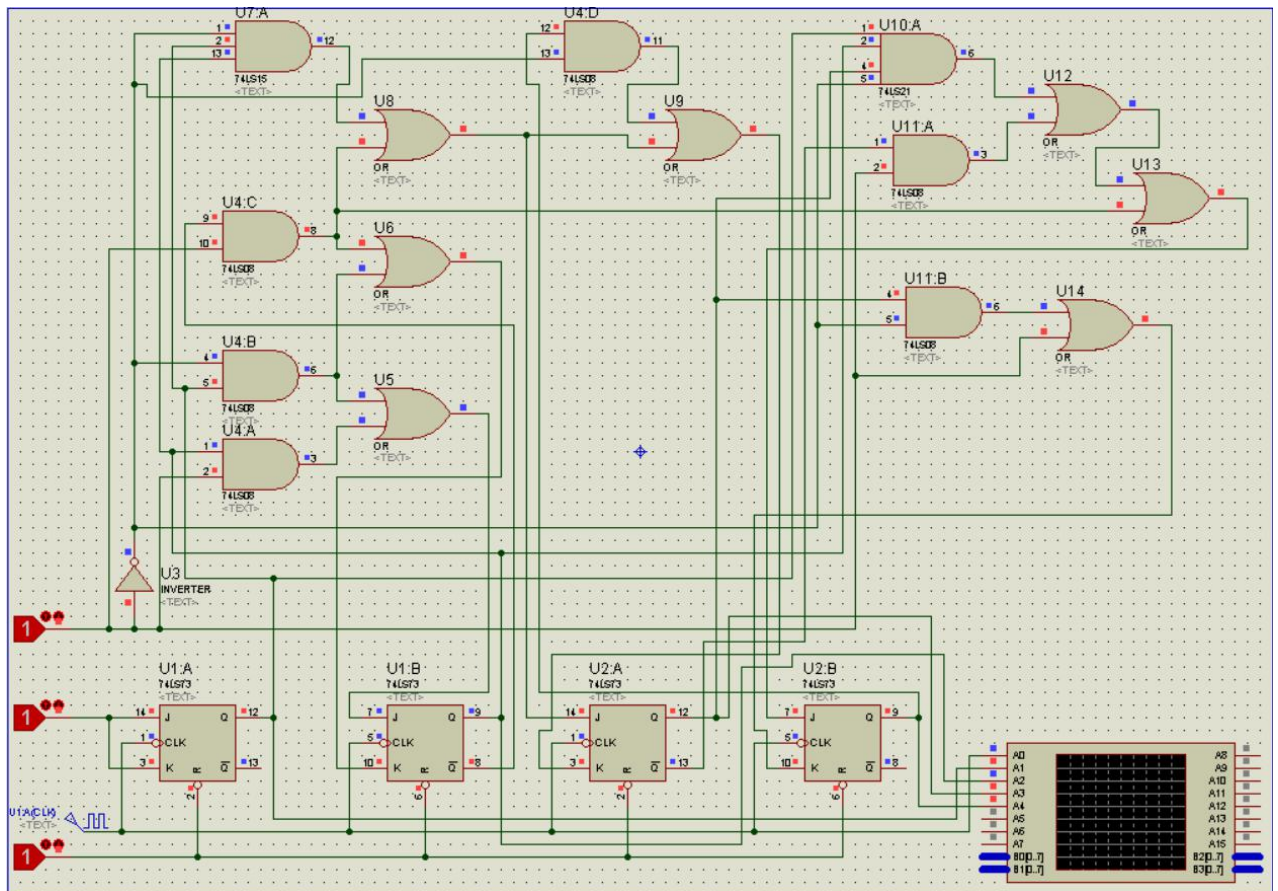
$$K_2 = Q_3\bar{D} + Q_1Q_0\bar{D} + Q_1D;$$

$$J_3 = Q_2Q_1Q_0\bar{D} + Q_1\bar{D} + Q_2D;$$

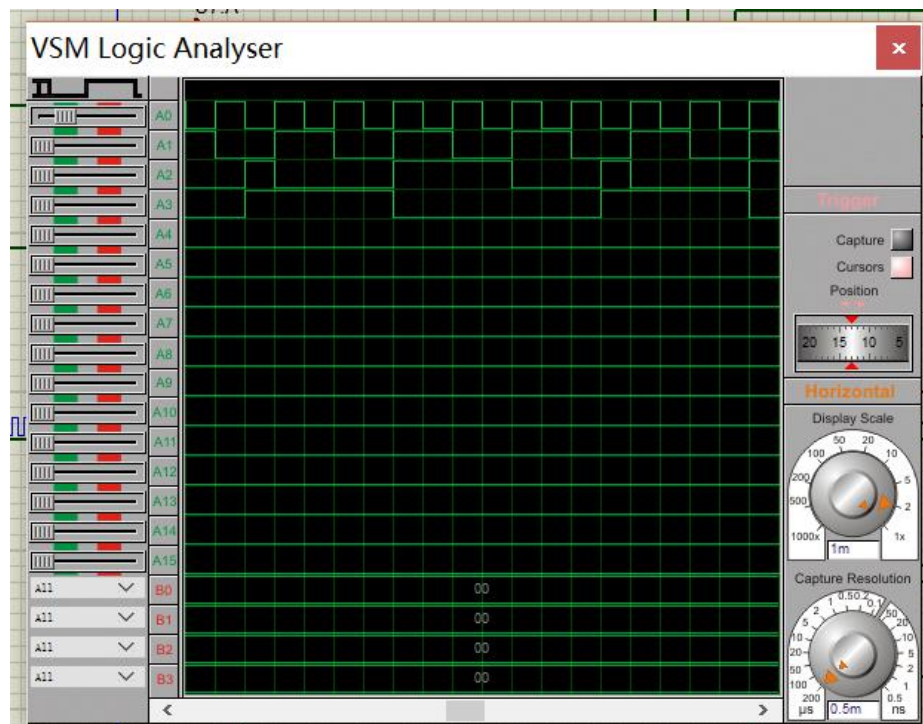


$$K_3 = Q_2D + D;$$

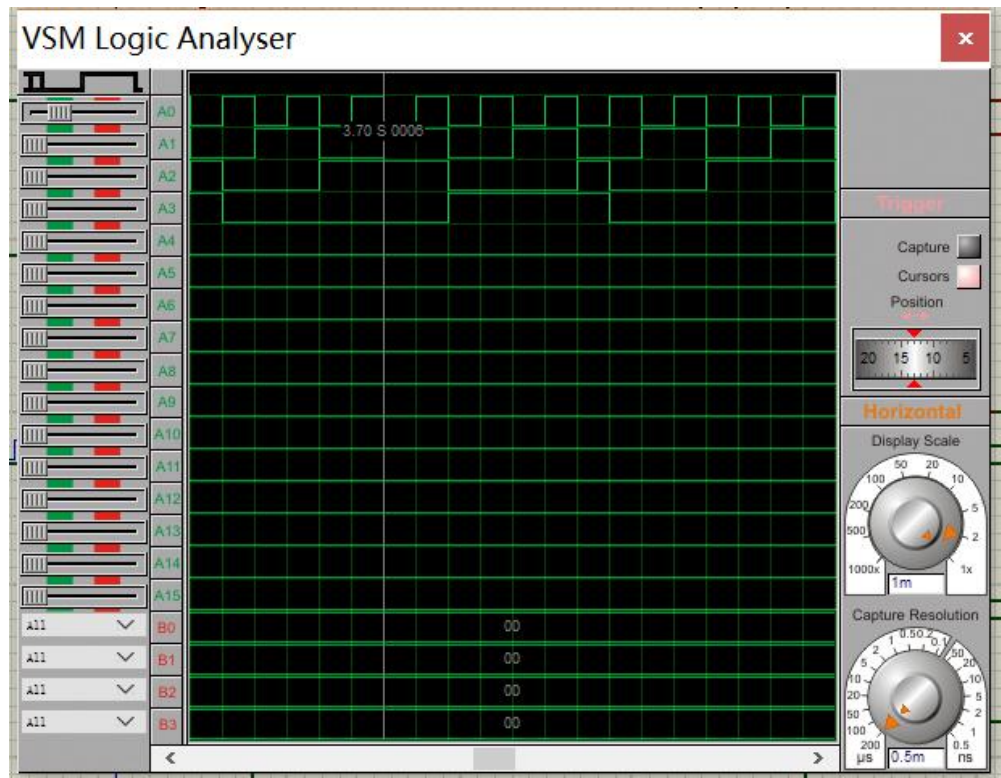
(2) Protues 仿真设计与电路结果:



减法计数器:

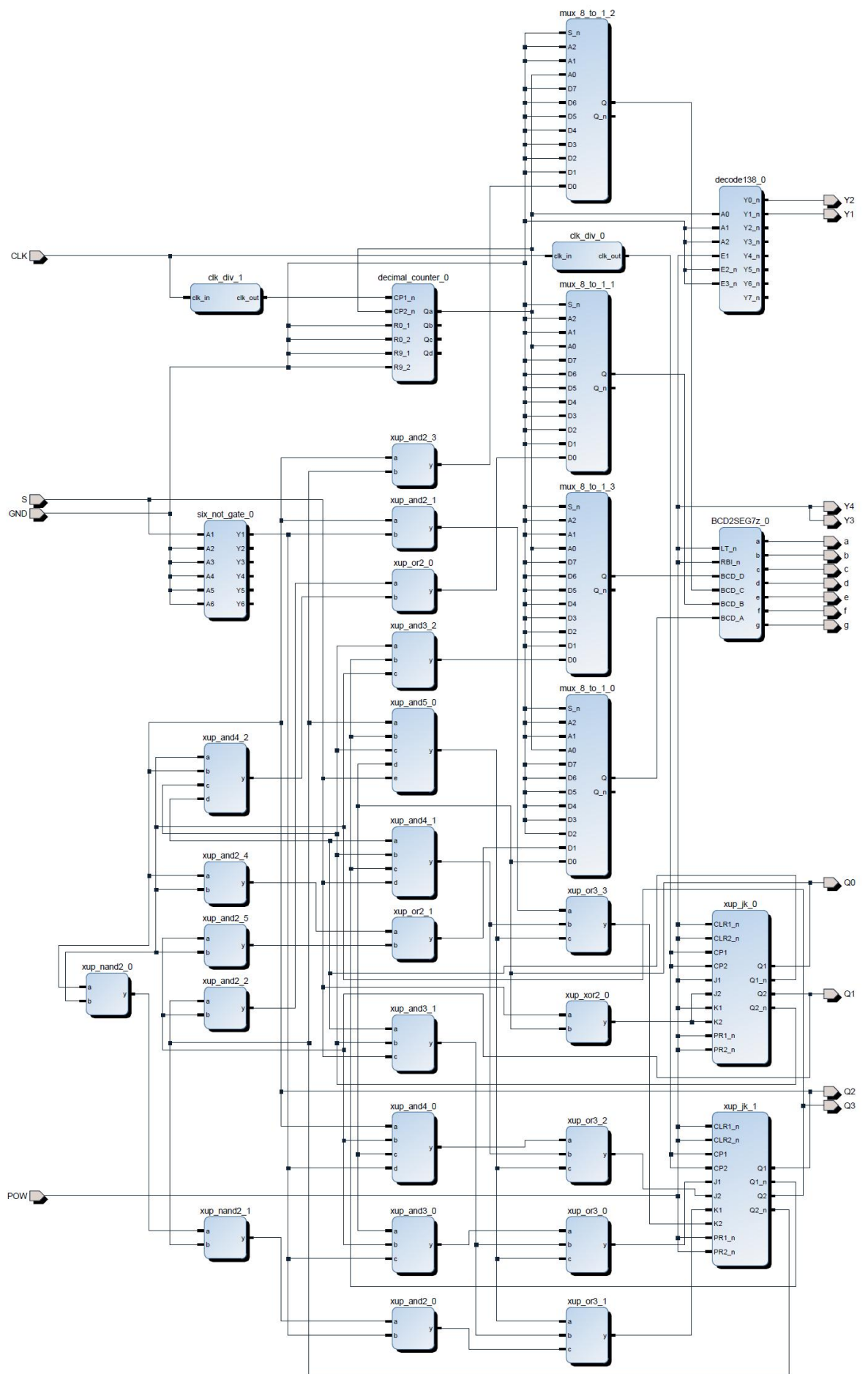


加法计数器:



(3) Vivado BD:





## 五、实验心得

要明确时序逻辑电路的设计顺序，卡诺图的化简要注意不要出错；明确 74LS197、74LS194 的基本功能，以及数据选择器的功能，利用 J-K 触发器模仿实现以上芯片的功能。