

中山大学数据科学与计算机学院本科生实验报告

(2017 学年秋季学期)

课程名称：数字电路与逻辑设计实验 任课教师：保延翔 助教：岳锐

年级&班级	2016 级（1）班	专业(方向)	软件工程
学号	16340041	姓名	陈亚楠
电话	15989010314	Email	chenyn0201@gmail.com
开始日期	2017. 12. 13	完成日期	2017. 12. 14

实验十 计数、译码、显示综合实验

一、实验目的

1. 熟悉中规模集成电路计数器的功能及应用。
2. 熟悉中规模集成电路译码器的功能及应用。
3. 熟悉 LED 数码管及显示电路的工作原理。
4. 学会综合测试的方法。

二、实验仪器及器件

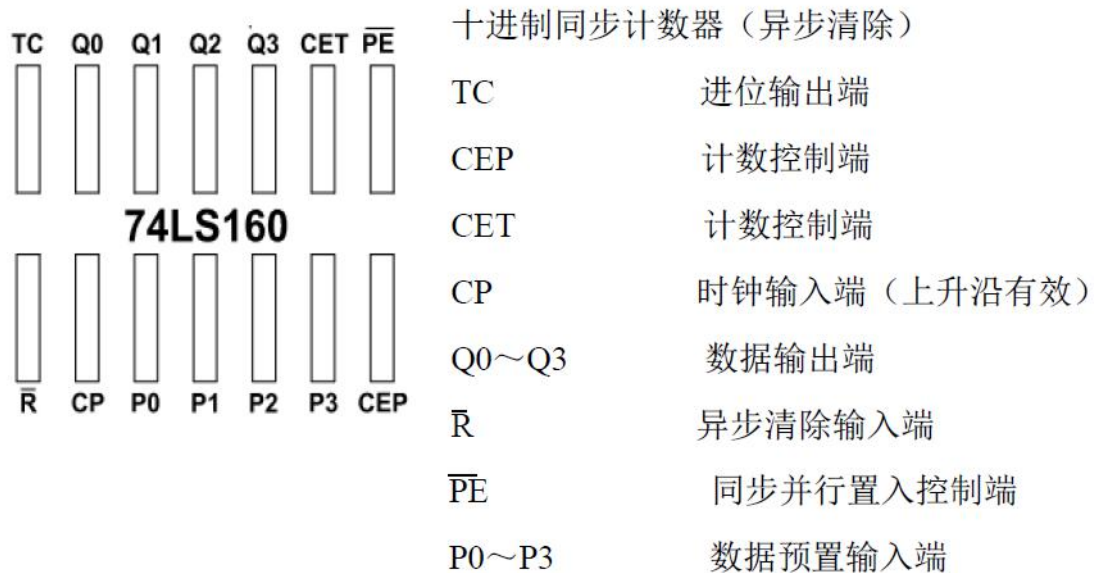
1. 实验箱、万用表、示波器。
2. 74LS160、74LS48、74LS20。

三、实验原理

74LS160 四位十进制同步计数器：

附：74LS160 四位十进制同步计数器逻辑功能（同步置数异步清零）

CP	\overline{RD}	\overline{PE}	CET	CEP	功 能
x	0	x	x	x	清 零
↑	1	0	x	x	置 数
↑	1	1	0	x	保 持
↑	1	1	x	0	保 持（但C=0）
↑	1	1	1	1	计 数



74LS160 是四位十进制同步计数器， Q_3 - Q_0 输出 0-9 的循环计数，且每计数到 10，进位输出端 TC 输出高电平。

同步置数是指当置数条件满足后（ \overline{PE} 为低电平），计数器要等待下一个时钟有效沿（上升沿）到来后 Q_3 - Q_0 才输出 P_3 - P_0 的预置数字。

异步清零是指只要清零条件满足（ \overline{R} 为低电平），计数器不用等待时钟有效沿（上升沿）， Q_3 - Q_0 输出清零。

四、实验内容

使用实验箱上 74LS160 实现一个 60 进制计数器，使用 LED “0-1” 显示器检查计数结果，逻辑分析仪观察并记录十进制计数器和六进制计数器 Q3, Q2, Q1, Q0 和 CP 的时序图，并在 7 段数码管上显示计数结果。

1. 采用同步置数方式：

(1) 设计流程：

①使能端、进位：

要实现一个 60 进制计数器，需要使用两个 74LS160 芯片，其中一个芯片负责十位数字显示，一个芯片负责个位显示；为使得两个芯片均能够正常计数，连接个位显示芯片 CEP、CET 两个端口为高电平，连接个位显示芯片进位输出 TC 端口与十位显示芯片 CET、CEP 端口，实现进位功能；

②时钟信号：

连接两个芯片的 CP 端口与连续脉冲，使用 LED “0-1” 显示器与 BCD 数码管显示时控制脉冲频率为 1Hz，当连接示波器获取波形图时控制频率为 1kHz；

③清零：

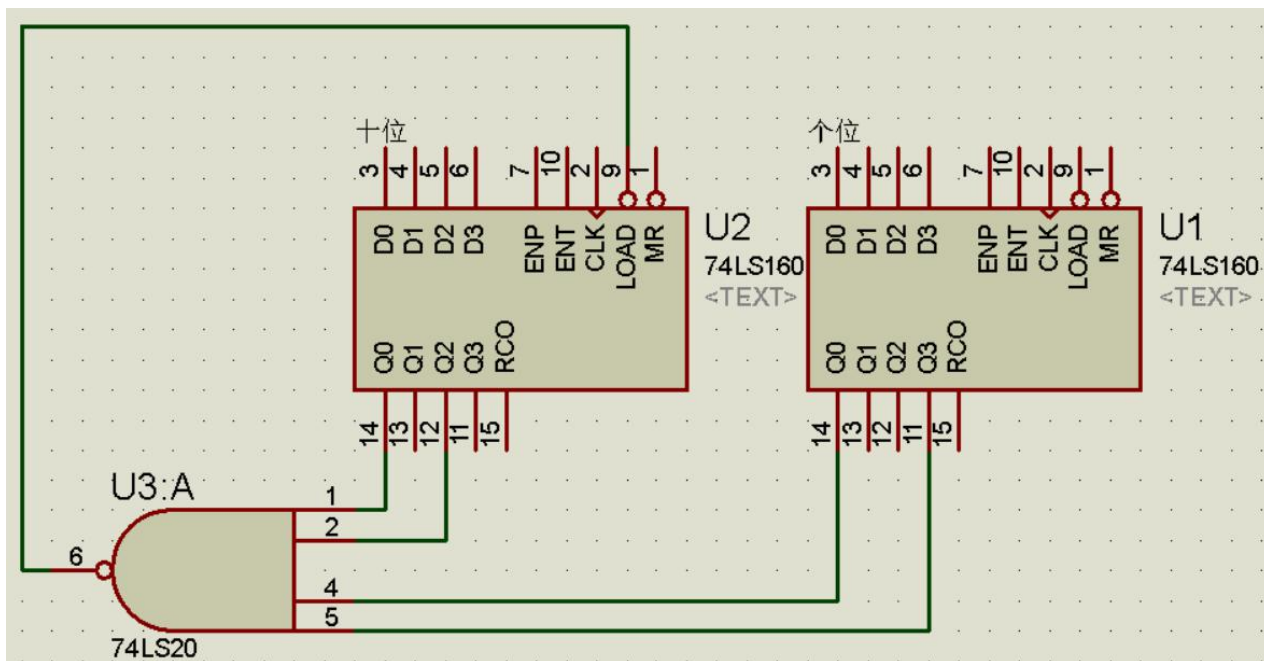
连接两个芯片的 \bar{R} 接口与实验箱上的负脉冲，使得当计数器计数至任意位置时我们均可以控制计数从 0 重新开始，需要注意的是，在计数器正常工作时， \bar{R} 端应保持高电平；

④预置数据设置：

采用同步置数方式时，由于个位显示芯片在计数至 9 后会自动归为 0，所以个位显示芯片 P_0-P_3 数据输入预置端无需接入预置数据；十位显示芯片在计数至 59 之后下一个时钟上升沿到来瞬间十位数字马上预置为 0，因此十位显示芯片数据预置输入端 P_0-P_3 均接低电平；

⑤同步并行置入控制端 \overline{PE} 控制电路设计:

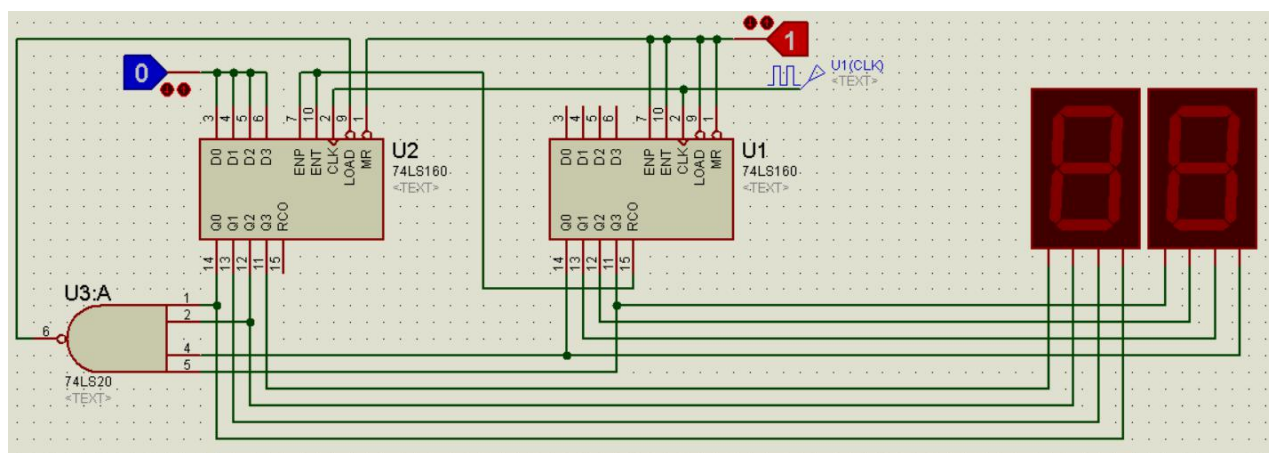
采用同步置数方式时，由于要等到下一个时钟上升沿到来之时才能置数，因此 \overline{PE} 控制电路要在判断当前计数为 59 时输出低电平至十位显示芯片的 \overline{PE} 端口（74LS160 芯片 0-9 循环，在本例中无需置零），从而达到同步置数清零的目的；

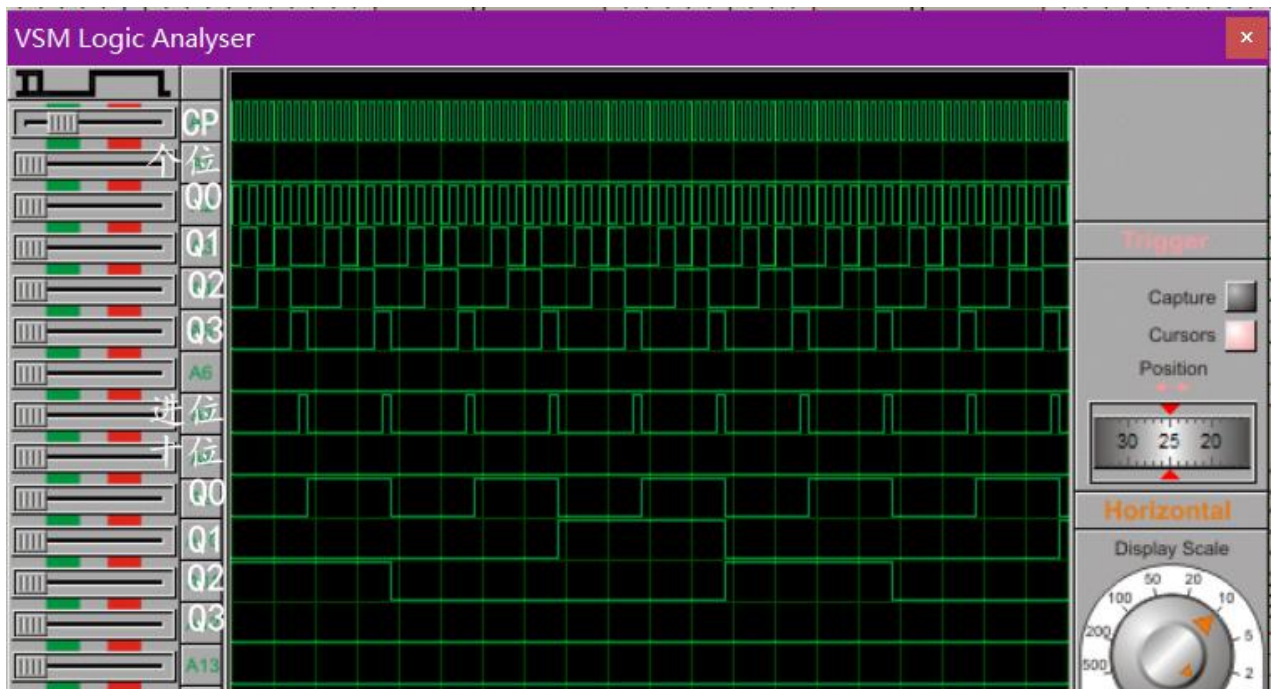


⑥结果显示:

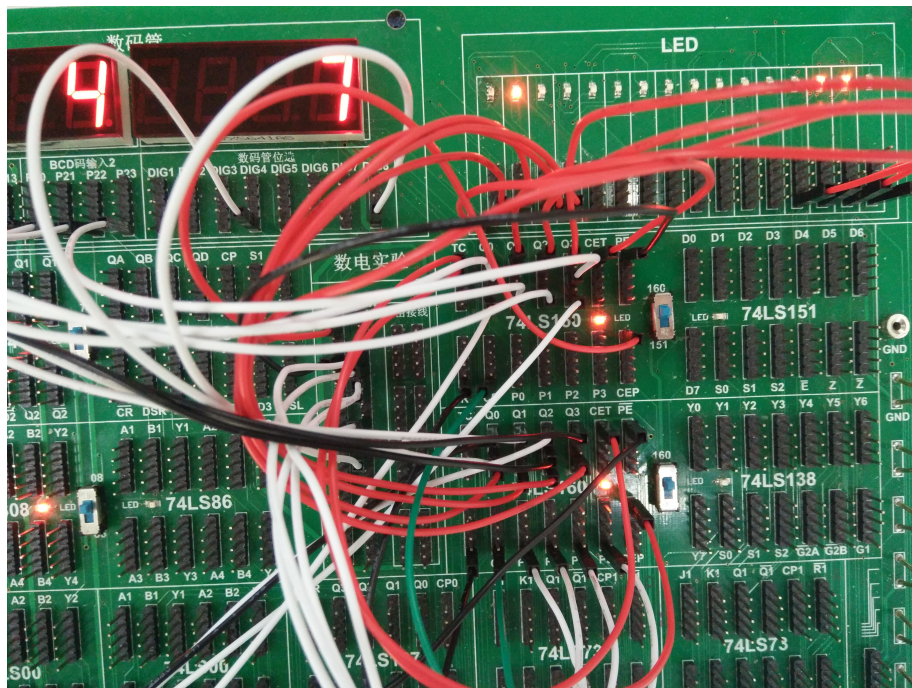
连接两个芯片的数据输出端 Q_0-Q_3 与 LED “0-1” 显示器、七段数码管显示、示波器，观察结果。

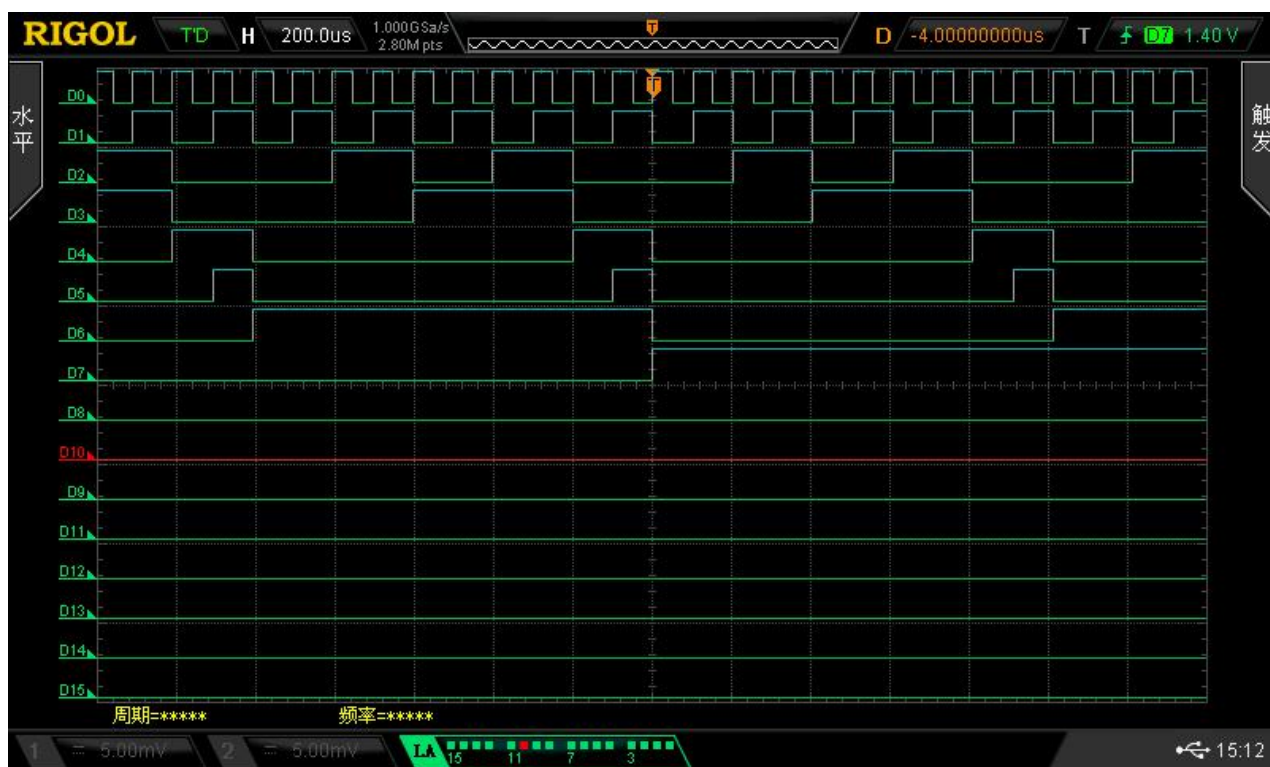
(2) Protues 仿真设计与电路结果:





(3) 实验箱静态、动态测试步骤和结果:





2. 采用异步清零方式:

(1) 设计流程:

①使能端、进位:

要实现一个 60 进制计数器，需要使用两个 74LS160 芯片，其中一个芯片负责十位数字显示，一个芯片负责个位显示；为使得两个芯片均能够正常计数，连接个位显示芯片 CEP、CET 两个端口为高电平，连接个位显示芯片进位输出 TC 端口与十位显示芯片 CET、CEP 端口，实现进位功能；

②时钟信号:

连接两个芯片的 CP 端口与连续脉冲，使用 LED “0-1” 显示器与 BCD 数码管显示时控制脉冲频率为 1Hz，当连接示波器获取波形图时控制频率为 1kHz；

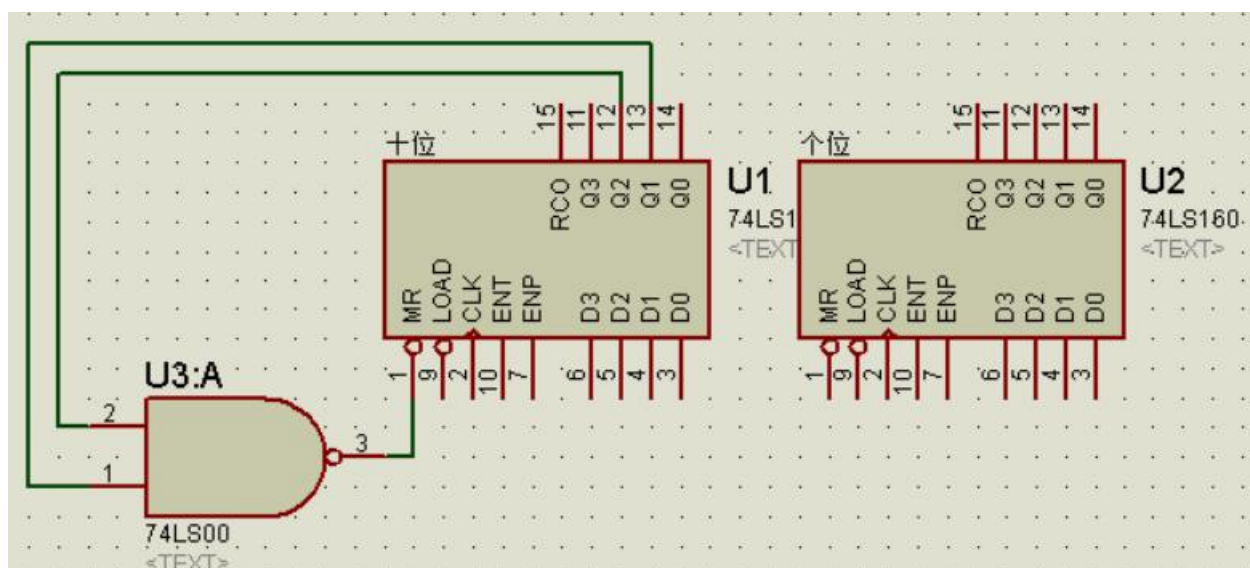
③置数:

连接两个芯片的 \overline{PE} 接口与实验箱上的负脉冲，并且连接两个芯片的预置

数据输入端均为低电平，使得当计数器计数至任意位置时我们均可以控制计数从 0 重新开始，需要注意的是，此时，置数操作为同步置数，会在下一个时钟上升沿到来时完成置数操作，而且在计数器正常工作时， \overline{PE} 端应保持高电平；

④异步清除输入端 \overline{R} 控制电路设计：

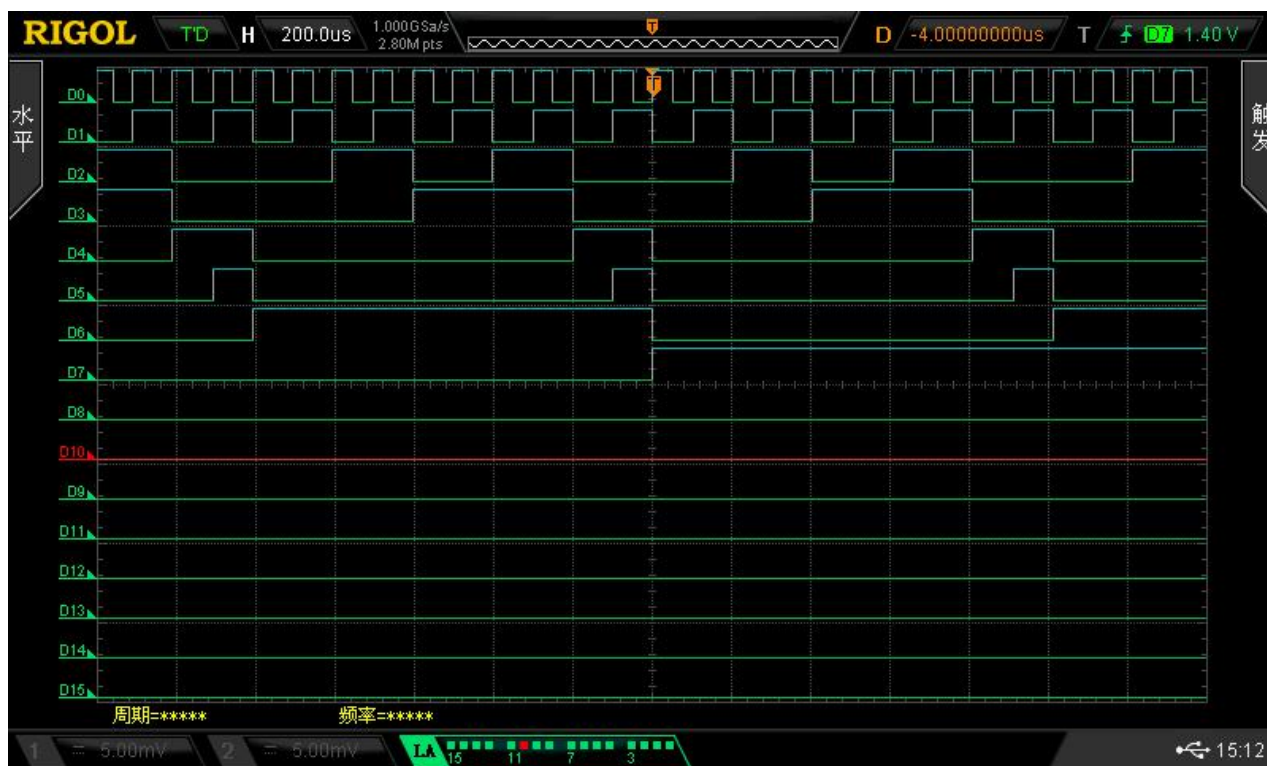
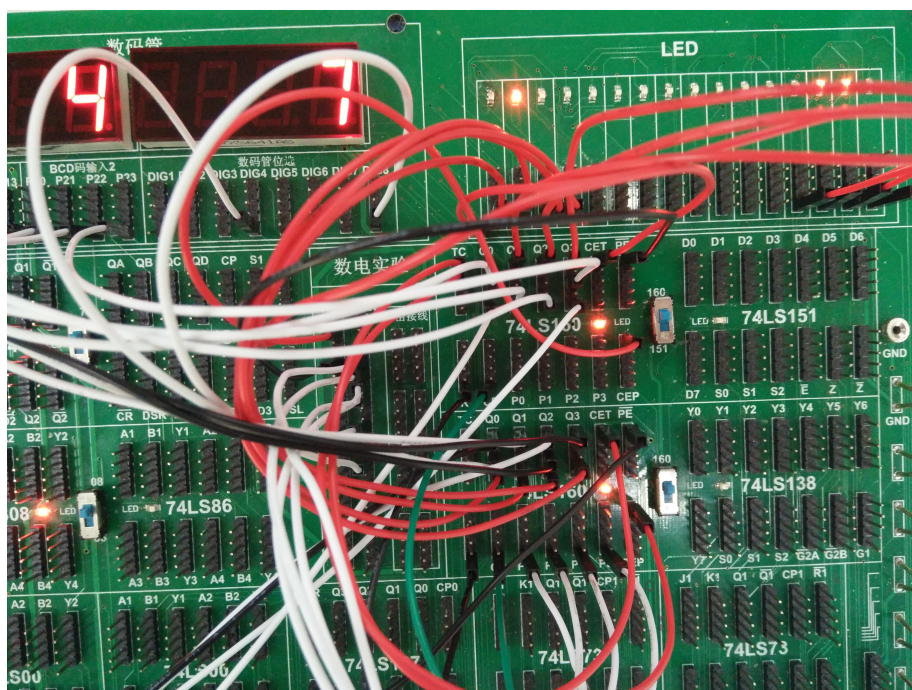
采用异步清零方式时，由于该方式不需要等到下一个时钟上升沿到来之时就可完成清零操作，因此控制电路要在判断当前计数为 60 时输出低电平至十位显示芯片的 \overline{R} 端口，从而达到异步清零的目的；



⑤结果显示：

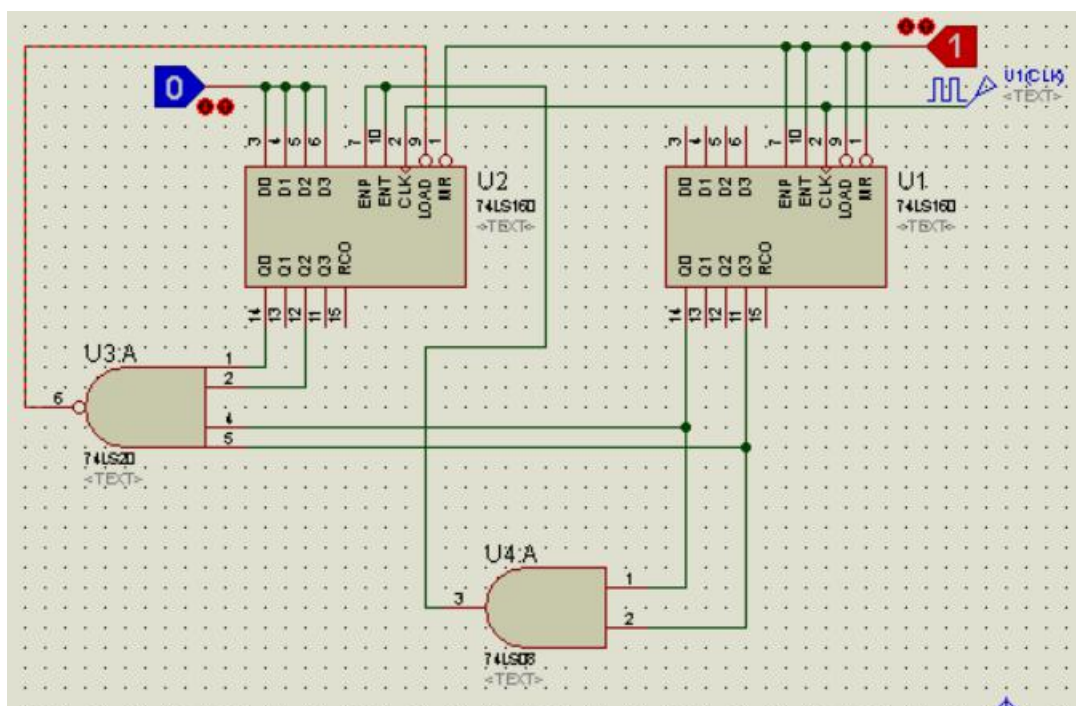
连接两个芯片的数据输出端 Q_0-Q_3 与 LED “0-1” 显示器、七段数码管显示、示波器，观察结果。

(2) Protues 仿真设计与电路结果：



3. 关于进位:

在本实验中，除了使用 74LS160 本身的进位输出之外，我们还可以使用芯片的同步置数功能实现进位。实验中，个位显示芯片在检测到 9 之后，向十位显示芯片的计数控制端输出高电平，使得十位显示芯片进入计数状态，实现进位：



五、实验心得

设计 60 进制同步计数器电路时，同步置数方法是在下一个时钟上升沿到来时才会完成置数，因此在设计控制电路时是计数至 59 时十位显示芯片 \overline{PE} 端变为低电平，而异步清零方法的清零操作与时钟信号无关，因此在设计控制电路时是计数至 60 时十位显示芯片 \overline{R} 端变为低电平；同步置数方法本身的延迟时间对实验结果无影响，而异步清零方法本身的延迟时间对实验结果会有影响，但由于时间太短，在本次实验的宏观结果中不会表现出来。