

中山大学数据科学与计算机学院本科生实验报告

(2017 学年秋季学期)

课程名称：数字电路与逻辑设计实验 任课教师：保延翔 助教：岳锐

年级&班级	2016 级（1）班	专业(方向)	软件工程
学号	16340041	姓名	陈亚楠
电话	15989010314	Email	chenyn0201@gmail.com
开始日期	2017. 12. 18	完成日期	2017. 12. 22

综合作业 时钟设计

一、实验目的

1. 熟悉中规模集成电路计数器的功能及应用。
2. 熟悉中规模集成电路译码器的功能及应用。
3. 熟悉数据选择器的功能及应用。
4. 熟悉 LED 数码管及显示电路的工作原理。
5. 学会综合测试的方法。

二、实验仪器及器件

74LS160、74LS48、74LS20、74LS138、74LS153、J-K 触发器等。

三、实验原理

1. 利用 74LS160 集成计数器实现任意进制计数器；
2. 利用 74LS73 J-K 触发器实现状态机并实现闪烁调整功能；

四、实验内容

1. 设计流程：

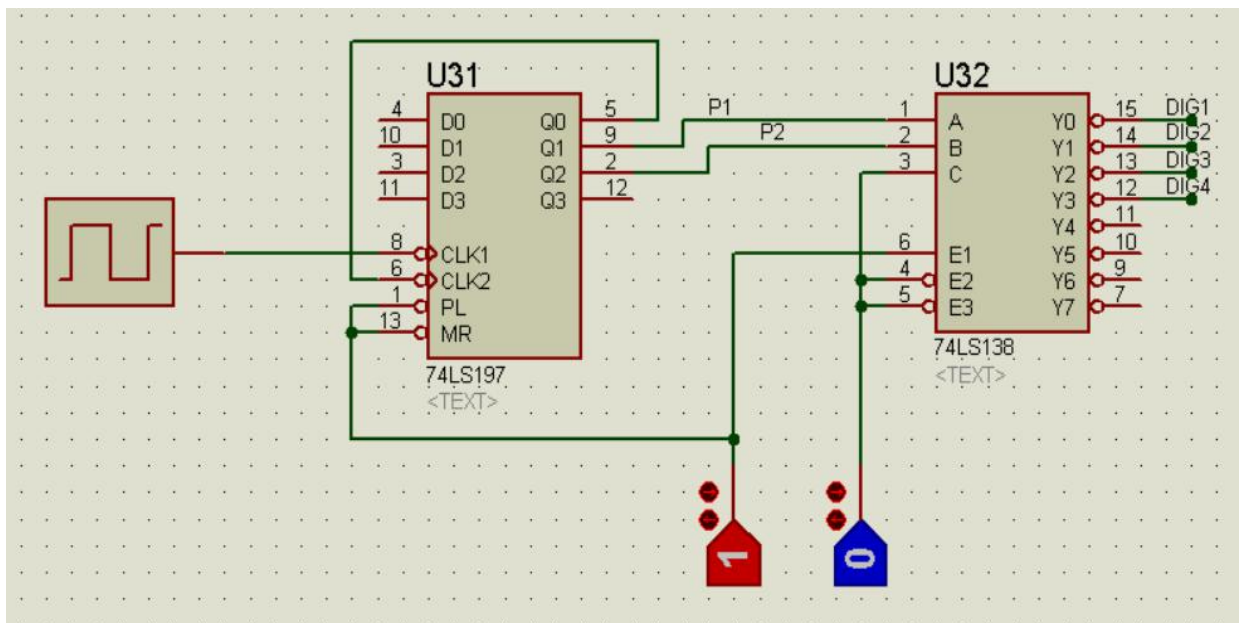
（1）年、月、日、时、分五个状态计数器实现：

在本实验中，采用 74LS160 集成计数器来实现不同状态的计数器，实验

中的所有计数器采用同步置数的清零方式，因此所有 74LS160 芯片清零端均接高电平，并且所有计数器接入统一的时钟信号；

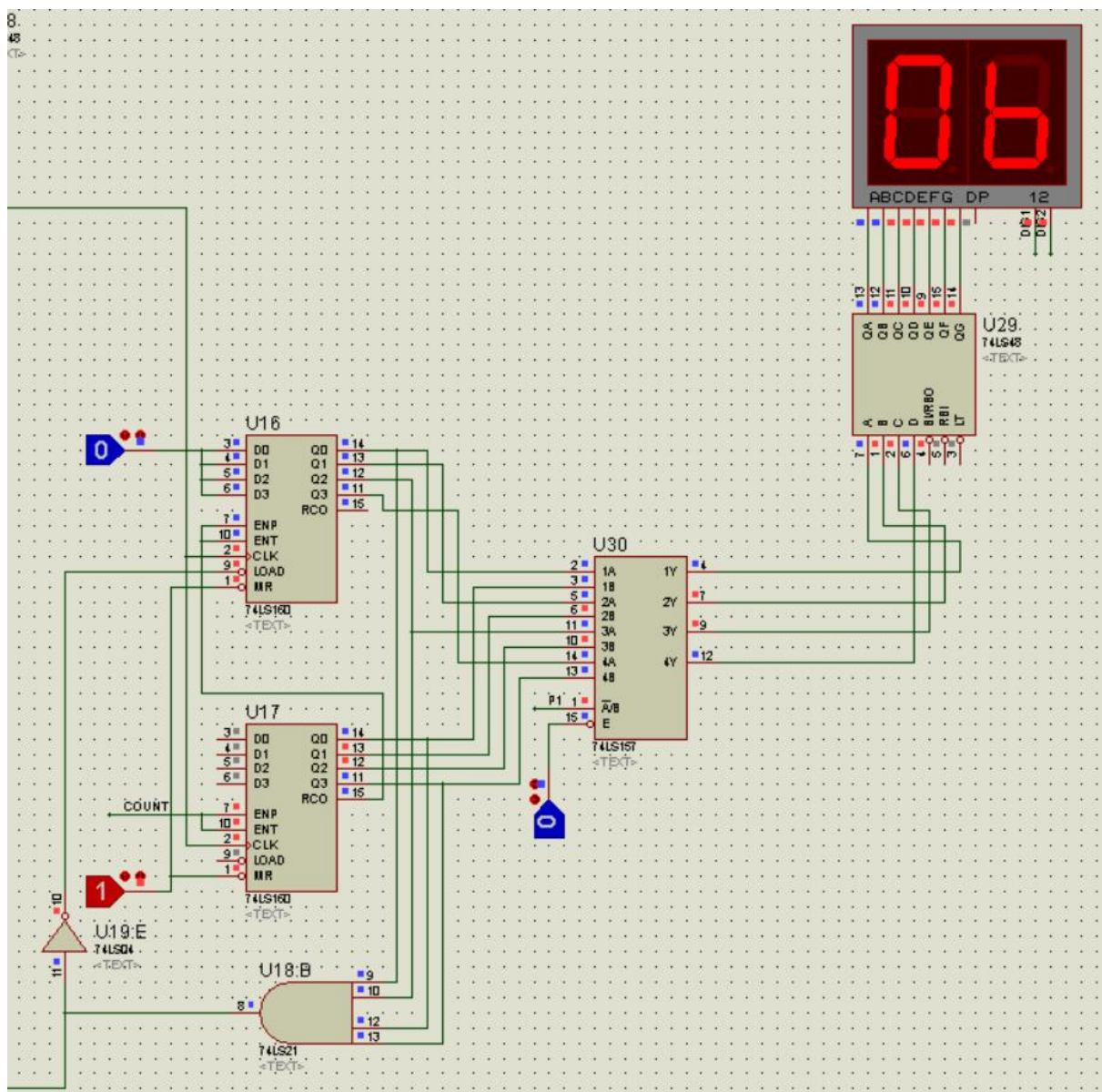
同一个状态芯片之间的进位由 74LS160 芯片本身的进位端实现，而不同状态之间的进位由模决定的逻辑门的高低电平输出控制下一个状态的使能端工作，从而实现不同状态之间的进位；

每个状态 74LS160 芯片的输出连接 74LS 系列数据选择器，将选择的结果送至 74LS48 数据输入端，进而通过 7 段数码管显示；在实验中，要求四位 7 段数码管每个位置几乎同时显示，因此，我们使用 74LS197 芯片实现一个四进制计数器，并通过 74LS138 芯片与四位 7 段数码管的的位选端连接，通过将 74LS197 芯片的时钟频率设置为高，根据视觉暂留原理，实现四位 7 段数码管同时显示的效果。



①模为 60 的秒状态计时与显示电路设计：

由于采用同步置数的清零方式，设计逻辑门电路当计数至 59 时高位清零端接入低电平有效，实现清零；并且当计数至 59 时逻辑门电路输出高电平驱动分状态计时，实现由秒到分的进位。



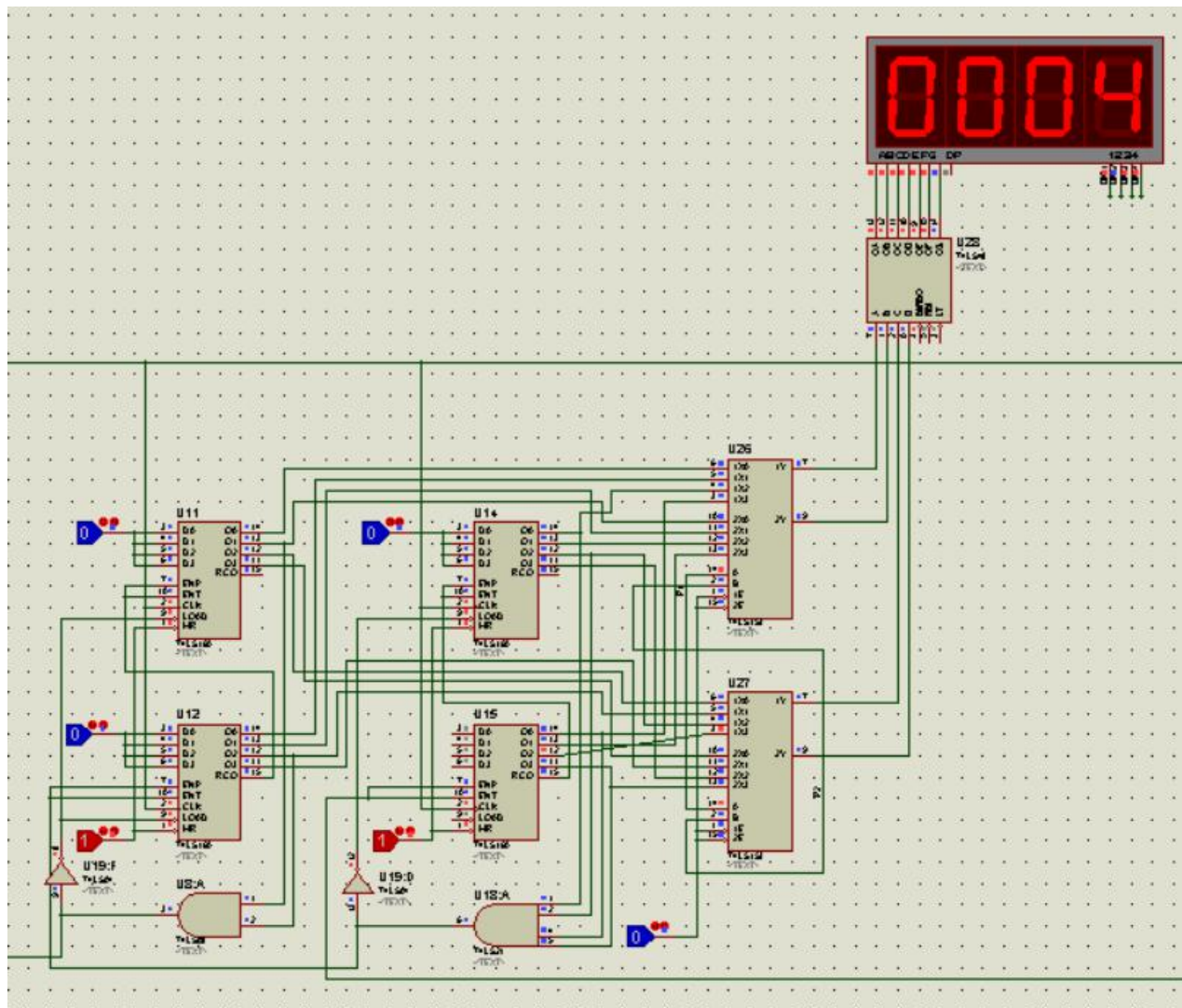
②模为 60 的分状态计时与显示电路设计：

由于采用同步置数的清零方式，设计逻辑门电路当计数至 59 时高位清零端接入低电平有效，实现清零；并且当计数至 59 时逻辑门电路输出高电平驱动时状态计时，实现由分到时的进位。

③模为 24 的时状态计时与显示电路设计：

由于采用同步置数的清零方式，设计逻辑门电路当计数至 23 时高位清零端接入低电平有效，实现清零；并且当计数至 23 时逻辑门电路输出高电平驱动日状态计时，实现由时到日的进位。

由于设计实验的时候时与分两个状态在同一个四位数码管上显示，因此采用了两个 74LS153 双四选一数据选择器将构成时、分的四个 74LS160 芯片的输出结果选择输出，显示在数码管上。



④模为 30 的日状态计时与显示电路设计：

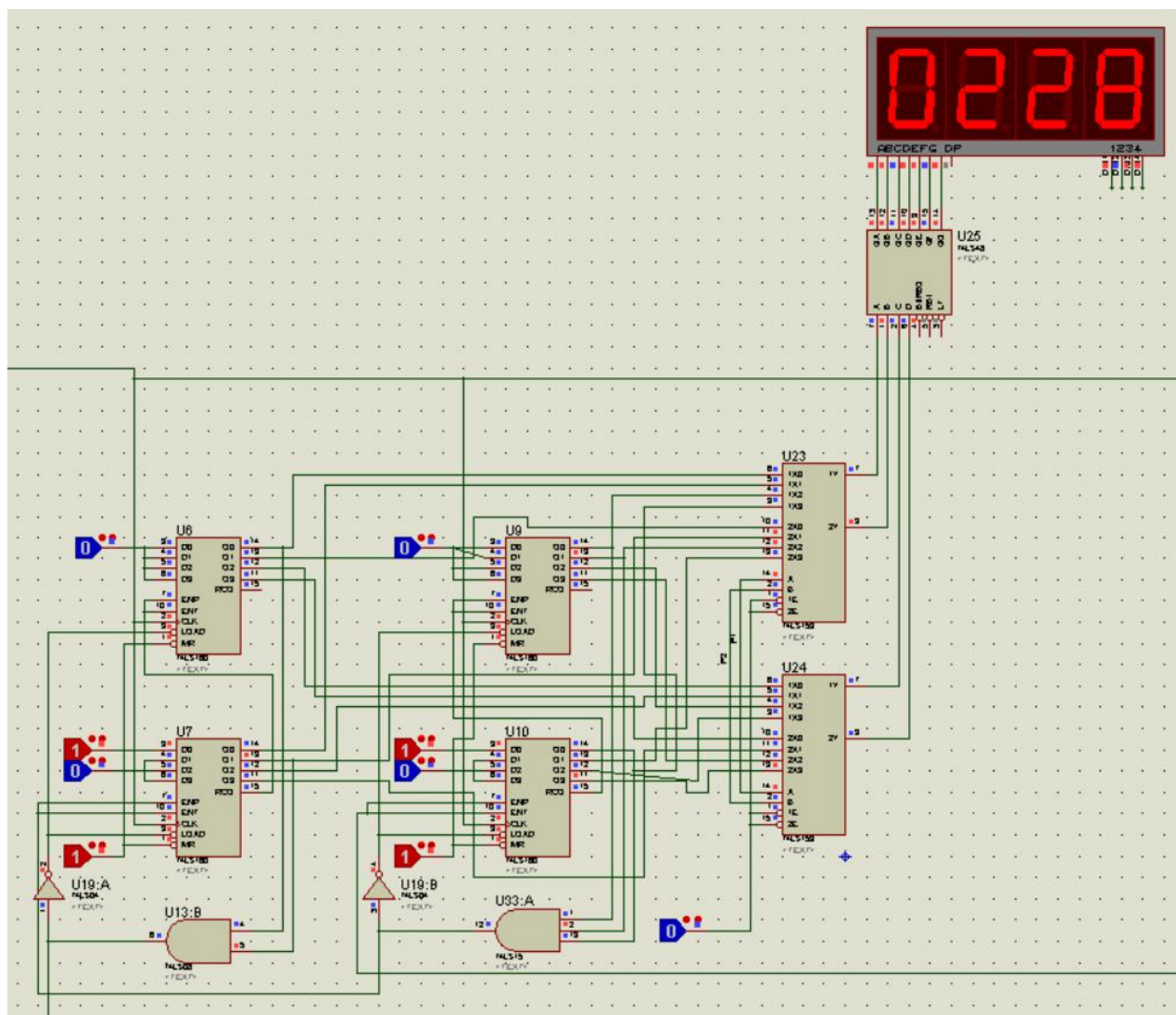
根据真实生活日状态的显示应该为 1-30，因此设计逻辑门电路当计数至 30 并显示 30 时高位清零端接入低电平有效，实现清零，注意此时，日状态的初始状态显示应为 1，否则真正的计时将为 31 天；并且当计数至 30 时逻辑门电路输出高电平驱动月状态计时，实现由日到月的进位。

⑤模为 12 的月状态计时与显示电路设计：

根据真实生活月状态的显示应该为 1-12，因此设计逻辑门电路当计数至

12 并显示 12 时高位清零端接入低电平有效，实现清零，注意此时，月状态的初始状态显示应为 1，否则真正的计时将为 13 个月；并且当计数至 12 时逻辑门电路输出高电平驱动年状态计时，实现由月到年的进位。

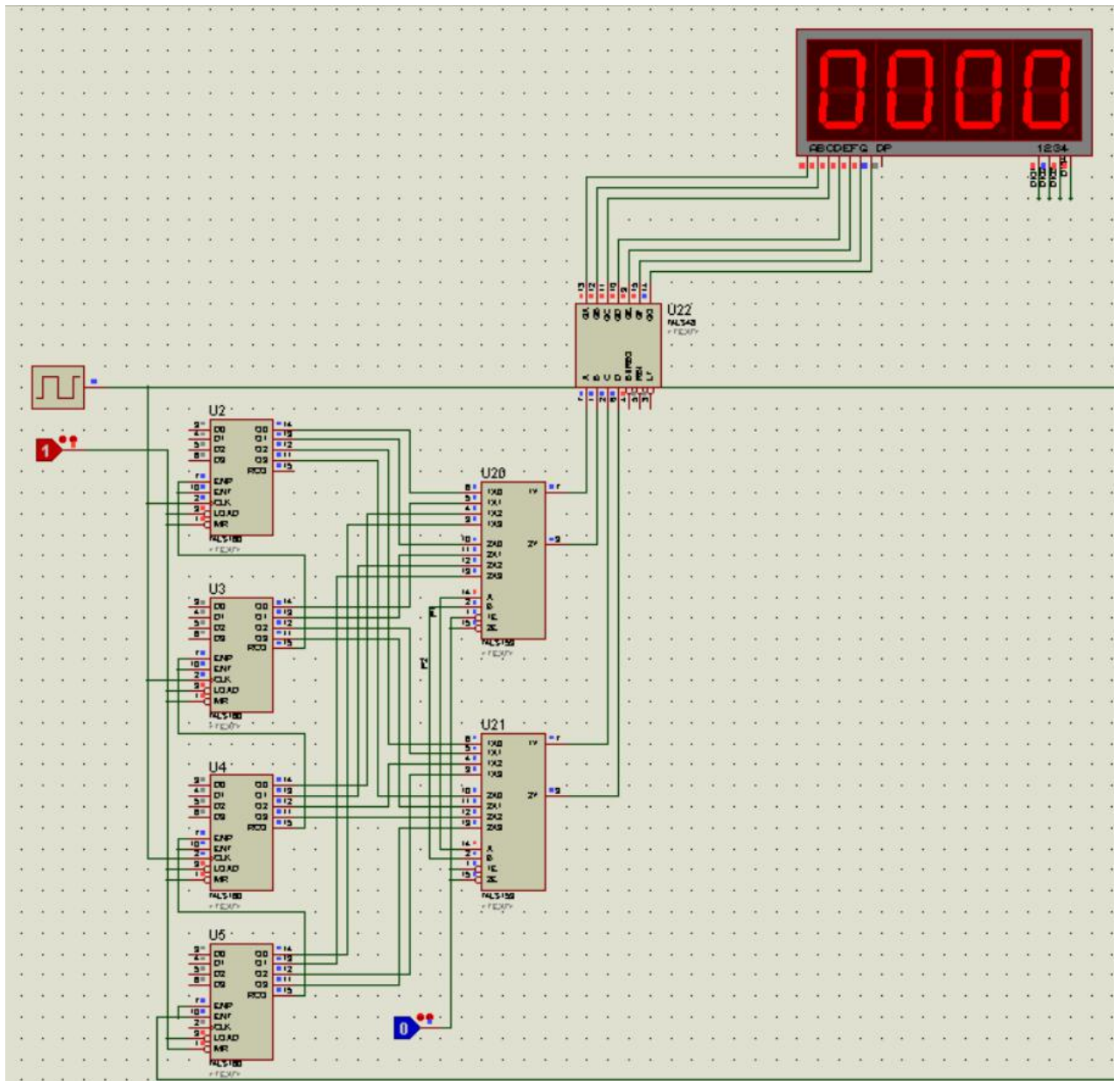
由于设计实验的时候月与日两个状态在同一个四位数码管上显示，因此采用了两个 74LS153 双四选一数据选择器将构成月、日的四个 74LS160 芯片的输出结果选择输出，显示在数码管上。



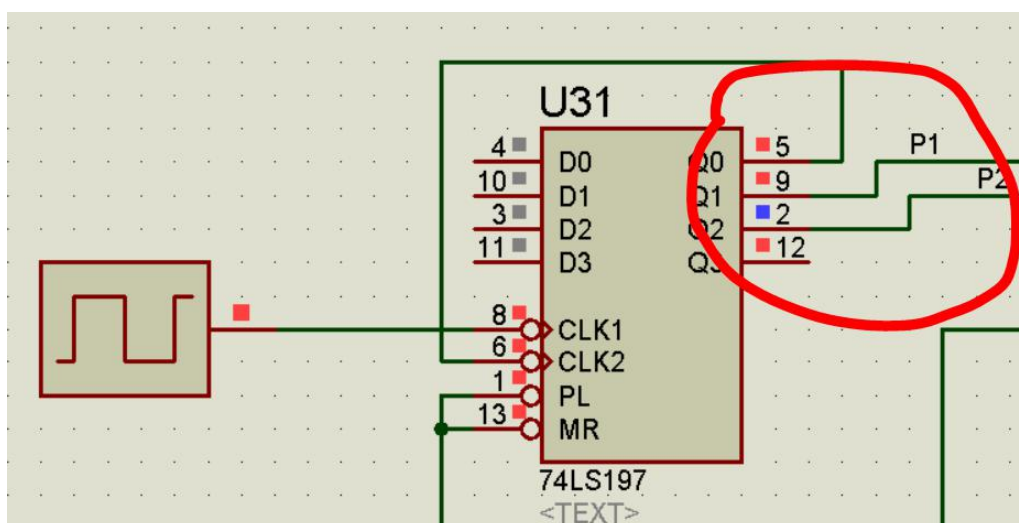
⑥年状态计时与显示电路设计：

由于年状态并无大小的具体规定，因而年状态仅需将四个 74LS160 芯片级联形成一个 9999 进制的计数器即可，并由两个 74LS153 双四选一数据选

择器将年状态输出结果选择输出，显示在数码管上。



注意，在上述实验操作中，数据选择器选择状态的切换由 74LS197 设计形成的计数器的 Q2、Q1 输出决定切换：



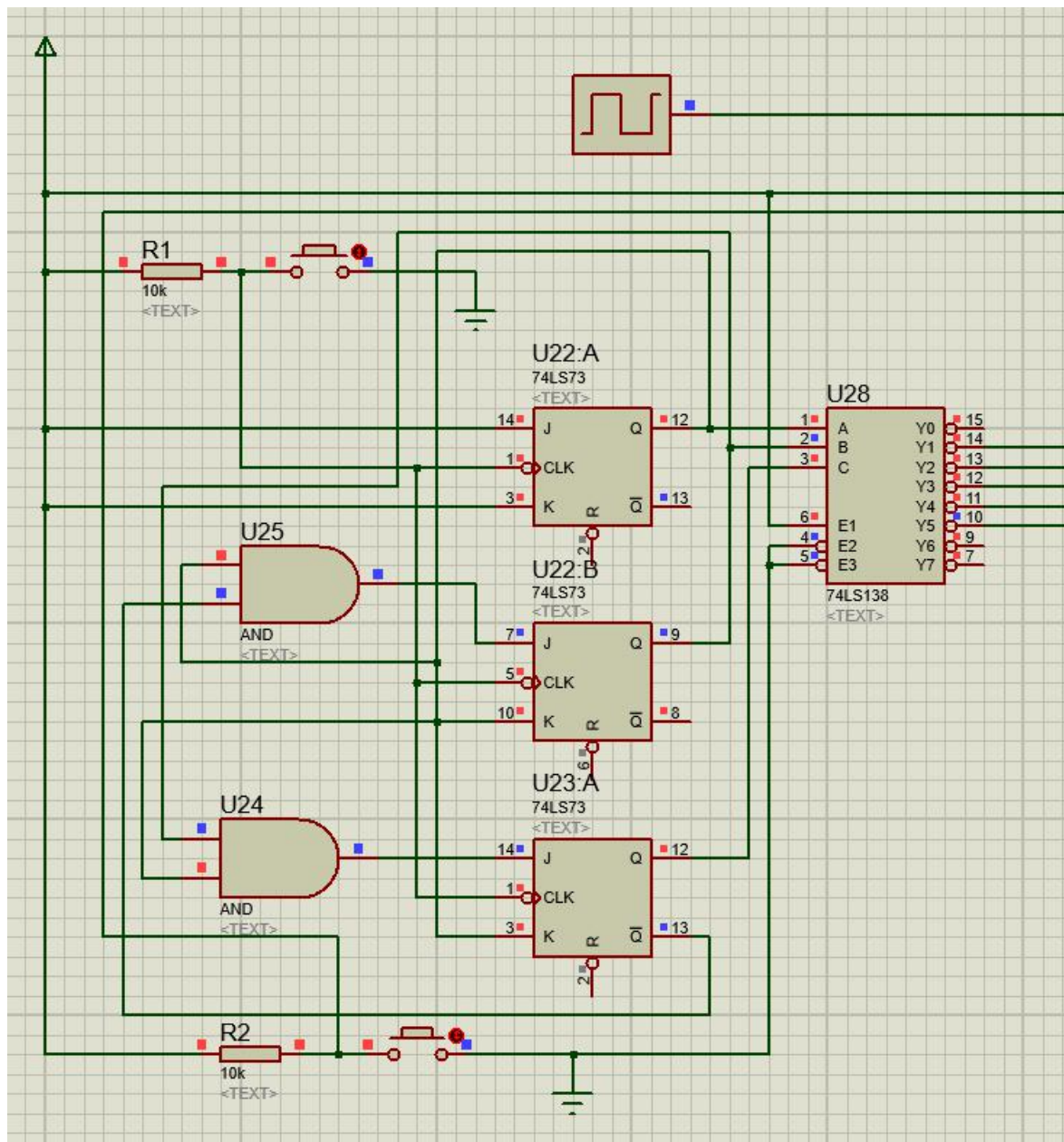
(2) J-K 触发器实现状态机并实现闪烁调整功能：

在本次实验中，整体有两个功能：Mode 与 Adjust。Mode 决定时钟正常计数、分闪烁、时闪烁、日闪烁、月闪烁、年闪烁六个状态，Adjust 即为时钟的调整模式，Adjust 按钮每被点击一次计数加一。

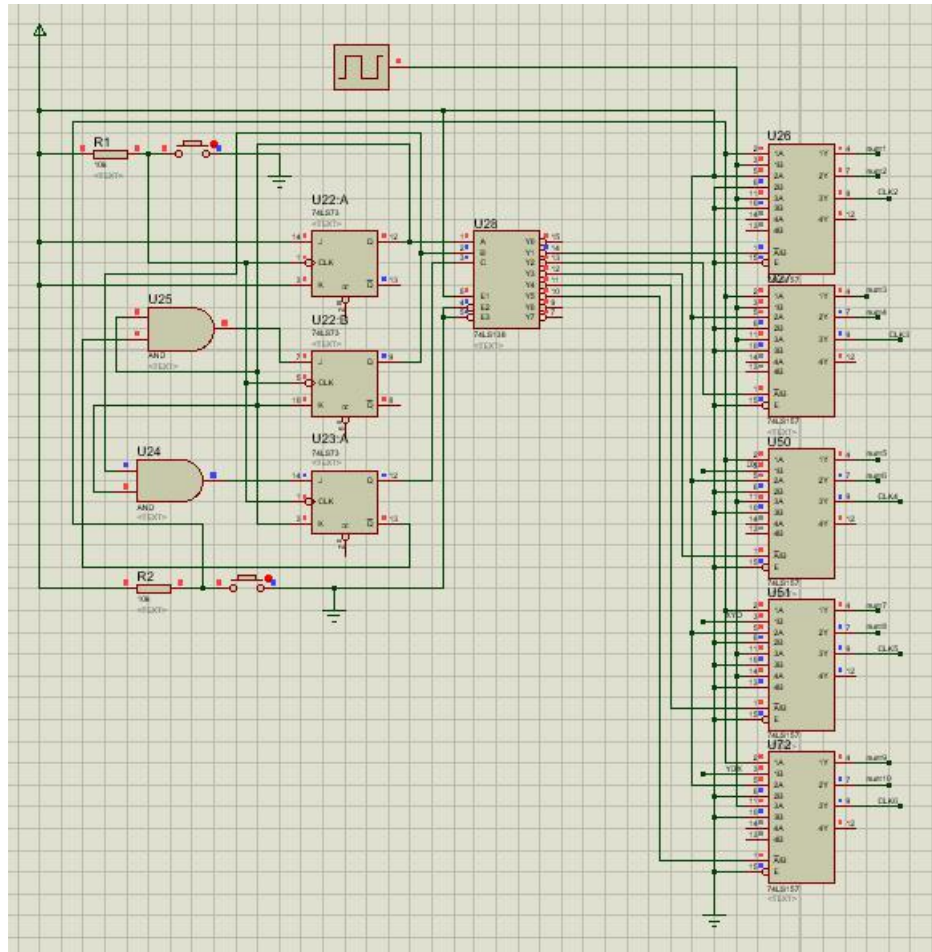
Mode 功能是一个 6 状态的状态机，由 3 个 J-K 触发器实现。

"S0"	"000"	"正常计数"
"S1"	"001"	"分闪烁"
"S2"	"010"	"时闪烁"
"S3"	"011"	"日闪烁"
"S4"	"100"	"月闪烁"
"S5"	"101"	"年闪烁"

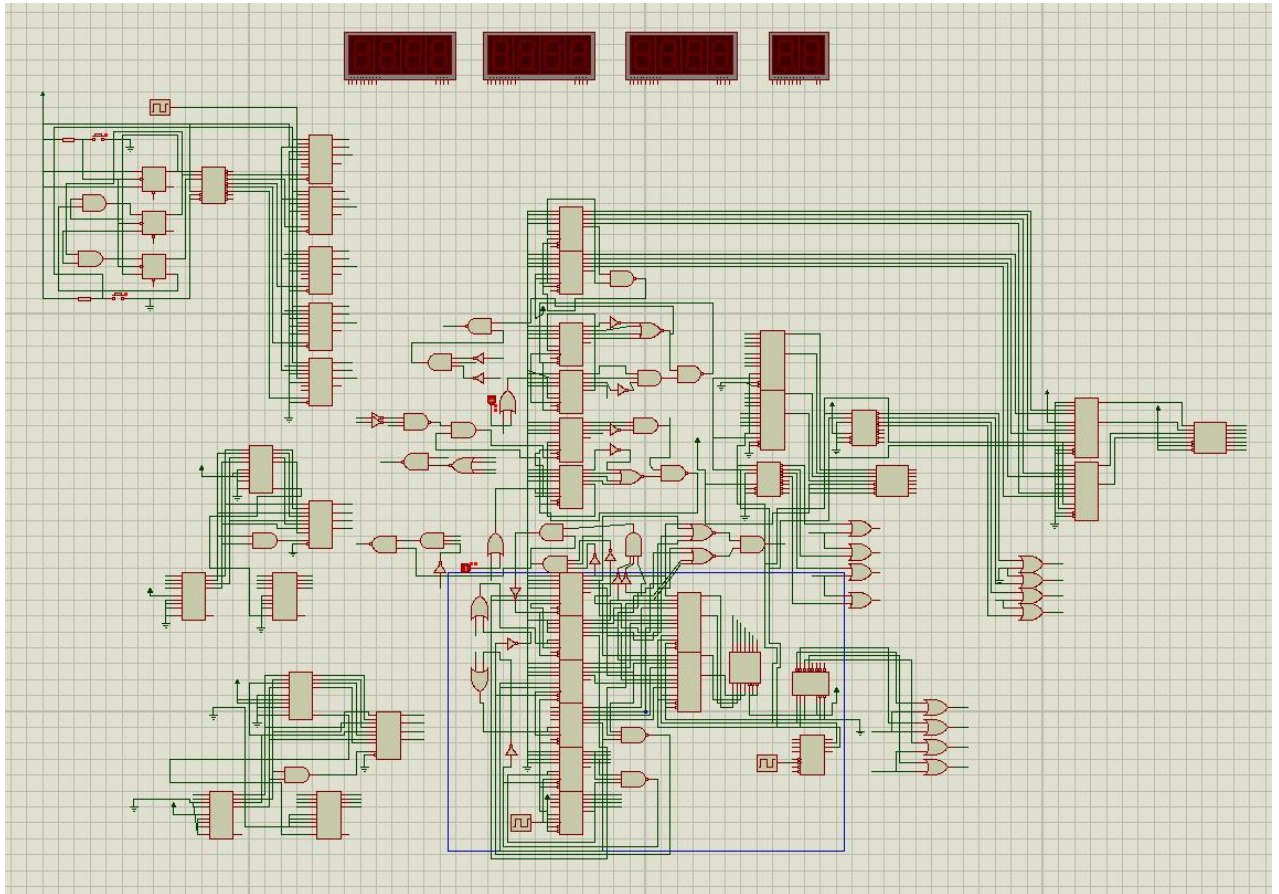
根据状态表写出驱动方程，连接电路得：



实现闪烁功能时，是将上图中 74LS138 的输出与 74LS157 的选择输入相连接，并在 74LS157 输入上介入低频时钟、高电平与手动脉冲，通过 74LS157 的时钟与高电平的选择以及电路中的或门逻辑实现闪烁功能，通过手动脉冲实现调整计数加一功能。



2. Protues 仿真电路：



五、实验心得

在这次实验中，虽然完成了基本的时钟功能，但在这个过程中仍然有待解决的问题，即在实现月、日这样的并不是从 0 开始计数的状态，如何预置初始为 1；还有更复杂的涉及到闰年、月份天数并非都是 30 天这样的问题该怎样解决。在这次实验中时钟贯穿了由小及大的思想，当我们明白分秒时钟计数、闪烁、调整的具体实现后，就可以将这种方法应用到整个时钟功能的实现。除了 Protues 仿真，使用 verilog 语言实现时钟的时候仍有许多问题，主要个人对 verilog 语言还是不熟悉，各种问题，革命尚未成功，同志继续努力吧。