

## 实验六 利用MSI设计组合逻辑电路

要求：内容1、内容2、内容3 做完要分别检查。

## 内容1:

## 1、原理

$$F_0 = \overline{A} \overline{B} \overline{C} \overline{D}$$

$$F_1 = \overline{A} \overline{B} C \overline{D}$$

$$F_2 = \overline{A} B \overline{C} D$$

$$F_3 = \overline{A} B C \overline{D}$$

$$F_4 = A \overline{B} \overline{C} \overline{D}$$

$$F_5 = A \overline{B} C \overline{D}$$

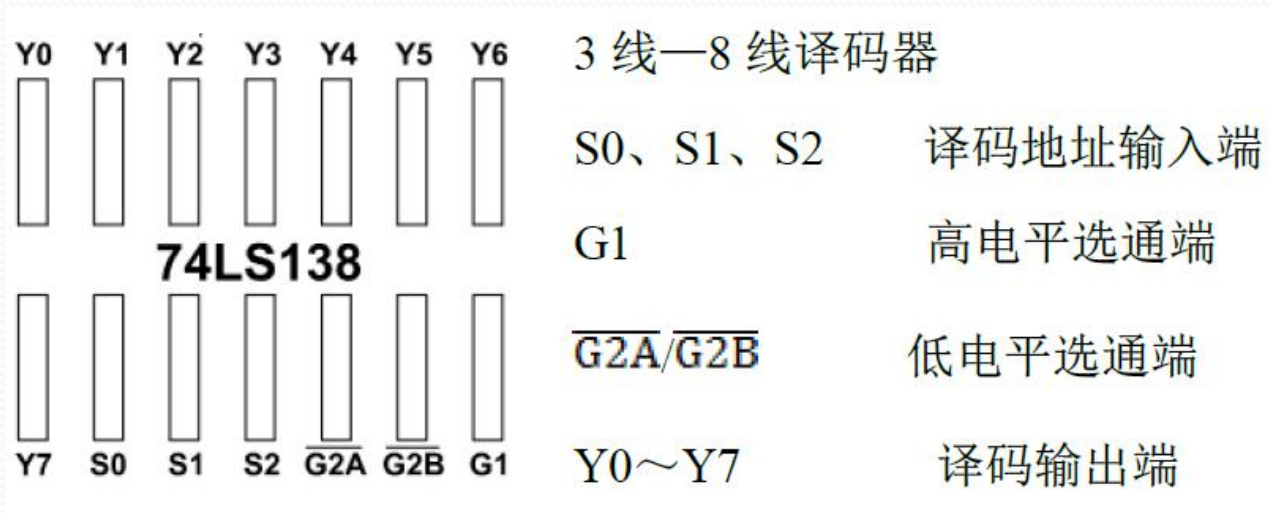
$$F_6 = A B \overline{C} \overline{D}$$

$$F_7 = A B C D$$

A	B	C	F <sub>0</sub>	F <sub>1</sub>	F <sub>2</sub>	F <sub>3</sub>	F <sub>4</sub>	F <sub>5</sub>	F <sub>6</sub>	F <sub>7</sub>
0	0	0	$\overline{D}$	1	1	1	1	1	1	1
0	0	1	1	$\overline{D}$	1	1	1	1	1	1
0	1	0	1	1	$\overline{D}$	1	1	1	1	1
0	1	1	1	1	1	$\overline{D}$	1	1	1	1
1	0	0	1	1	1	1	$\overline{D}$	1	1	1
1	0	1	1	1	1	1	1	$\overline{D}$	1	1
1	1	0	1	1	1	1	1	1	$\overline{D}$	1
1	1	1	1	1	1	1	1	1	1	$\overline{D}$

2、线路连接，按教材提示连接。**G1**作为数据输入端。  
当**G1**为低电平时，**Y0-Y7**均输出高电平；当**G1**为高电平时，**Y0-Y7**根据地址输入选择相应的输出端输出低电平。

注意：地址输入端**S2**、**S1**、**S0**与74LS197的**Q3**、**Q2**、**Q1**依次连接。





### 3、静态测试

地址输入端接模拟开关，输出端接0-1显示器。对照真值表检测。

### 4、动态测试

用74LS197连接成8进制。其输出作为地址输入端。观测记录输入输出波形。

## 内容2:

1、自行设计，根据功能表列出Y的输出表达式，与151芯片输出表达式比较后获得151芯片接法。

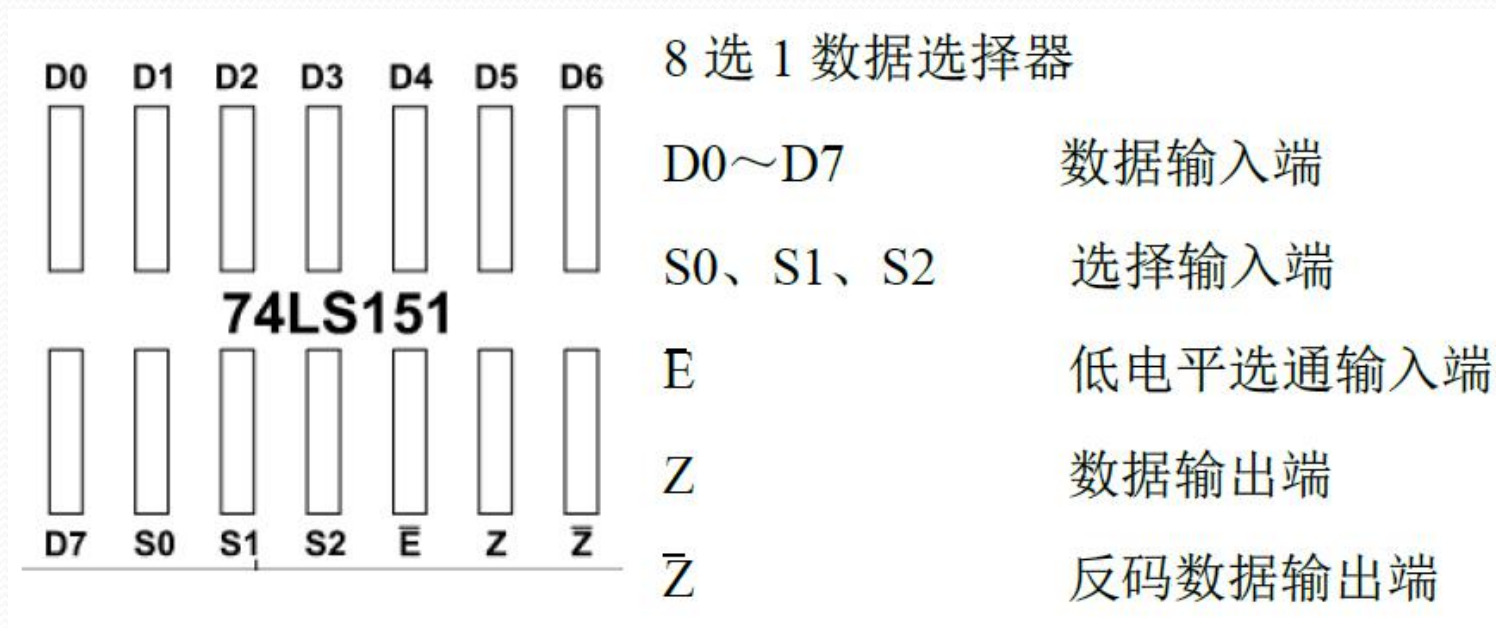
$S_1$	$S_0$	Y
0	0	$A.B$
0	1	$A+B$
1	0	$A \oplus B$
1	1	$\overline{A}$

$S_1$	$S_0$	A	B	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0



## 2、74LS151输出表达式

$$Z = \overline{S_2}S_1\overline{S_0}D_0 + \overline{S_2}S_1S_0D_1 + \overline{S_2}\overline{S_1}\overline{S_0}D_2 + \overline{S_2}\overline{S_1}S_0D_3 + S_2\overline{S_1}\overline{S_0}D_4 + S_2\overline{S_1}S_0D_5 + S_2S_1\overline{S_0}D_6 + S_2S_1S_0D_7$$



使用151芯片实现Y输出

$$\begin{aligned} Y &= \overline{S_1}\overline{S_0}AB + \overline{S_1}S_0\overline{A}B + \overline{S_1}S_0A\overline{B} + \overline{S_1}S_0AB + S_1\overline{S_0}\overline{A}B \\ &\quad + S_1\overline{S_0}A\overline{B} + S_1S_0\overline{A}\overline{B} + S_1S_0AB \\ &= m_0 * D_0 + m_1 * D_1 + m_2 * D_2 + m_3 * D_3 + m_4 * D_4 \\ &\quad + m_5 * D_5 + m_6 * D_6 + m_7 * D_7 \quad (\text{151输出表达式}) \\ &= m_0 * 0 + m_1 B + m_2 B + m_3 + m_4 B + m_5 B + m_6 + m_7 * 0 \end{aligned}$$

与151的输出表达式对比得出

令  $S_2=S_1, S_1=S_0, S_0=A, D_1=D_2=D_4=B, D_5=\overline{B}$

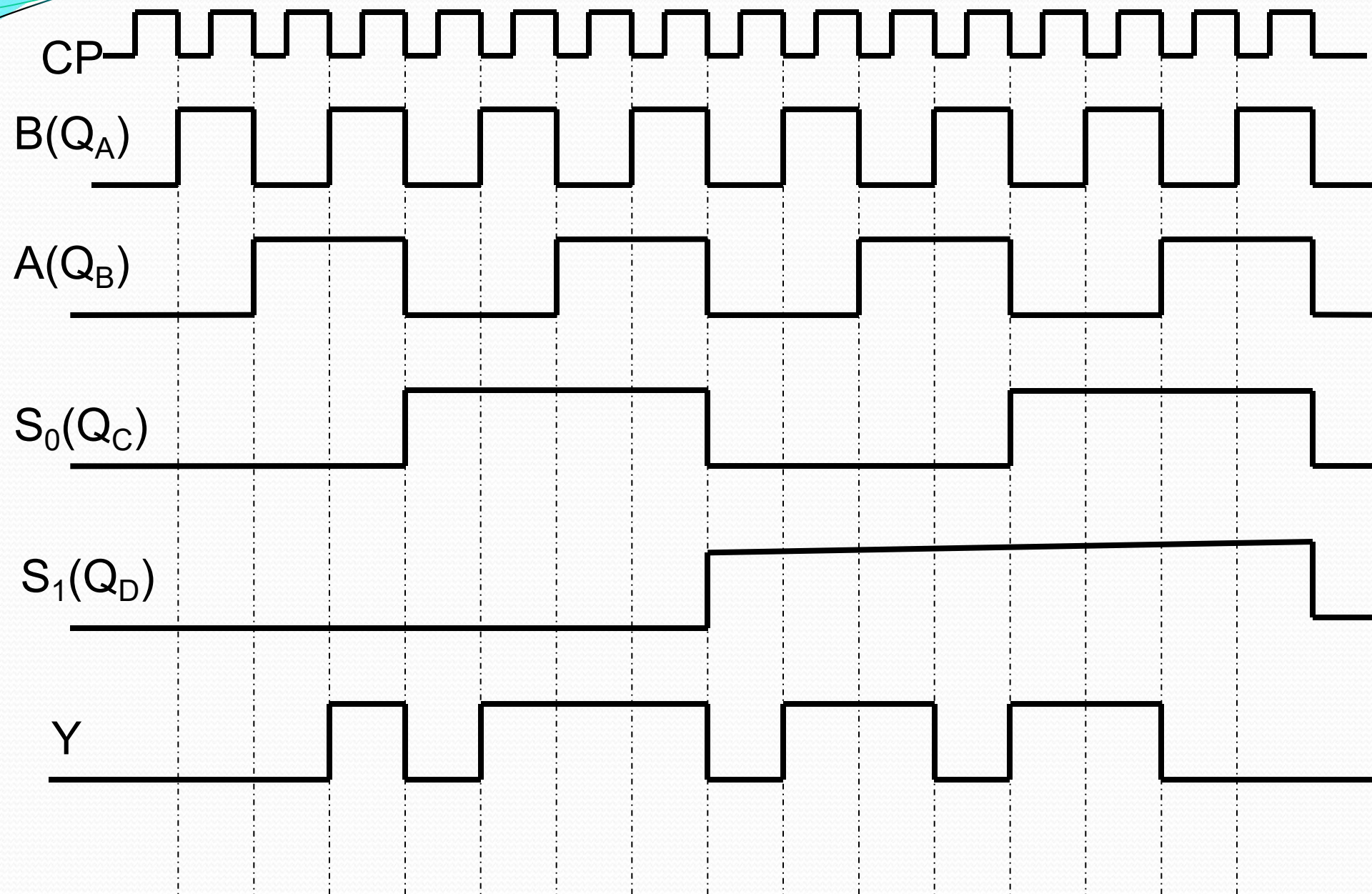
置  $D_0, D_7=0$  (低电平),  $D_3, D_6=1$  (高电平)

$Y=Z$



3、静态测试，用“0-1”显示器检查输出是否符合真值表。注意接电源，接地，附加控制端应接低电平。

4、动态测试。74LS197接成16进制计数器，CP接10KHz方波  
观测输出波形。





### 内容3:

#### 1、设计

半加/减器与全加/减器有区别：只考虑两个加/减数本身，不考虑来自相邻位的进位或借位。

输入			输出	
S	A	B	Y	C（进/借位）
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	0
1	0	1	1	1
1	1	0	1	0
1	1	1	0	0

2、设计流程：真值表->卡诺图->逻辑表达式->选择器件实现。



(1) 根据真值表直接列出Y和C的逻辑表达式

$$Y = \bar{S}\bar{A}B + \bar{S}A\bar{B} + S\bar{A}B + SA\bar{B}$$

$$C = \bar{S}AB + S\bar{A}B$$

化简逻辑表达式可得到Y,C关于S,A,B的输出表达式。

(2) 采用卡诺图化简的方法，以Y为例

AB S	00	01	11	10
0	0	1	0	1
1	0	1	0	1

$Y = \bar{A}B + A\bar{B}$ ，同理可得C的输出表达式。

(3) 选择器件实现 (门电路或138芯片或151芯片)

以138芯片实现为例

$$Y = \bar{S}\bar{A}B + \bar{S}A\bar{B} + S\bar{A}B + SA\bar{B} = \overline{\overline{m_1} \overline{m_2} \overline{m_5} \overline{m_6}}$$

$$C = \bar{S}AB + S\bar{A}B = \overline{\overline{m_3} \overline{m_5}}$$



以151芯片实现为例，输出表达式对比得出

令 $S_2=S, S_1=A, S_0=B$ ，置 $D_0, D_3, D_4, D_7=0$ （低电平）， $D_1, D_2, D_5, D_6=1$ （高电平）

$$Y=Z = \bar{S}\bar{A}B + \bar{S}A\bar{B} + S\bar{A}B + SA\bar{B} \\ = m_1 + m_2 + m_5 + m_6$$

令 $S_2=S, S_1=A, S_0=B$ ，置 $D_0, D_1, D_2, D_4, D_6, D_7=0$ （低电平）， $D_3, D_5=1$ （高电平）

$$C=Z = m_3 + m_5$$

3、静态测试，用“0-1”显示器检查输出是否符合真值表。

4、动态测试。74LS197接成8进制计数器，CP1接10KHz方波观测S、A、B、Y、C以及CP1的输出波形，检查是否符合真值表。

#### 内容4

1、在Basys3实验板实现一个六输入二输出的ALU，即完成1bit ALU，包括功能控制端S2、S1、S0（拨码开关），数据输入端A0、B0、Cn（拨码开关），数据输出端Y、Cn+1（LED灯），ALU功能表见实验指导书P59，要求使用74LS系列IP核实现，TA检查结果。

2、在Basys3实验板实现一个十二输入二输出的ALU，即完成4bit ALU，包括功能控制端S2、S1、S0（拨码开关），数据输入端A、B、Cn、A1、B1、A2、B2、A3、B3（拨码开关），数据输出端Y、Cn+1（LED灯），4bit全加器/全减器运算需考虑上一位的进位/借位，ALU功能表参照实验指导书P59，要求使用74LS系列IP核实现TA检查结果。

#### 实验内容4提示：

（1）全加器、全减器的概念，实现可参考实验指导书P55-57，采用1片74LS138或2片74LS151实现



# 全加器真值表

输入			输出	
$A_i$	$B_i$	$C_{i-1}$	$S_i$	$C_i$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

# 全减器真值表

$A_i$	$B_i$	$D_{i-1}$	$C_i$	$D_i$
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

(2) 可使用IP核包括xup\_74LS08\_1.0 (与门), xup\_74LS32\_1.0 (或门), xup\_74LS04\_1.0 (非门), xup\_74LS151\_1.0 (八选一数据选择器), xup\_74LS138\_1.0 (3-8线译码器) 在..\source\_lib\74IP目录下;

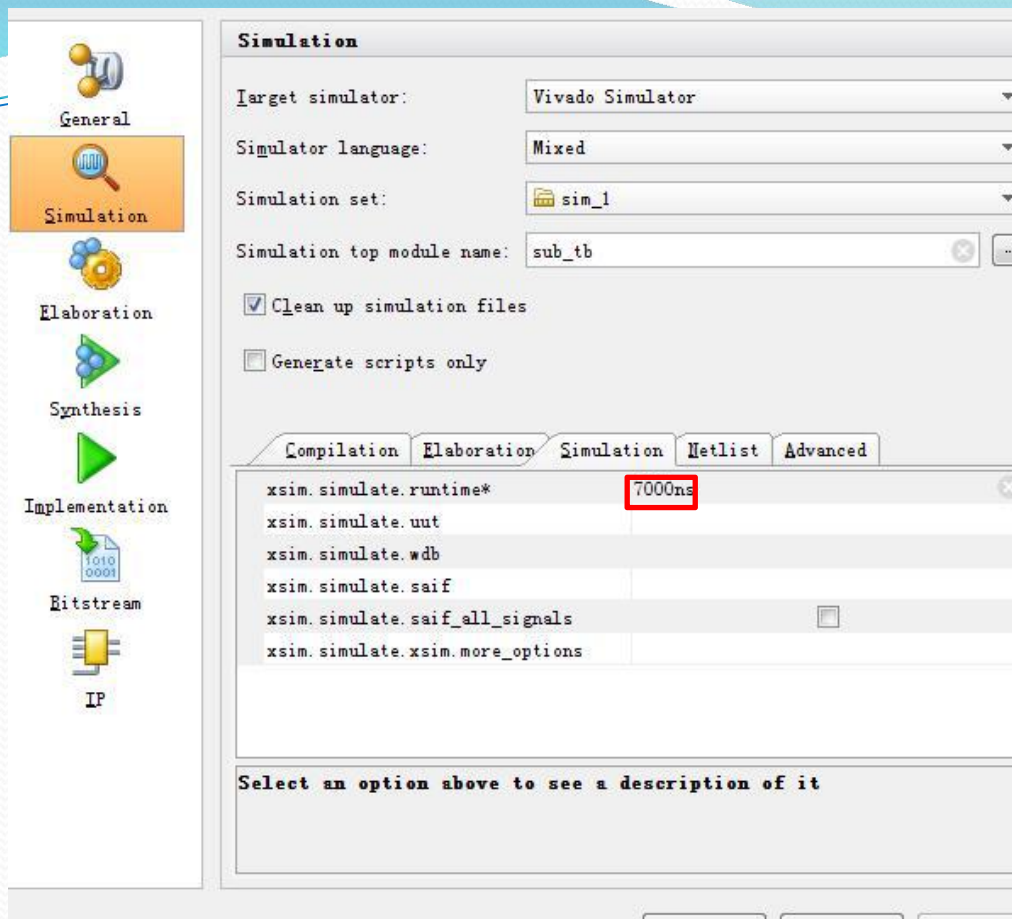
(3) 根据 xup\_74LS151\_1.0 (八选一数据选择器) IP核代码可以看出S\_n是高电平时74LS151清零, 因此ALU的清零功能可使用S\_n端口;

(4) 1bit ALU的输出 (Y、Cn+1) 控制, 即由S2、S1、S0控制ALU的运算结果输出, 均可选择74LS151实现;

(5) vivado block design不允许有悬空的输入引脚, 因此门电路芯片未使用的输入引脚都接GND (GND绑定拨码开关实现);

(6) 1 bit ALU仿真测试文件alu\_1\_tb.v, 在..\3\_Create\_IPI\sources目录下, 注意要将实例名和参数表按实际更改。仿真时间长度设为7000ns, 以验证全部真值表;

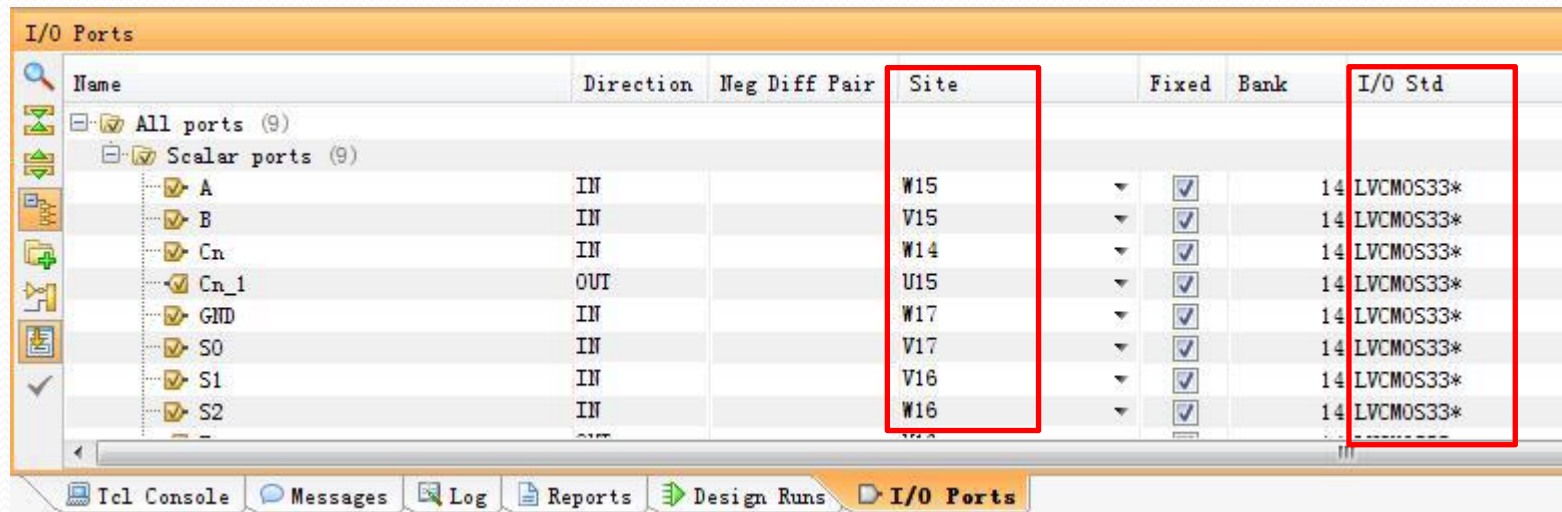




仿真测试:

```
always begin
    for (IN1=000000; IN1<111111; IN1=IN1+1)
        #100;
end
```

(7) 约束文件的设置，可运行Run Synthesis，综合通过后选择Open Synthesized Design，菜单windows打开I/O ports窗口，在窗口中根据Basys3实验板用户手册的引脚对应表绑定输入输出端口，然后ctrl+S保存为.xdc约束文件即可。

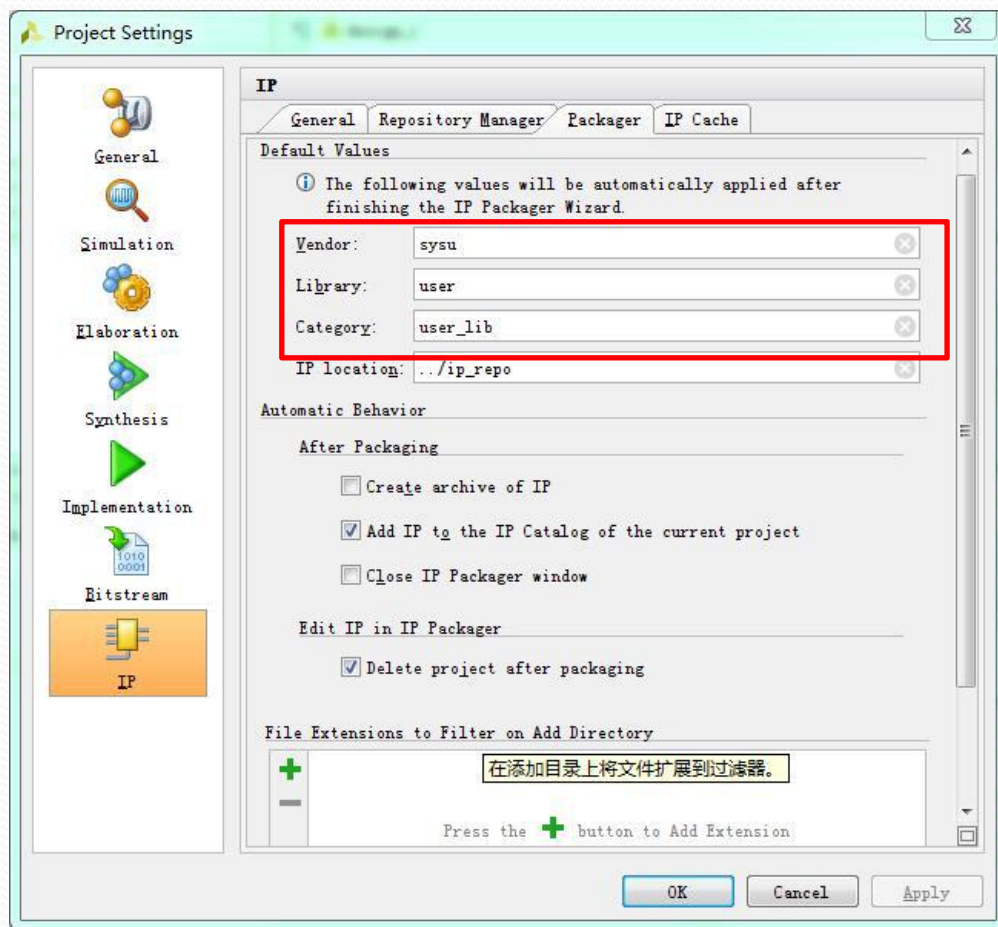




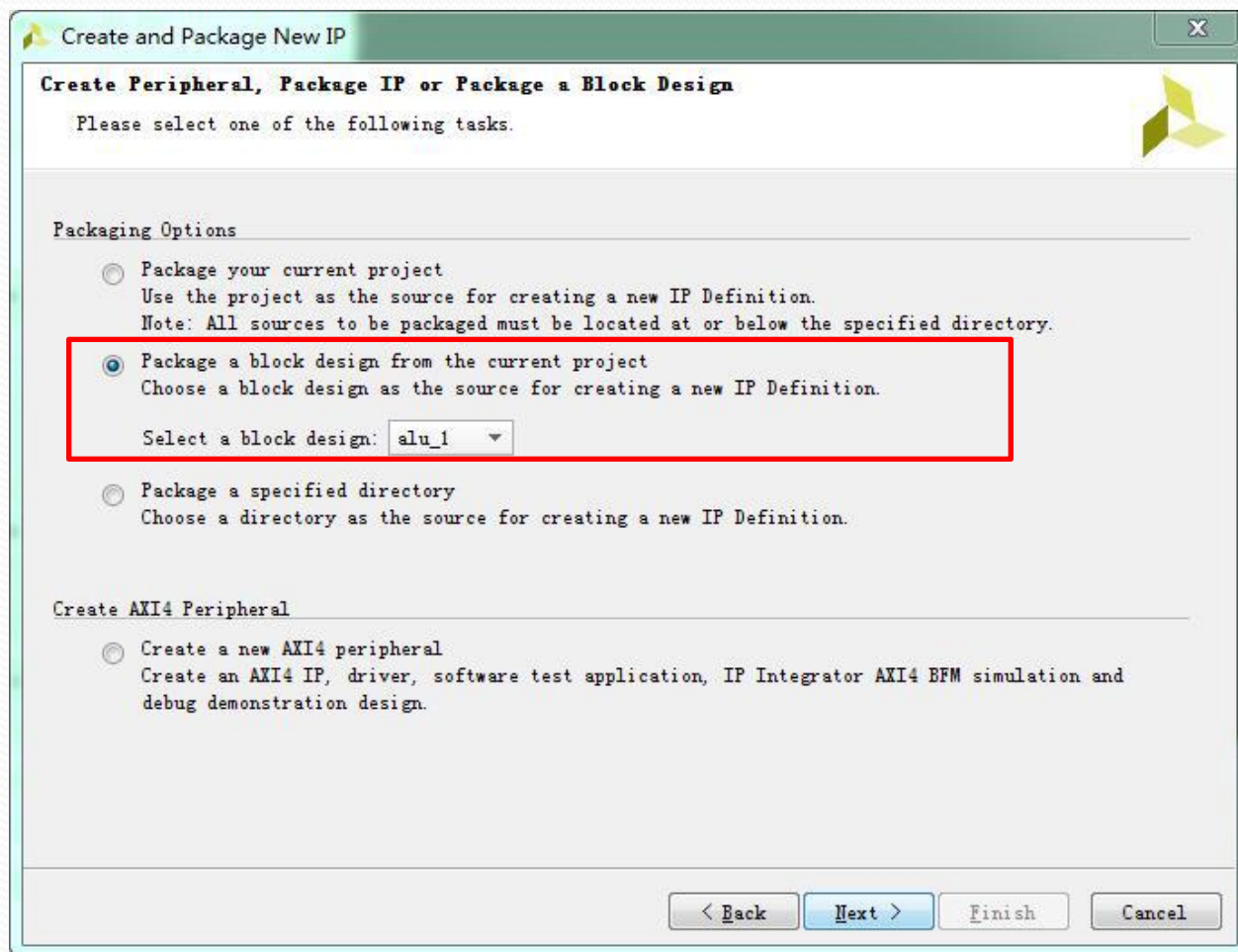
(8) 1\_bit ALU功能实现后，可将其封装为自定义IP核，新建工程block design 使用该IP核实现4bit ALU。

在现有工程下封装自定义1\_bit ALU IP核步骤：

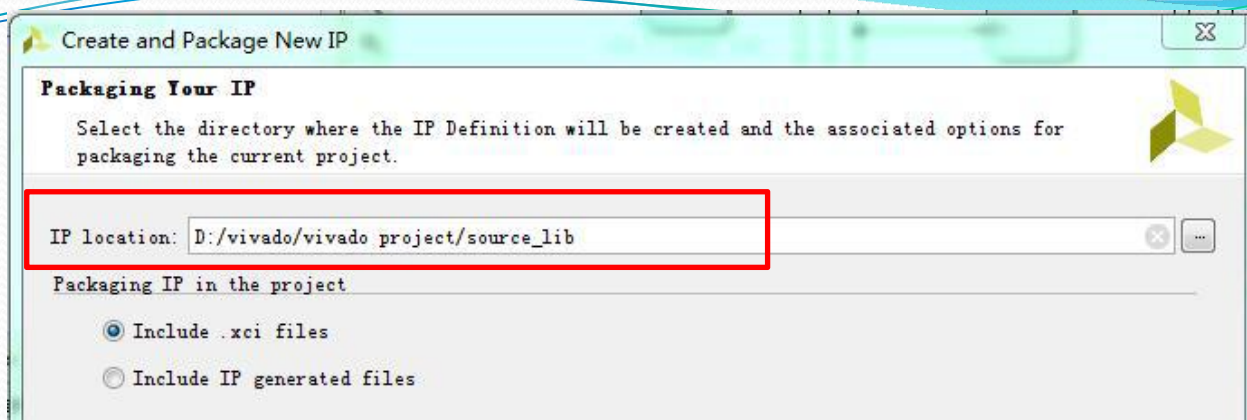
- ① 左侧导航打开Project Setting，设置新生成IP核所属类别；



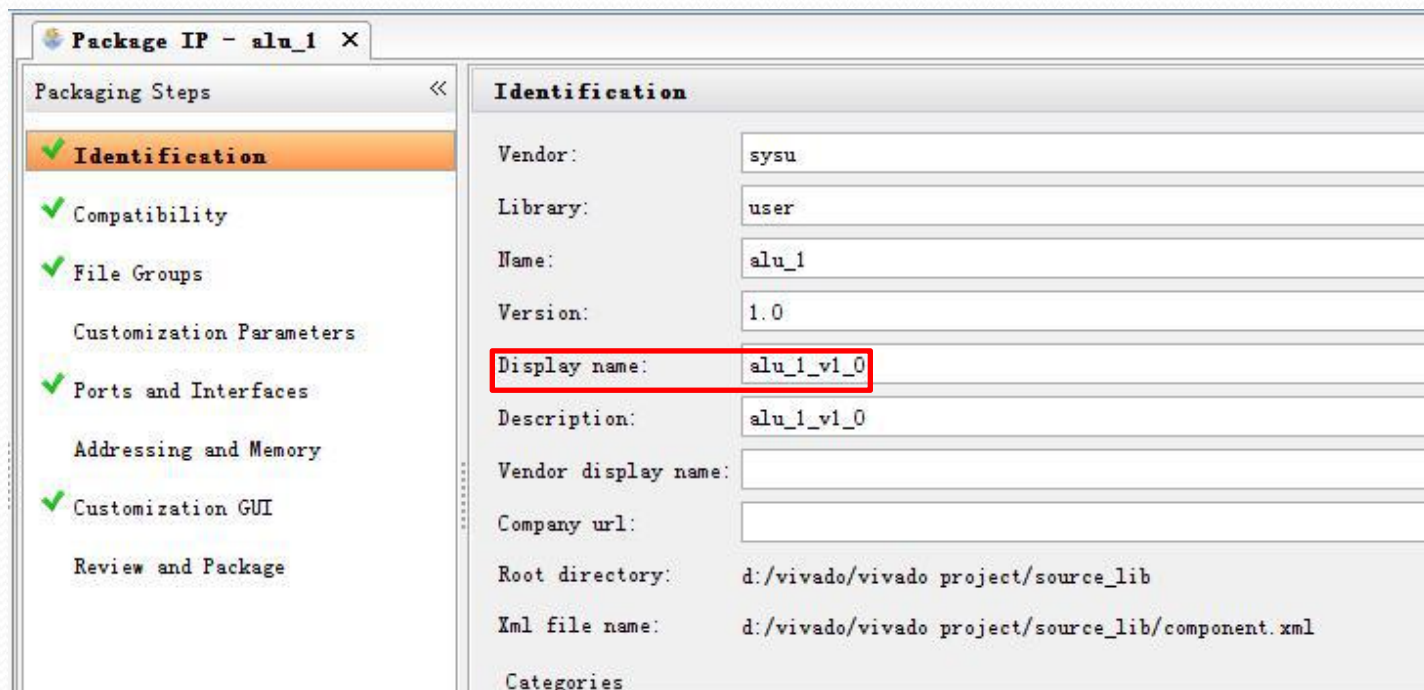
- ② 打开Tools菜单，选择Create an Package IP...，在弹出窗口中点击Next，选择封装现有工程中的block design,点击Next设定新生成IP核路径；







- ③ 点击Next, Finish后, Package IP窗口自动打开, 全部默认设置, 选择Reviews and Package后, 点击Package IP 按钮, 则新生成IP核 alu\_1\_v1\_0。



(9) 采用自定义IP核alu\_1\_v1\_o实现4bit ALU时，Project Settings的Repository Manager中需要添加前面设置的alu\_1\_v1\_o所在路径和alu\_1\_v1\_o所使用IP核的路径；

(10) 4 bit ALU中前一级的进位/借位与下一级ALU运算输入A、B一起作为输入端进入下一级ALU的运算。



# 下周课前准备

实验七 译码显示电路

- 1、使用protues仿真软件完成实验七 8位学号的显示，设计并仿真