

中山大学数据科学与计算机学院本科生实验报告

(2017 学年秋季学期)

课程名称：数字电路与逻辑设计实验 任课教师：保延翔 助教：岳锐

年级&班级	2016 级（1）班	专业(方向)	软件工程
学号	16340041	姓名	陈亚楠
电话	15989010314	Email	chenyn0201@gmail.com
开始日期	2017. 10. 28	完成日期	2017. 11. 06

实验六 利用 MSI 设计组合逻辑电路

一、实验目的

1. 熟悉编码器、译码器、数据选择器等组合逻辑功能模块的功能与使用方法。
2. 掌握用 MSI 设计组合逻辑电路的方法。

二、实验仪器及器件

1. 数字电路实验箱、示波器。
2. 虚拟器件：74LS00, 74LS197, 74LS138, 74LS151, 74LS86, 74LS08, 74LS20。

三、实验原理

详见实验内容。

四、实验内容

4. ALU 设计 (Arithmetic & Logic Unit, 算术逻辑单元)

用 vivado 在 Basys3 实验板上实现一个六输入二输出的 ALU。

六个输入包括三个控制端和三个数据输入端。

控制端：S2、S1、S0 决定 ALU 的八种功能，其中指定 6 种功能为与、或、非、异或、全加、全减，剩余功能自由拟定。

数据输入端：当 ALU 进行全加（全减）运算时，三个数据输入端分别为被加数（被减数）、加数（减数）、进位（借位）。当 ALU 进行逻辑运算时（与、或、非、异或）时，三个数据输入端中的两个作为操作数的输入，另外一个可以忽略（在设计报告中需指明）。

输出端：当 ALU 进行全加（全减）运算时，两个输出端分别为和（差）、进位（借位）。当 ALU 进行逻辑运算时（与、或、非、异或）时，两个输出端为逻辑运算的结果和结果的取反。

控制端			功能
S2	S1	S0	
0	0	0	与
0	0	1	或
0	1	0	A非
0	1	1	B非
1	0	0	异或
1	0	1	全加
1	1	0	全减
1	1	1	清零

提示：ALU 的输入端接 6 位计数器（000000-111111）的输出。

（1）实验原理：

全加器：

输入			输出	
C _{i-1}	A _i	B _i	S _i	C _i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S_i = A_i \oplus B_i \oplus C_{i-1};$$

$$C_i = A_i B_i + C_{i-1} (A_i + B_i)$$

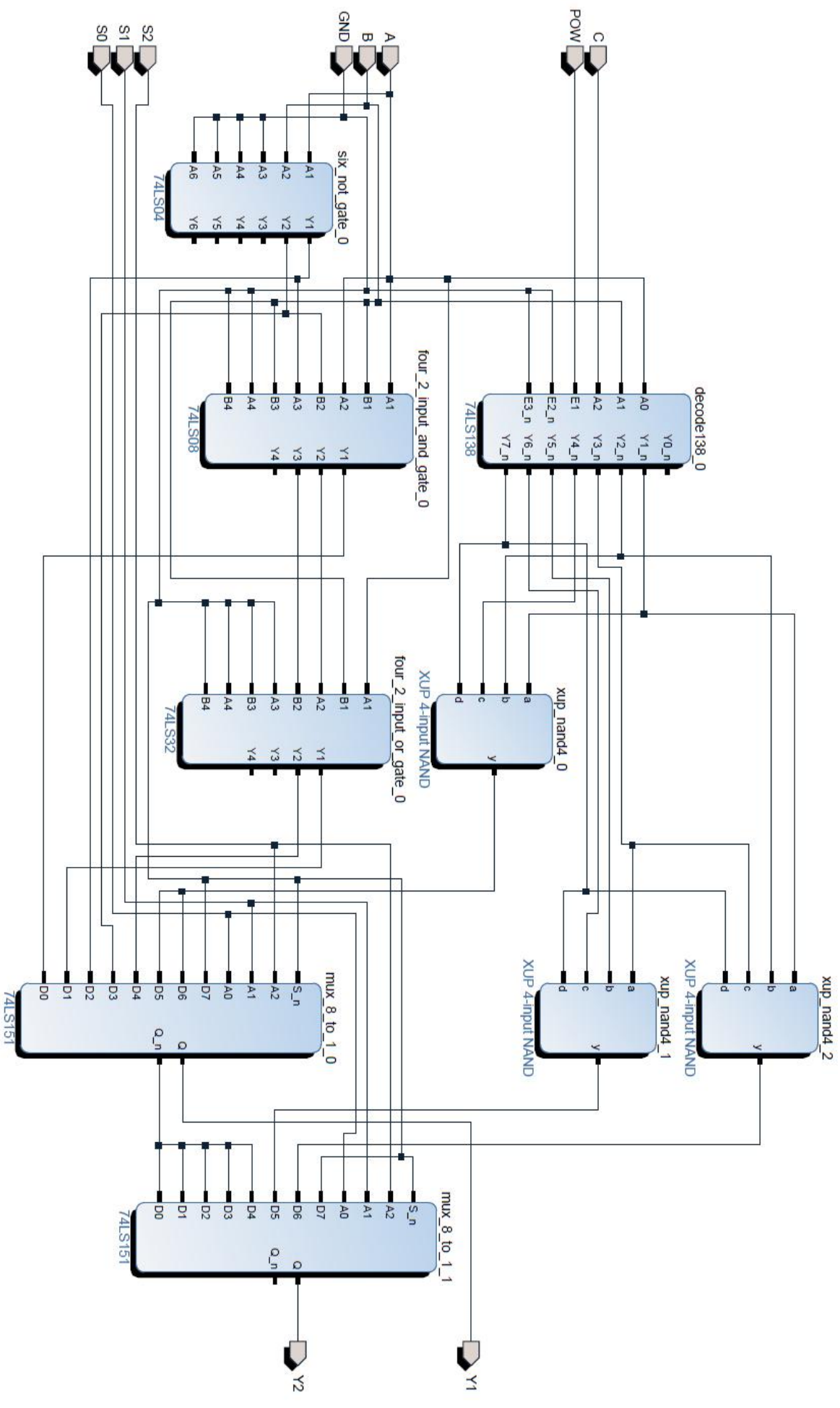
全减器：

Ai	Bi	Ci-1	Di	Ci
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

$$D_i = A_i \oplus B_i \oplus C_{i-1}$$

$$C_i = \overline{A_i}(B_i \oplus C_{i-1}) + B_i C_{i-1}$$

(2) Vivado bd 设计：



五、实验心得

依据各种仪器，如 74LS138 和 74LS151 的特性，找到输入和输出之间的关系，再根据我们的实验目标，通过真值表、卡诺图，得到逻辑表达式的最简形式，再与仪器输入输出进行对比，设计电路。