**2020年新工科联盟-Xilinx暑期学校团队项目设计文档**

**设计文稿提交格式**

**(Project Paper Submission Template)**

|  |  |
| --- | --- |
| **作品名称** | 实现UART |
| **板卡型号** | *Xilinx Spartan-7 XC7S15* |
| **所在班级** | 蒲院A2班 |
| **成员姓名、学号、学校** | 姓名：杨萌薪 学号：20AP056A 学校：莆田学院 院系：机器人工程  姓名：吕晓燕 学号：20AP055A学校：莆田学院 院系：机器人工程  姓名：邹文文 学号：20AP057A 学校：莆田学院 院系：数据科学与大数据技术 |
| **Github链接** | *https://github.com/yangmx29/-UART.git* |

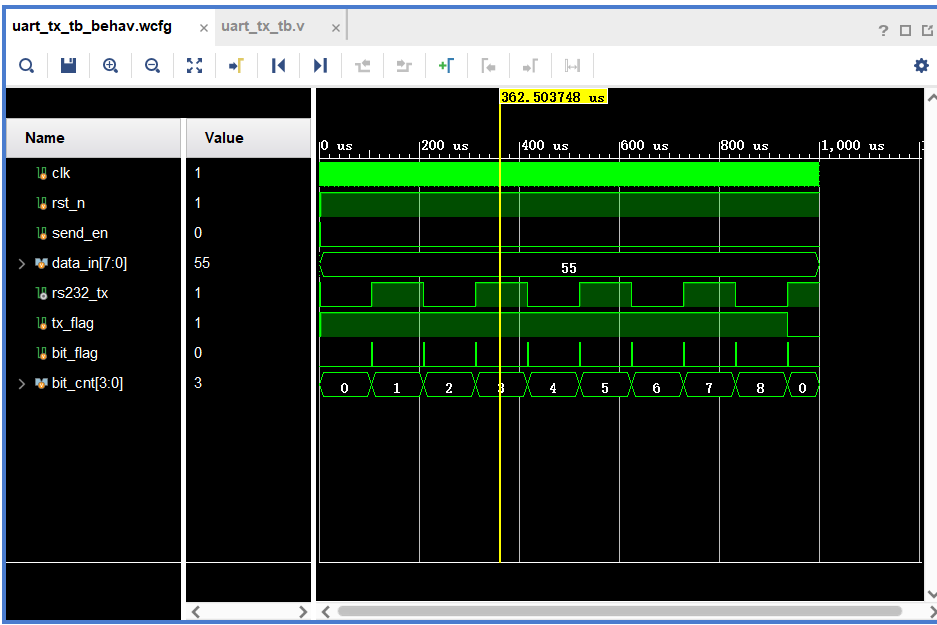
**第一部分**

设计概述 /Design Introduction

（1.请概括地描述一下你的设计，可包括本设计目的、学习到的知识点、应用方向或者设想的应用场景等；2. 经组内成员讨论后以表格的形式描述项目中各成员在项目中发挥的作用或者贡献百分比；3.作品的展示照片）

通用异步收发器(Universal Asynchronous Receiver／Transmitter，UART)可以和各种标准串行接口，如RS 232和RS 485等进行全双工异步通信，具有传输距离远、成本低、可靠性高等优点，使用非常广泛。而FPGA目前随着信息产业和微电子技术的发展，可编程逻辑嵌入式系统设计已经成为信息产业最热门的技术之一，应用范围遍及航空航天、医疗、通讯、网络通讯、安防、广播、汽车电子、工业、消费类市场、测量测试等多个热门领域。并随着工艺的进步和技术的发展，向更多、更广泛的应用领域扩展。我们采用Verilog\_HDL来实现通用异步收发器，变得更加简单、资源利用率更高并且能够完成数据的发送和接收。本项目组的各个成员均参与了项目设计的各个部分，合作提高本项目完成度。

|  |  |
| --- | --- |
| 姓名 | 作用 |
| 杨萌薪 | 33.3% |
| 吕晓燕 | 33.3% |
| 邹文文 | 33.3% |



**第二部分**

系统组成及功能说明 /System Construction & Function Description

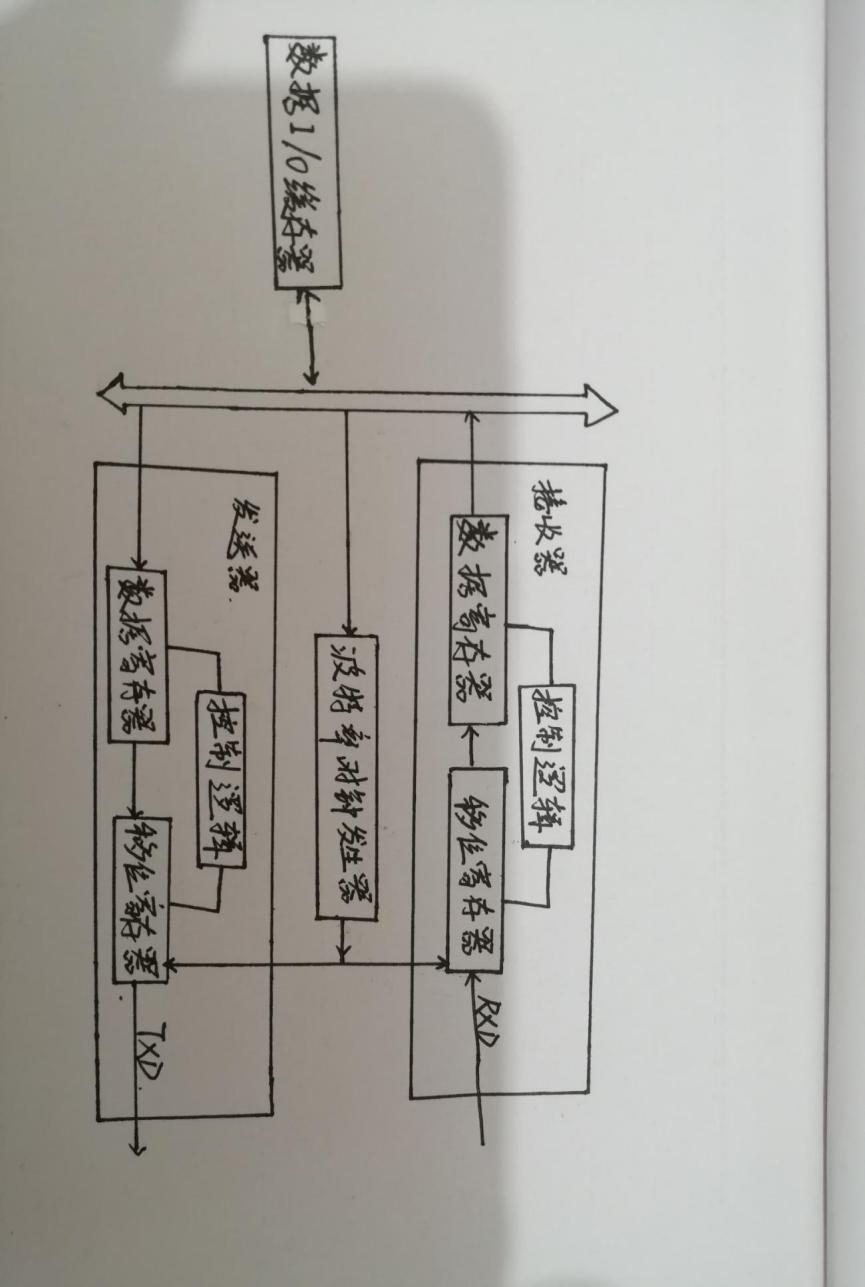
（请对作品的1. 计划实现及已实现的功能；2. 项目系统框图；3. 使用的技术方向做说明）

1. 计划实现的功能：成熟稳定的实现数据的发送和接收
2. 项目系统框图：

UART发送/接收数据的传输表格：



基于FPGA的UART组成模块：



1. 技术方向的详细说明

（3-1）、UART的工作原理

异步通信的一帧传输经历以下步骤：

(1)无传输。发送方连续发送信号，处于信息“1”状态。

(2)起始传输。发送方在任何时刻将传号变成空号，即“1”跳变到“O”，并持续1位时间表明发送方开始传输数据。而同时，接收方收到空号后，开始与发送方同步，并期望收到随后的数据。

(3)奇偶传输。数据传输之后是可供选择的奇偶位发送或接收。

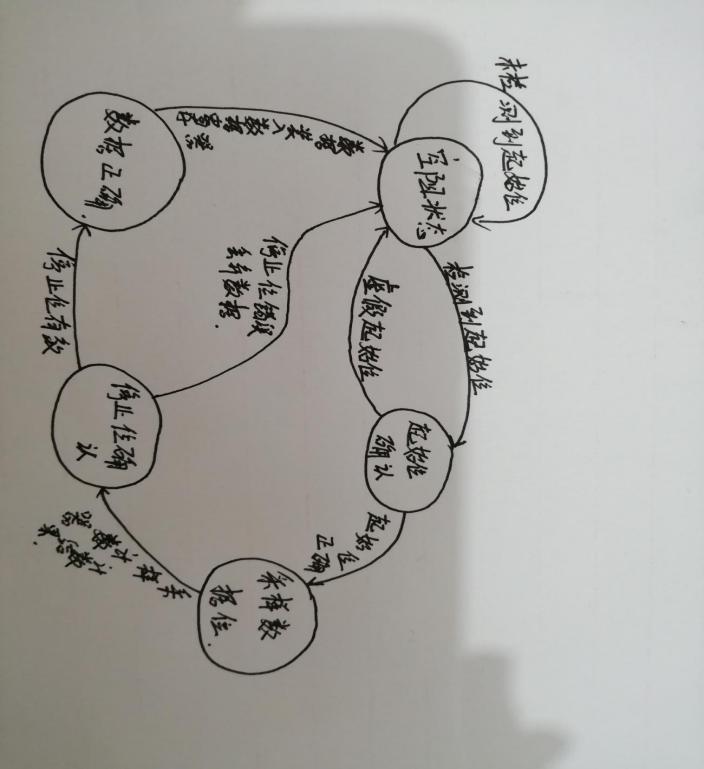
(4)停止传输。最后是发送或接收的停止位，其状态恒为“1”。

发送或接收一个完整的字节信息，首先是一个作为起始位的逻辑“0”位，接着是8个数据位，然后是停止位逻辑“1”位，数据线空闲时为高或“1”状态。起始位和停止位的作用是使接收器能把局部时钟与每个新开始接收的字符再同步。异步通信没有可参照的时钟信号，发送器可以随时发送数据，任何时刻串行数据到来时，接收器必须准确地发现起始位下降沿的出现时间，从而正确采样数据。

（3-2）接收器的设计

在接收数据寄存器被读出一帧数据或系统开始工作以后，接收进程被启动。接收进程启动之后，检测起始位，检测到有效起始位后，以约定波特率的时钟开始接收数据，根据数据位数的约定，[计数器](http://product.dzsc.com/product/searchfile/3037.html)统计接收位数。一帧数据接收完毕之后，如果使用了奇偶校验，则检测校验位，如无误则接收停止位。停止位接收完毕后，将接收数据转存到数据寄存器中。为确保接收器可靠工作，在接收端开始接收数据位之前，处于搜索状态，这时接收端以16倍波特率的速率读取线路状态，检测线路上出现低电平的时刻。因为异步传输的特点是以起始位为基准同步的。然而，通信线上的噪音也极有可能使传号“1”跳变到空号“0”。所以接收器以16倍的波特率对这种跳变进行检测，直至在连续8个接收时钟以后采样值仍然是低电平，才认为是一个真正的起始位，而不是噪音引起的，其中若有一次采样得到的为高电平则认为起始信号无效，返回初始状态重新等待起始信号的到来。找到起始位以后，就开始接收数据，最可靠的接收应该是接收时钟的出现时刻正好对着数据位的中央。由于在起始位检测时，已使时钟对准了位中央，用16倍波特率的时钟作为接收时钟，就是为了确保在位宽的中心时间对接收的位序列进行可靠采样，当采样计数器计数结束后所有数据位都已经输入完成。最后对停止位的高电平进行检测，若正确检测到高电平，说明本帧的各位正确接收完毕，将数据转存到数据寄存器中，否则出错。采用有限状态机模型可以更清晰明确地描述接收器的功能，便于代码实现。接收器状态机由5个工作状态组成，分别是空闲状态、起始位确认、采样数据位、停止位确认和数据正确，触发状态转换的事件和在各个状态执行的动作见图中的文字说明。

接收器状态转换图：

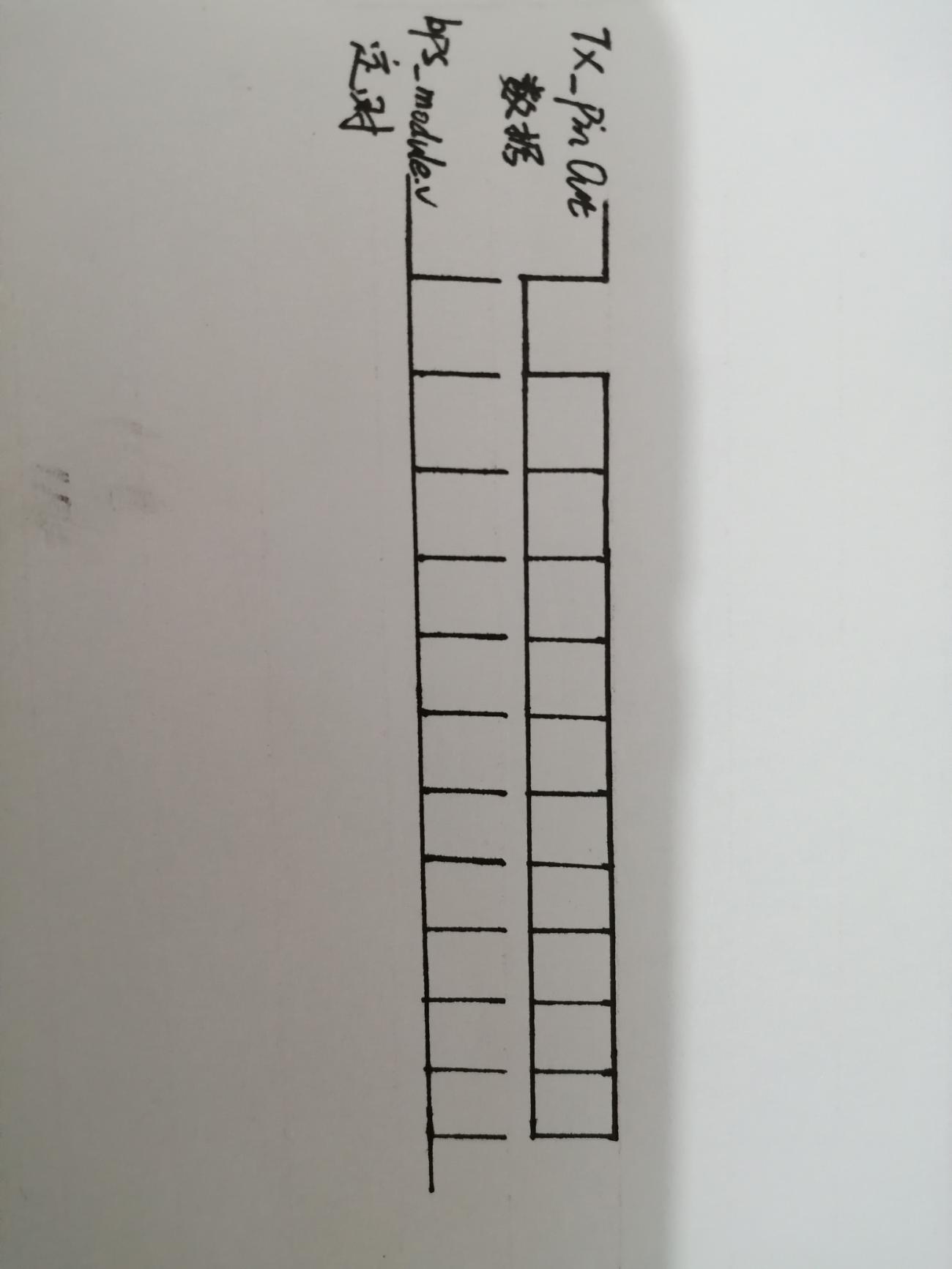


（3-3）、波特率发生器的设计

波特率发生器实质是设计一个分频器，用于产生和RS 232通信同步的时钟。在系统中用一个计数器来完成这个功能，分频系数N决定了波特率的数值。该计数器一般工作在一个频率较高的系统时钟下，当计数到N／2时将输出置为高电平，再计数到N／2的数值后将输出置为低电平，如此反复即可得到占空比50％的波特率时钟，具体的波特率依赖于所使用的系统时钟频率和N的大小。

（3-4）、发送器的设计

发送数据原理图：



当发送数据时，对于每一个数据的发送，每一位采用的是定时发送。假设，配置的波特率是9600bps，那么当有一个发送标志位时，数据将会以1/9600 的节拍将数据一位一位的发送出去。一帧数据有11位，需要12次定时。

(3-5)、仿真串口接收模块

用串口发送模块作为串口接收模块的刺激，亦即串口接收模块的输入。

虚拟环境env\_rx\_module.v拥有TX\_En\_Sig , TX\_Data , TX\_Done\_Sig , RX\_En\_Sig,RX\_Done\_Sig,RX\_Data 等信号。在激励的过程中，需要对这些信号控制。

当RX\_En\_Sig 拉高的时候，串口接收模块开始准备接收数据了。当一帧11 位数据发送

至串口接收模块，并且被串口接收模块过滤。最后经过过滤的数据会输出至RX\_Data ，

然后产生一个完成信号至RX\_Done\_Sig。

**第三部分**

完成情况及性能参数 /Final Design & Performance Parameters

（作品已实现的功能及性能指标）

模块一（发送模块）：采用的主要是线性序列机的设计方法，当计数值为1时，数据从发送保持寄存器传送到发送移位寄存器，计数值为2时，发送开始位（1b低电平），计数值为3～10，发送8位数据，计数器为11，发送校验位，计数值为12，发送1位停止位，计数器随后清零，有效实现了数据发送功能。

模块二（接收功能）: 接收逻辑首先通过检测输入数据的下降沿来检查起始位，然后产生接收时钟，利用接收时钟来采样串行输入数据，在缓冲器中作移位操作，同时产生校验位，在第9位处比较校验位是否正确，在第10位处比较停止位是否为高，在校验位错误或停止位错误的情况下产生错误指示信号，实现了数据接受功能。

模块三(波特率发生模块): UART收发的每一个数据宽度都是波特率发生器输出的时钟周期的16倍，利用分频器的方法将其实现。

模块四（接口控制模块）：接口控制模块连接控制发送、接收、波特率发生模块，并与外部并行总线相连接，从外部接收控制信号，来控制UART的发送、接收以及内部时钟的生成。

**第四部分**

总结 /Conclusions

（谈一谈完成暑期学校课程后的收获与感想。请每位组员分开写。）

吕晓燕：在学习FPGA时，遇到的问题有很多，从项目的准备，各个专业名词，都让人晕头转向。从开始的茫然，到最后能完成项目，心里感受颇多。入门的时候最主要就是对于FPGA结构的一个基本认识和对硬件描述语言Verilog\_HDL语言的学习。FPGA是作为专用集成电路领域中的一种半定制电路而出现的，既解决了定制电路的不足，又克服了原有可编程器件门电路数有限的缺点,在科技高速发展的今天，地位可想而知。项目设计对于几个刚刚接触这个方面的大学生来说，确实不是易事。幸运的是，项目组的成员团结且具有极大的求知欲，经过几天的项目开发，基本完成了项目，且达到了项目预期。老师的耐心指导，我们的认真学习，让我们收获颇丰。刚开始入门是很痛苦的，从硬件，驱动再到软件全部都要熟悉。刚开始学习的时候，大家都很头痛，但书读千遍，不如做一遍;看别人做百次，不如自己做一次;就是要实践。在做的过程中多想，问题出现的原因，如何解决问题，那么就可以在实际的项目开发中得到锻炼和经验。

邹文文：通过半个月的学习，了解了Verilog语言；认为FPGA除了编程外，最重要的就是实践，学习FPGA设计，首先逻辑电路一定要正确，其次基础知识真的很重要。

杨萌薪：在本次暑期学习中，我认识到了fpga，认识到了Verilog语言，让我知道了基础打好真的很重要，我认识到对于逻辑电路的熟练度还需加强。大家都很努力希望能做好这个项目，希望之后继续努力吧!