|  |
| --- |
| GTX测试工程说明书 |
| tester\_gtx工程说明 |



泛腾电子科技有限公司

Fival Science & Technology Co., Ltd.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 阅读对象 | 参 考 | 了 解 | 掌 握 | 精 通 |
| 研发部 | 是 | 是 | 是 | 视情况 |
| 市场部 | 视情况 | 视情况 | 视情况 | 视情况 |
| 生产部 | 视情况 | 视情况 | 视情况 | 视情况 |
| 系统应用部 | 视情况 | 视情况 | 视情况 | 视情况 |
| 总务部 | 视情况 | 视情况 | 视情况 | 视情况 |
| IT部 | 视情况 | 视情况 | 视情况 | 视情况 |

|  |  |  |  |
| --- | --- | --- | --- |
| **ID.** |  | | |
| **ISS.** | 2019/9/2 | **VER.** | 1.3 |
| **SEC.** | PUBLIC | | |
| **CONF.** |  | **AUTH.** |  |

履 历

|  |  |  |  |
| --- | --- | --- | --- |
| 版 本 | 日 期 | 修改人 | 说 明 |
| 1.1 | 2019/8/24 | 杨 鹏飞 | 初始版本 |
| 1.2 | 2019/8/28 | 杨 鹏飞 | 1. 优化工程模块图。 2. 调整目录结构。 3. 修改部分文字说明。 |
| 1.3 | 2019/9/2 | 杨 鹏飞 | 修改部分文字说明。 |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

目 录

[1 概述 4](#_Toc18345870)

[1.1 编写目的 4](#_Toc18345871)

[1.2 参考资料 4](#_Toc18345872)

[2 Tester\_gtx工程功能概述 4](#_Toc18345873)

[2.1 工程功能模块概述 4](#_Toc18345874)

[2.2 工程端口信号说明 5](#_Toc18345875)

[3 子模块功能说明 6](#_Toc18345876)

[3.1 gtx\_test\_gen模块 6](#_Toc18345877)

[3.2 gtx\_test\_chk模块 7](#_Toc18345878)

[3.3 gtx\_test\_wrapper模块 7](#_Toc18345879)

[3.3.1 gtx\_2p5G\_usrclk\_source模块 8](#_Toc18345880)

[3.3.2 gtx\_3p125G\_usrclk\_source模块 10](#_Toc18345881)

图目录

[图 2-1 tester\_gtx工程整体模块图 5](#_Toc535082701)

[图 3-1 GTX IP时钟校准配置 6](#_Toc535082701)

[图 3-2 gtx\_test\_gen模块发包时序图 7](#_Toc535082701)

表目录

[表2-2 tester\_gtx\_top模块端口信号说明表 5](#_Toc535513148)

[表3-1 gtx\_test\_gen模块端口信号说明表 7](#_Toc535513148)

[表3-2 gtx\_test\_chk模块端口信号说明表 7](#_Toc535513148)

[表3-3 gtx\_test\_wrapper模块端口信号说明表 8](#_Toc535513148)

[表3-4 gtx\_2p5G\_usrclk\_source模块端口信号说明表 9](#_Toc535513148)

[表3-5 gtx\_3p125G\_usrclk\_source 模块端口信号说明表 10](#_Toc535513148)

# 概述

## 编写目的

本书是对测试GTX传输性能的tester\_gtx工程做说明。

## 参考资料

1.《pg168-gtwizard.pdf》

2.《ug476\_7Series\_Transceivers.pdf》

# Tester\_gtx工程功能概述

本工程是针对GTX通道的测试工程，可以实现对GTX通道传输性能的测试，并可通过gtx\_par.vh文件来配置传输速率参数和通道参数，目前可支持1到8个GTX通道，传输速率速率可选2.5Gbps和3.125Gbps两种。以单通道3.125Gbps速率为例，测试原理如下：

gtx\_test\_gen模块负责发送16位宽的数据流txdata及2位宽的控制流txchar，通过参数配置选择输入到3.125G的GTX IP核，IP核将其转化为差分的一路数据TXP/N，并通过光纤传输出去。同时IP核接收来自一路光纤的数据RXP/N并将其转化为16位宽的数据rxdata及其控制信号rxchar输出给gtx\_test\_chk模块进行校验，并通过ILA观察校验的结果。

## 工程功能模块概述

Tester\_gtx工程模块结构如图2-1所示：

 图2-1 tester\_gtx工程整体模块图

## 工程端口信号说明

本工程的顶层模块为tester\_gtx\_top，下表为对tester\_gtx\_top模块的端口进行说明。

|  |  |  |  |
| --- | --- | --- | --- |
| 端口名称 | 位宽 | 方向 | 信号说明 |
| DRP\_CLK | 1 | I | 外部输入的系统时钟，频率为100mHz。 |
| GTREFCLK\_P | 1 | I | GTX的差分随路参考时钟。 |
| GTREFCLK\_N | 1 | I | GTX的差分随路参考时钟。 |
| RXP | 1~8 | I | GTX的RX端差分信号线。 |
| RXN | 1~8 | I | GTX的RX端差分信号线。 |
| TXP | 1~8 | O | GTX的TX端差分信号线。 |
| TXN | 1~8 | O | GTX的TX端差分信号线。 |

表2-2 tester\_gtx\_top模块端口信号说明表

# 子模块功能说明

## gtx\_test\_gen模块

本模块的作用是给GTX IP发送数据，包括32个16位宽的递增数据序列和idle包。idle包为带有K码的时钟校准序列，用于接收端的时钟校准和数据对齐，idle包数值固定且可参数化配置，默认值为16’h02bc（bc为K码），对应IP配置如下图3-1，长度则由test\_len\_ctrl信号控制。

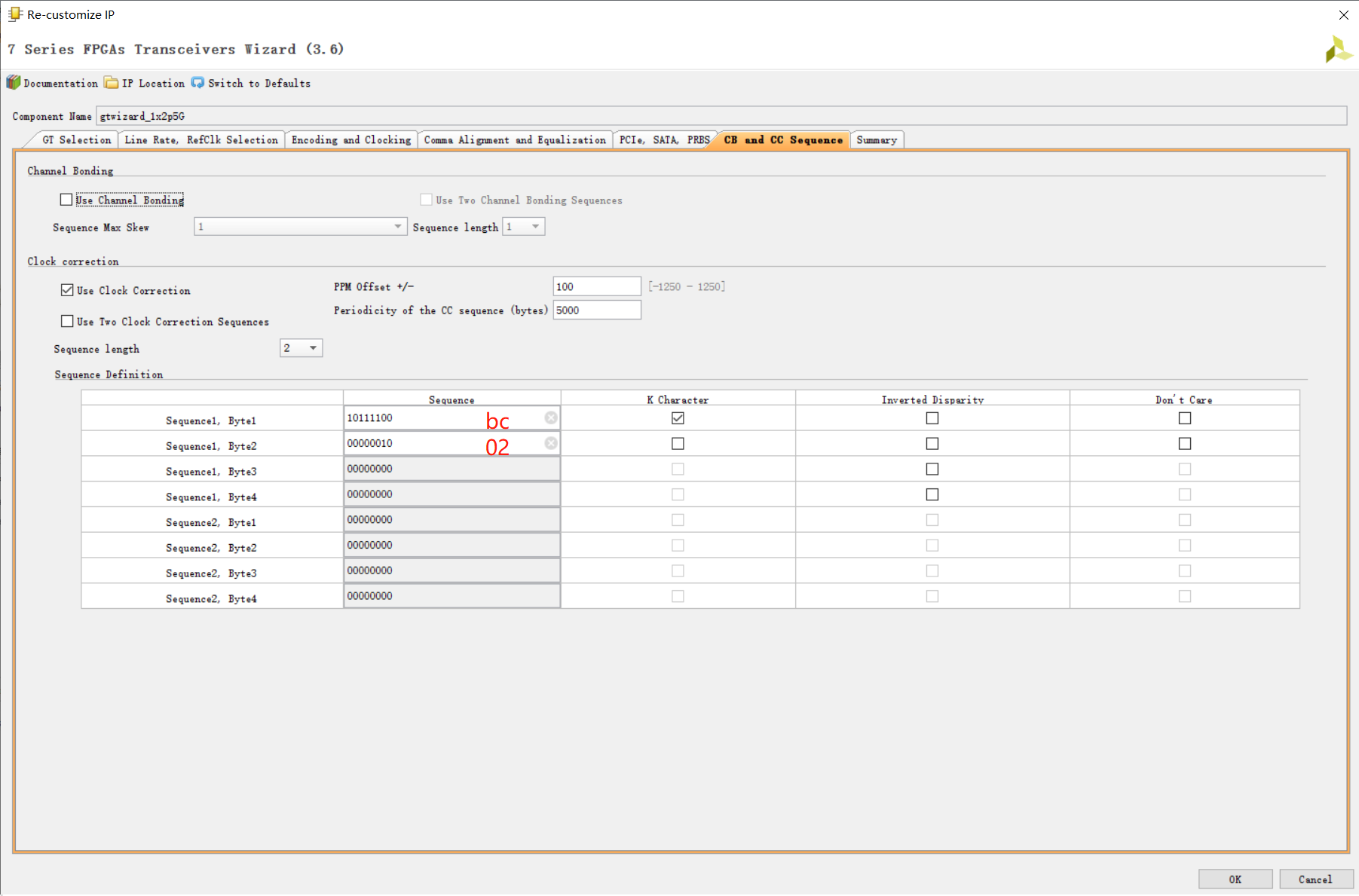


图3-1 GTX IP时钟校准配置

本模块的端口信号说明如下表3-1。

|  |  |  |  |
| --- | --- | --- | --- |
| 端口名称 | 位宽 | 方向 | 信号说明 |
| usrclk | 1 | I | GTX IP的txusrclk2时钟，用于发送端的外部数据接口。 |
| usrrst\_n | 1 | I | 模块的低有效复位信号，由VIO控制。 |
| test\_len\_ctrl | 8 | I | 控制idle包的长度，为0代表长度为1个时钟周期，为FF则代表长度为256个时钟周期，由VIO控制。 |
| test\_run\_ctrl | 1 | I | 控制发数据的信号，为高则发送递增数据和idle包，由VIO控制。 |
| txdata | 16 | O | 发给GTX IP的数据，发送32个递增数据序列和idle包。 |
| txchar | 2 | O | 发给GTX IP的控制信号，为0时发递增数据，为1时发用于时钟校准的idle包。 |

表3-1 gtx\_test\_gen模块端口信号说明表

发送的数据格式如下图3-2所示。



图3-2 gtx\_test\_gen模块发包时序图

## gtx\_test\_chk模块

本模块的作用是单独对gtx\_test\_gen模块通过GTX传输过来的数据进行校验，检测数据是否出错并计算出误码率。并将得出的结果输出到ILA上以供观察。

|  |  |  |  |
| --- | --- | --- | --- |
| 端口名称 | 位宽 | 方向 | 信号说明 |
| usrclk | 1 | I | GTX IP的rxusrclk2时钟，用于接收端的外部数据接口（rxdata）。 |
| usrrst\_n | 1 | I | 模块的低有效复位信号，由VIO控制。 |
| rxdata | 16 | I | GTX IP发出的数据，每组数据包括32个递增数据和idle包。 |
| rxchar | 2 | I | GTX IP发出的控制信号，为0表示rxdata为有效递增数据，为1表示rxdata为idle包，其它值则为误码。 |
| err\_flag | 1 | O | 检测到误码而产生的脉冲信号，当数据不符合上述条件时，就认为是误码，拉高一个时钟周期的脉冲。 |
| der | 16 | O | data err rate，每一万个有效数据里误码的个数，即err\_flag脉冲的个数。该信号每一万个有效数据（不算idle包）更新一次。 |

表3-2 gtx\_test\_chk模块端口信号说明表

## gtx\_test\_wrapper模块

本模块的作用是对GTX IP相关参数进行配置，使IP能够正常工作。

|  |  |  |  |
| --- | --- | --- | --- |
| 端口名称 | 位宽 | 方向 | 信号说明 |
| clk100 | 1 | I | 顶层输入的系统时钟，频率为100mHz。 |
| txusrclk2 | 1 | O | GTX IP的txusrclk时钟，输出给gtx\_test\_gen模块使用，当GTX传输速率为2.5Gbps时频率为125MHz，3.125Gbps时频率为156.25MHz。 |
| rxusrclk2 | 1~8 | O | GTX IP的rxusrclk时钟，输出给gtx\_test\_chk模块使用。当GTX传输速率为2.5Gbps时频率为125MHz，3.125Gbps时频率为156.25MHz。 |
| usrrst\_n | 1 | I | 模块的低有效复位信号，由VIO控制。 |
| txdata | 16~128 | I | gtx\_test\_gen模块输入的数据，并传给GTX IP。 |
| txchar | 2~16 | I | gtx\_test\_gen模块输入的txdata控制信号，并传给GTX IP。 |
| rxdata | 16~128 | O | GTX IP输出的数据，并传给gtx\_test\_chk模块进行校验。 |
| rxchar | 2~16 | O | GTX IP输出的rxdata控制信号，并传给gtx\_test\_chk模块进行校验。 |
| GTREFCLK\_P | 1 | I | 顶层输入的GTX差分随路参考时钟，转成单端时钟后给GTX IP使用。 |
| GTREFCLK\_N | 1 | I | 顶层输入的GTX差分随路参考时钟，转成单端时钟后给GTX IP使用。 |
| RXP | 1~8 | I | GTX的RX端差分信号线。 |
| RXN | 1~8 | I | GTX的RX端差分信号线。 |
| TXP | 1~8 | O | GTX的TX端差分信号线。 |
| TXN | 1~8 | O | GTX的TX端差分信号线。 |

表3-3 gtx\_test\_wrapper模块端口信号说明表

### gtx\_2p5G\_usrclk\_source模块

本模块的作用是给2.5G传输频率的gtwizard\_1x2p5G IP提供txusrclk/2和rxusrclk/2时钟，而txusrclk、txusrclk2、rxusrclk和rxusrclk2则分别是GTX IP的txouclk和rxoutclk通过BUFG产生的。

当有多路GTX传输时，可通过参数配置两种不同的方式产生rxusrclk，第一种配置使每路的rxusrclk都有单独的BUFG，可参考ug476第113页，类似figure3-2图。这样的配置每路时钟相互独立，不会互相干扰，不过会占用大量的BUFG资源。出于节省BUFG考虑，也可以选择第二种配置方式，使多路rxusrclk共用同一个rxoutclk的BUFG。可参考ug476第113页，类似figure3-3图。相比于第一种配置方式，这种设计可以大量减少BUFG的使用数量，节省资源。





|  |  |  |  |
| --- | --- | --- | --- |
| 端口名称 | 位宽 | 方向 | 信号说明 |
| txoutclk | 1~8 | I | gtwizard\_1x2p5G IP输入的txoutclk时钟，频率为125mHz。 |
| txusrclk | 1~8 | O | 用于GTX内部数据，由txoutclk通过BUFG产生，频率为125mHz。 |
| txusrclk2 | 1~8 | O | 用于GTX的FPGA接口数据的txusrclk2，与txusrclk共用同一时钟。 |
| rxoutclk | 1~8 | I | gtwizard\_1x2p5G IP输入的rxoutclk时钟，频率为125mHz。 |
| rxusrclk | 1~8 | O | 用于GTX内部数据，由rxoutclk通过BUFG产生，频率为125mHz。 |
| rxusrclk2 | 1~8 | O | 用于GTX的FPGA接口数据的rxusrclk2，与rxusrclk共用同一时钟。 |

表3-4 gtx\_2p5G\_usrclk\_source模块端口信号说明表

### gtx\_3p125G\_usrclk\_source模块

本模块的作用是给3.125G传输频率的gtwizard\_1x3p125G IP提供txusrclk/2和rxusrclk/时钟，而txusrclk、txusrclk2、rxusrclk和rxusrclk2则分别是GTX IP的txouclk和rxoutclk通过MMCM产生的。和2.5G一样，当有多路GTX传输时，也可以通过参数配置选择每路的rxusrclk用各自rxoutclk的MMCM或者多路rxusrclk共用同一路rxoutclk的MMCM。

|  |  |  |  |
| --- | --- | --- | --- |
| 端口名称 | 位宽 | 方向 | 信号说明 |
| txoutclk | 1~8 | I | gtwizard\_1x3p125G IP输入的txoutclk时钟，频率为125mHz。 |
| txusrclk | 1~8 | O | 用于GTX内部数据，由txoutclk通过MMCM产生，频率为156.25mHz。 |
| txusrclk2 | 1~8 | O | 用于GTX的FPGA接口数据，与txusrclk共用同一时钟。 |
| tx\_mmcm\_lock | 1~8 | O | txoutclk的MMCM的lock信号，表示txoutclk\_mmcm的时钟成功锁住,输出给gtwizard\_1x3p125G IP。 |
| tx\_mmcm\_reset | 1~8 | I | gtwizard\_1x3p125G IP输入的复位信号，来控制txoutclk的MMCM进行复位。 |
| rxoutclk | 1~8 | I | gtwizard\_1x3p125G IP输入的rxoutclk时钟，频率为125mHz。 |
| rxusrclk | 1~8 | O | 用于GTX内部数据，由rxoutclk通过MMCM产生，频率为156.25mHz。 |
| rxusrclk2 | 1~8 | O | 用于GTX的FPGA接口数据，与rxusrclk共用同一时钟。 |
| rx\_mmcm\_lock | 1~8 | O | rxoutclk的MMCM的lock信号，表示rxoutclk\_mmcm的时钟成功锁住,输出给gtwizard\_1x3p125G IP。 |
| rx\_mmcm\_reset | 1~8 | I | gtwizard\_1x3p125G IP输入的复位信号，来控制rxoutclk的MMCM进行复位。 |

表3-5 gtx\_3p125G\_usrclk\_source 模块端口信号说明表



泛腾电子科技有限公司