

PCB layout 的基本原则

一、PCB布局操作基本原则

- 1、遵循“先大后小，先难后易”的布置原则，即重要的单元电路、核心元器件应当优先布局。
- 2、布局中应参考原理图，根据单板的主信号流向规律安排主要元器件。
- 3、布局应尽量满足以下走线要求：关键信号线最短（ADC）；高电压、大电流信号与低电压、小电流的弱信号完全分开；模拟信号与 **数字信号** 分开；高频信号与低频信号分开；高频元器件的间隔要充分（电感等）。
- 4、相同结构电路部分尽量采用“对称式”标准布局。
- 5、按照 **均匀分布**、重心平衡、版面美观的标准优化布局。如有特殊布局要求，应和硬件沟通确定。
- 6、同类型插装元器件在X方向或Y方向上应朝一个方向放置。同一种类型的有极性分立元件也要力争在X或Y方向上保持一致，便于生产和检验。
- 7、发热元件应均匀分布，以利于单板和整机的散热，除温度检测元件以外的温度敏感器件应远离发热量大的元器件。
- 8、元器件的排列要便于调试和维修，亦即小元件周围不能放大元件，需调试的元器件周围要有足够
- 9、贴片元件焊盘外侧与相邻插装元件的外侧距离大于2mm；其它贴片元件相互间的距离大于0.7mm。
- 10、IC去耦电容的布局要尽量靠近IC的电源管脚，并使之与电源和地之间按形成的回路最短。
- 11、元件布局时，应适当考虑使用同一种电源的器件尽量放在一起，以便将来的电源分隔。
- 12、复杂的板子可以在布完局后先发给硬件检查，修改后再进行布线。

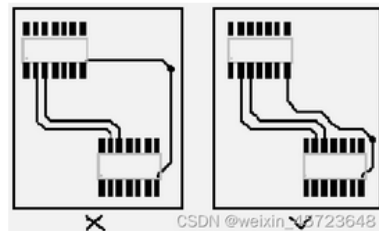
二、PCB布线操作的基本规则

1、布线优先次序

- 1) 关键信号线优先：电源、模拟小信号、高速信号、时钟信号、同步信号、ADC采样信号等关键信号优先布线。
- 2) 密度优先原则：从单板上连接关系最复杂的器件（MCU）和连线最密集的区域着手布线。
- 3) 自动布线：在布线质量满足设计要求的情况下，可使用 **router** 进行自动布线以提高工作效率。

2、PCB设计应遵循的原则

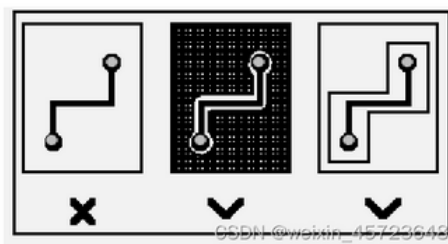
1) 地线回路原则：环路最小原则，即信号与其回路构成的环面积要尽可能小，环路面积越小，对外的辐射越小，接收外界的干扰也越小。针对这一规则，在地平面分割时，要考虑到地平面与重要信号走线的分布，防止由于地平面开槽带来的问题；在双层板设计中，在为电源留下足够空间的情况下，增加一些必要的地过孔，将双面地信号有效连接起来，对一些关键信号尽量采用地线隔离，对一些频率较高的设计，需要特别考虑其地平面信号回路问题，建议采用多层板为宜。



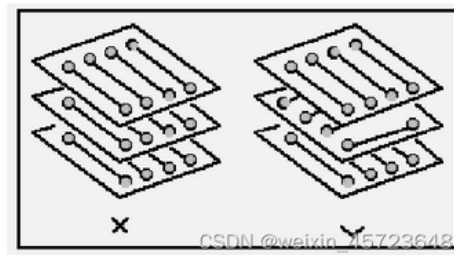
2) 串扰控制原则：串扰是指PCB上不同网络之间因较长的平行布线引起的相互干扰，主要是由于平行线间的分布电容和分布电感的作用。克服串扰的主要措施有：

- (1) 加大平行布线的间距，遵循3W原则。
- (2) 在平行线间插入接地的隔离线。
- (3) 减小布线层与地平面的距离。

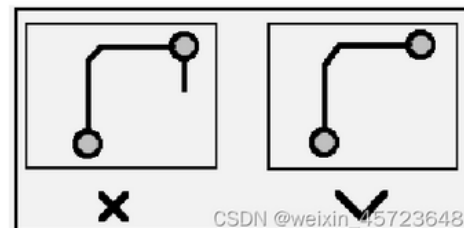
3) 屏蔽保护原则：对应地线回路规则，实际上也是为了尽量减小信号的回路面积，多见于一些比较重要的信号，如时钟信号、同步信号；对一些特别重要、频率较高的信号，应该考虑采用同轴电缆屏蔽结构设计，即将所布的线上下左右用地线隔离，而且要考虑如何有效地让屏蔽地与实际地平面有效结合。



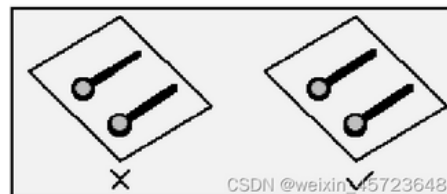
4) 走线的方向控制原则：即相邻层的走线方向成正交结构。避免将不同的信号线在相邻层走成同一方向，以减少不必要的层间串扰；当由于板结构限制（如某些背板）难以避免出现该情况，特别是速率较高时，应考虑用地平面隔离各布线层，用地信号线隔离各信号线。



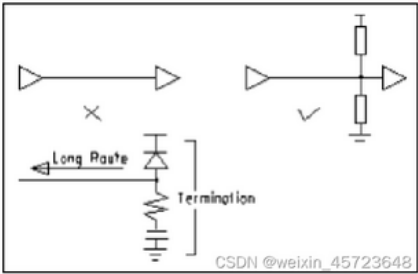
5) 走线的开环检查原则：一般不允许出现一端浮空的布线，主要是为了避免产生“天线效应”，减少不必要的干扰辐射和接收，否则可能带来不可预知的结果。



6) 阻抗匹配检查原则：同一网络的布线宽度应保持一致，线宽的变化会造成线路特性阻抗的不均匀，当传输的速度较高时会产生反射，在设计中应该尽量避免这种情况。在某些条件下，如接插件引出线、BGA封装的引出线类似的结构时，可能无法避免线宽的变化，应尽量减少中间不一致部分的有效长度。



7) 走线终结网络原则：在高速数字电路中，当PCB布线的延迟时间（走线15.2cm带来2ns延时）大于信号上升时间（或下降时间）的1/4时，该布线即可以看出传输线，为了保证信号的输入和输出阻抗与传输线的阻抗正确匹配，可以采用多种形式的匹配方法，所选择的匹配方法与网络的连接方式和布线的拓扑结构有关。

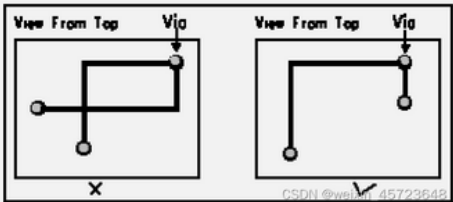


(1) 对于点对点（一个输出对应一个输入）连接，可以选择始端串联匹配或并联匹配。前者结构简单，成本低，但延迟较大。后者匹配效果好，但结构复杂，成本较高。

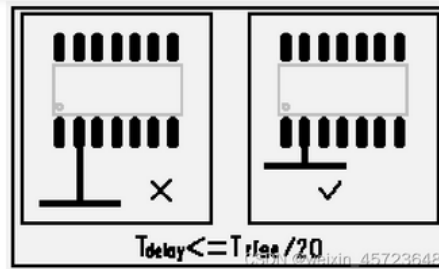
(2) 对于点对多点（一个输出对应多个输出）连接，当网络的拓扑结构为菊花链时，应该选择终端并联匹配。当网络为星型结构时，可以参考点对点结构。

(3) 星型和菊花链为两种基本的拓扑结构，其他结构可看成基本结构的变形，可采取一些灵活措施进行匹配。在实际操作中要兼顾成本、功耗和性能等因素，一般不追求完全匹配，只要将失配引起的反射等干扰限制在可接受范围即可。

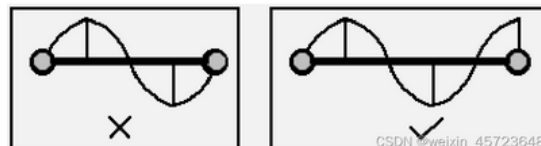
8) 走线闭环检查规则：防止信号线在不同层间形成自环。在多层设计中容易发生此类问题，自环将引起辐射干扰。



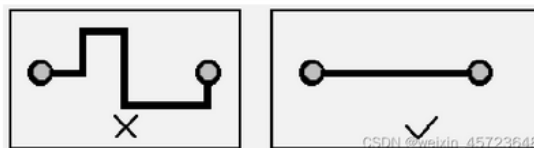
9) 走线的分支长度控制原则：尽量控制分支的长度，一般的要求是 $T_{delay} \leq T_{rise}/20$ 。



10) 走线的谐振原则：主要针对高频信号设计而言，即布线长度不得与其波长成整数倍关系，以免产生谐振现象。

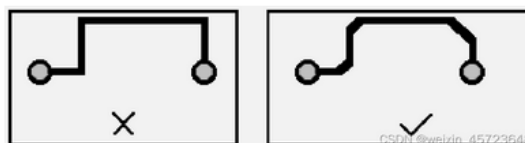


11) 走线长度控制原则：即短线规则，在设计时应该让布线长度尽量短，以减少由于走线过长带来的干扰问题，特别是一些重要信号线，如时钟线，务必将其振荡器放在离器件很近的地方。对驱动多个器件的情况，应该根据具体情况决定采用何种网络拓扑结构。

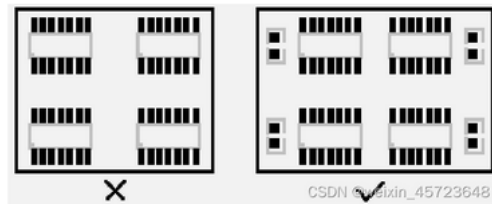


12) 倒角原则：PCB中避免产生锐角和直角，以免产生不必要的辐射，同时工艺性能也不好。直角走线对信号的影响主要体现在三个方面：

- (1) 拐角可以等效为传输线上的容性负载，减缓上升时间。
- (2) 阻抗不连续会造成信号的反射。
- (3) 直角尖端会产生EMI。



13) 器件去耦原则：在印制板上增加必要的去耦电容，滤除电源上的干扰信号，使电源信号稳定。



(1) 在多层板中，对去耦电容的位置一般要求不高，但对双层板，去耦电容的布局及电源的布线方式将直接影响到整个系统的稳定性，有时甚至关系到设计的成败。

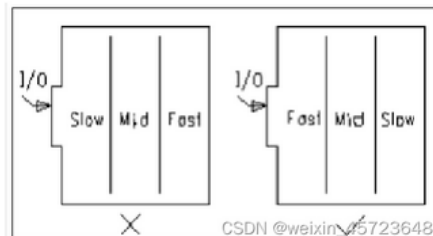
(2) 在双层板设计中，一般应该使电流先经过滤波再供器件使用，同时还要充分考虑到由于器件产生的电源噪声对下游器件的影响，一般来说，采用总线结构设计比较好，在设计时，还要考虑到由于传输距离过长而带来的电压跌落给器件造成的影响，必要时增加一些电源滤波环路，避免产生电位差。

(3) 在高速电路设计中，能否正确地使用去耦电容，关系到整个板的稳定性。

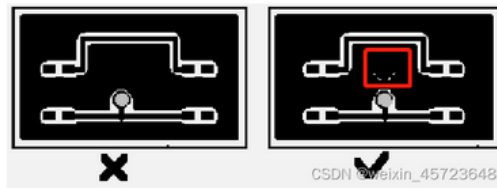
14) 器件布局分区/分层原则：

(1) 主要为了防止不同工作频率的模块之间的相互干扰，同时尽量缩短高频部分的布线长度。通常将高频的部分布设在接口部分以减少布线长度，当然，这样的布局仍然要考虑到低频信号可能受到干扰。同时还要考虑到高/低频部分地平面的分割问题，通常采用将二者的地分割，再在接口处单点相接。

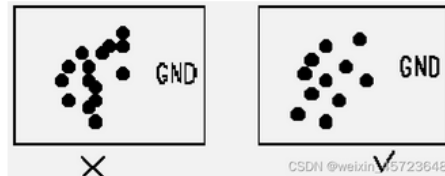
(2) 对混合电路，也有将模拟与数字电路分别布置在印制板的两面，分别使用不同的层布线，中间用底层隔离的方式。



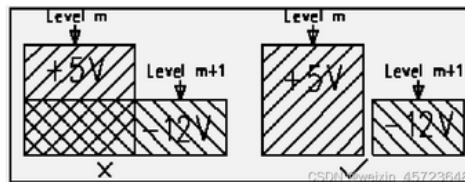
15) 孤立铜区控制规则：孤立铜区的出现，将带来一些不可预知的问题，因此将孤立铜区与别的信号相接，有助于改善信号质量，通常是将孤立铜区接地或删除。在实际的制作中，PCB厂家将一些板的空置部分增加了一些铜箔，这主要是为了方便印制板加工，同时对防止印制板翘曲也有一定的作用。



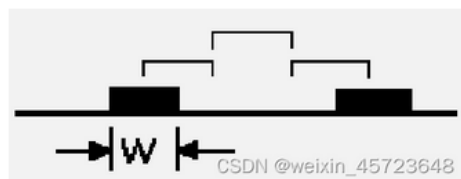
16) 电源与地层的完整性规则：对于导通孔密集的区域，要注意避免孔在电源和地层的挖空区域相互连接，形成对平面层的分割，从而破坏平面层的完整性，并进而导致信号在地层的回路面积增大。



17) 重叠电源与地线层规则：不同电源层在空间上要避免重叠。主要是为了减少不同电源之间的干扰，特别是电压相差很大的电源之间，电源平面的重叠问题一定要设法避免，难以避免时可考虑中间隔地层。



18) 3W原则：为了减少线间串扰，应保证线间距足够大，当线中心间距不少于3倍线宽时，则可保持70%的电场不互相干扰，称为3W原则。如要达到98%的电场不互相干扰，可使用10W间距。但并不是板上所有的布线都要强制符合3W原则，而是当多个高速信号线长距离平行走线时，其间距需要遵循3W原则，例如时钟线、差分线、视频信号线、音频信号线、复位信号线以及其他系统关键电路信号。

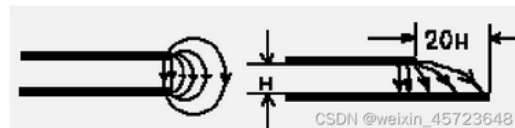


19) 20H原则:

(1) 由于电源层与地层之间的电场是变化的, 在板的边缘会向外辐射电磁干扰, 称为边沿效应。

(2) 解决办法是将电源层内缩, 使得电场只能在接地层的范围内传导。以一个H (电源和地之间的介质厚度) 为单位, 若内缩20H, 则可以将70%的电场限制在接地层边沿内; 内缩100H, 则可以将98%的电场限制在内。

(3) 一般处理方法: 将电源层相对板框内缩60mil, 地平面相对板框内缩20mil。



20) 五--五原则: PCB层数选择规则, 即时钟频率到5MHz或脉冲上升时间小于5ns, 则PCB板需采用多层板, 这是一般的规则, 有时候出于成本等因素的考虑, 采用双层板结构时, 这种情况下, 最好将印制板的一面做为一个完整的地平面层。

3、其它

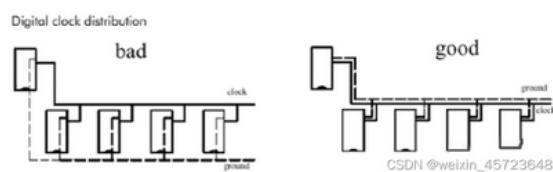
1) 尽量为时钟信号、高频信号、敏感信号等关键信号提供专门布线层, 并保证其最小的回路面积。必要时应采取手工优先布线、屏蔽和加大安全间距等方法, 保证信号质量。

2) 电源层和地层之间的EMC环境较差, 应避免布置对干扰敏感的信号(时钟、复位等信号)。

3) 有阻抗控制要求的网络应尽量按线长线宽要求布线。

4) 时钟的布线: 时钟线是对EMC影响最大的因素之一。在时钟线上应少打过孔, 尽量避免和其它信号线并行走线, 且应远离一般信号线, 避免对信号线的干扰。同时应避开板上的电源部分, 以防止电源和时钟互相干扰。

如果板上有专门的时钟发生芯片, 其下方不可走线, 应在其下方铺铜, 必要时还可以对其专门割地。对于很多芯片都有参考的晶体振荡器, 这些晶振下方也不要走线, 要铺地隔离。



5) 差分走线:

(1) 差分信号 (Differential Signal) 在高速电路设计中的应用越来越广泛，电路中最关键的信号 (USB、以太网、HDMI等) 往往都要采用差分结构设计。

(2) 差分走线定义：通俗地说，就是驱动端发送两个等值、反相的信号，接收端通过比较这两个电压的差值来判断逻辑状态是“0”还是“1”，而承载差分信号的那一对走线就称为差分走线。

(3) 在差分走线中，最关键的就是要做到等长等距。等长是为了保证两个差分信号时刻保持相反极性，减少共模分量；等距则主要是为了保证两者差分阻抗一致，减少反射。

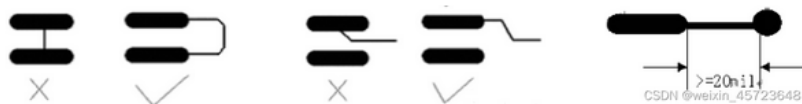
6) 蛇形走线：

(1) 蛇形走线的主要目的是调节延时，以满足系统的时序设计要求。

(2) 成对出现的差分信号一般平行走线，尽量少打孔，必须打孔时，应两线一起打孔，以做到阻抗匹配。

(3) 相同属性的一组总线，应尽量并行走线，做到尽量等长。

(4) 从焊盘引出的过孔应离焊盘远一些。



三、丝印标注

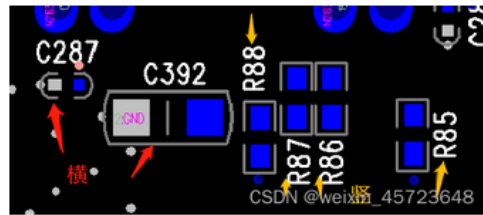
1、参考编号字体尺寸

(1) 字体：一般默认使用<PADS Stroke Font>。

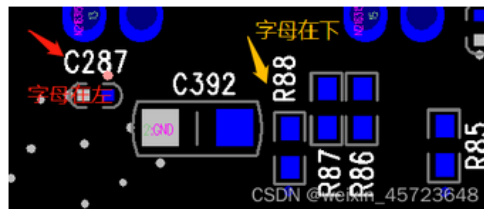
(2) 尺寸：60 X 6mil、50 X 5mil、40 X 4mil，BGA局部可以用40 X 4mil，其它一般用50 X 5mil。

2、参考编号摆放原则

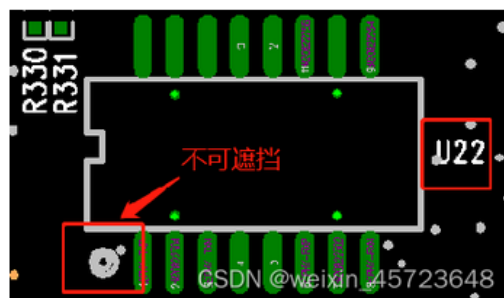
1) 电阻、电容的丝印要根据器件的方向摆放，器件横着（竖着）摆，丝印也要横着（竖着）摆，芯片则不用。



2) 横着摆时字母在左，竖着摆时字母在下。



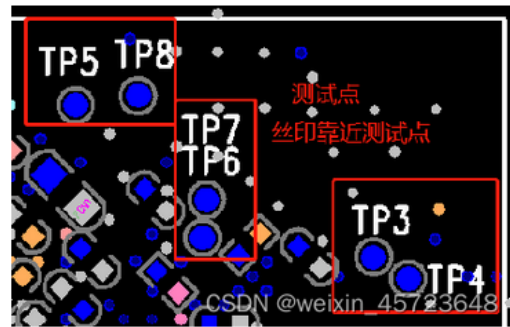
3) 丝印不可以挡住器件的1脚标志。



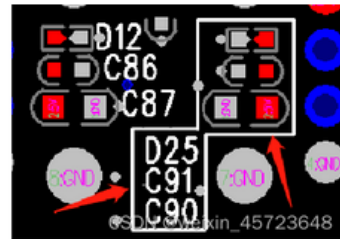
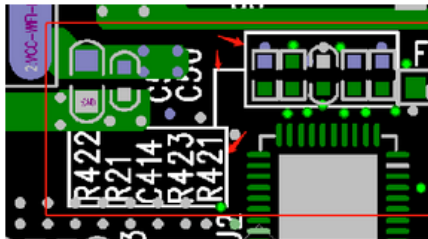
4) Mark点（定位点）的丝印要删除。



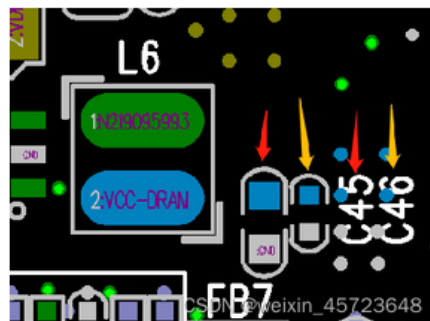
5) 测试点的丝印一定要在测试点周围，靠近测试点。



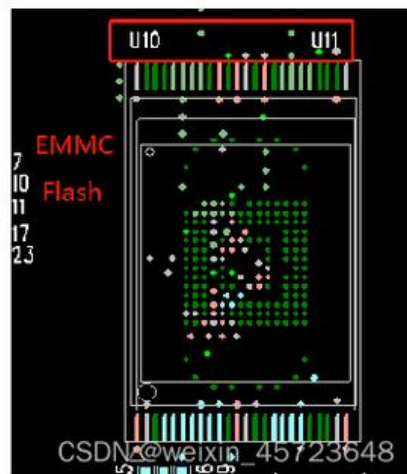
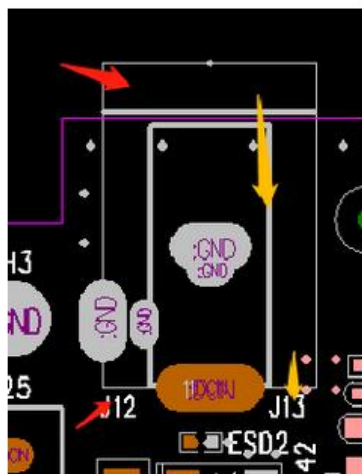
6) 器件周围没有空间摆放丝印时，将丝印按照器件的顺序摆好放在空白处，并且要用2D线把丝印和器件框起来，用2D线连接或画箭头或用字母编号做好标记。



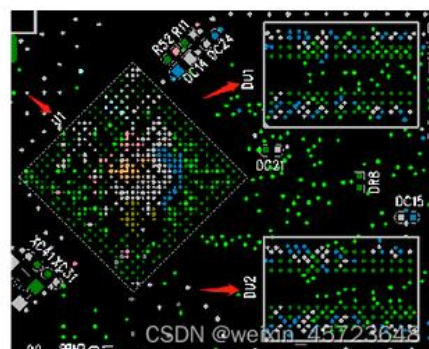
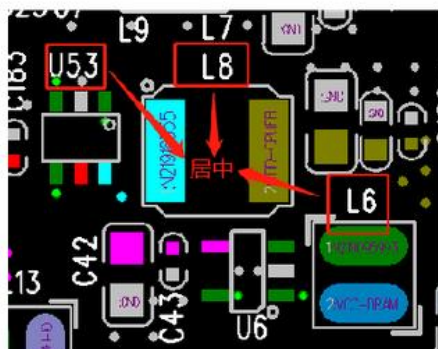
7) 在不和其它器件混淆的情况下，丝印可以按照器件顺序摆在器件旁边。



8) 叠放器件的丝印摆放，一左一右或一上一下。



9) 芯片或大型器件的丝印一般放在器件一侧并居中。



10) 在标注排针网络名时，如果空间足够，最好用丝印框把文本框起来，可使PCB看起来整洁美观。



3、其它

- 1) 丝印和2D线一定要放在丝印层 (Silkscreen Top、Silkscreen Bottom) 。
- 2) 2D线线宽 $\geq 4\text{mil}$ ，一般用5mil或10mil。
- 3) 丝印检查：可按住ctrl，然后使用鼠标点击元器件，遇到错误的丝印标注时，可将已检查过的元件高亮 (ctrl+H)，再去修改错误的丝印，最后取消全部元器件的高亮 (Ctrl+U) 。
- 4) Bottom丝印检查：可将板子镜像 (Alt+B) 后再检查。
- 5) 最后记得在板子上用文本标注版本号，改板也要记得更新版本号。