

Міністерство освіти і науки України

Національний Університет "Львівська політехніка"

Кафедра систем автоматизованого проектування



Пояснювальна записка

До розрахунково-графічної роботи

З дисципліни «Комп'ютерна схемотехніка»

На тему «Розрахунок та побудова блоку пам'яті»

Виконала: студентка групи КН-208

Гусаревич Яніна

Номер залікової книжки: 17080453

Підпис _____

Львів-2019

ЗАВДАННЯ ДО РОЗРАХУНКОВО-ГРАФІЧНОЇ РОБОТИ

Розробити блок пам'яті ОЗП об'ємом 1Кх8 на основі мікросхеми пам'яті з організацією 256х8. Вибрати тип мікросхеми пам'яті, область адресного простору. Синтезувавши дешифратор адрес і принципову електричну схему.

ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ

БП – блок пам'яті

МП - мікропроцесор

ОЗП – оперативний запам'ятовуючий пристрій

ЗМІСТ

1. Вступ.....	5
2. Вибір і обґрунтування типу мікросхеми для побудови блоку пам'яті.....	6
3. Розрахунок визначення кількості мікросхем пам'яті для блоку.....	8
4. Виділення адресного простору для блоку пам'яті.....	9
5. Синтез схеми дешифратора для блоку пам'яті.....	11
6. Аналіз результатів і висновки.....	13
7. Список літератури.....	14

ВСТУП

У реаліях сучасного світу комп'ютерні технології відіграють велике значення, як з точки зору побутового життя, так і з боку бізнесу, науки, промисловості і тп. У зв'язку з цим створюються нові мікропроцесорні системи, які мають вміти обробляти та зберігати велику кількість даних, що можливо лише з якісним виробництвом блоків пам'яті з відповідними до системи вимогами. Від пам'яті комп'ютера залежить його продуктивність та швидкодія, проте розробити якісні БП можливо лише з правильним підходом до поставленої задачі, який складається з наступних етапів:

1. Визначення вимог до блоку пам'яті (тип БП, об'єм, організація).
2. Вибір мікросхеми.
3. Підрахунок кількості мікросхем для побудови.
3. Виділення адресного простору для БП.
4. Синтез схеми дешифратора адрес.
5. Побудова схеми електричної принципової.

1. ВИБІР І ОБҐРУНТУВАННЯ ТИПУ МІКРОСХЕМИ ДЛЯ ПОБУДОВИ БЛОКУ ПАМ'ЯТІ

Мікросхеми для відповідного до мого індивідуального завдання блоку пам'яті ОЗП повинні мати організацію 256x8. Таку конфігурацію має мікросхема КМ185РУ8 і її зарубіжний аналог – N8X350F.

На рисунку 2.1 зображено графічне умовне позначення мікросхеми N8X350F.

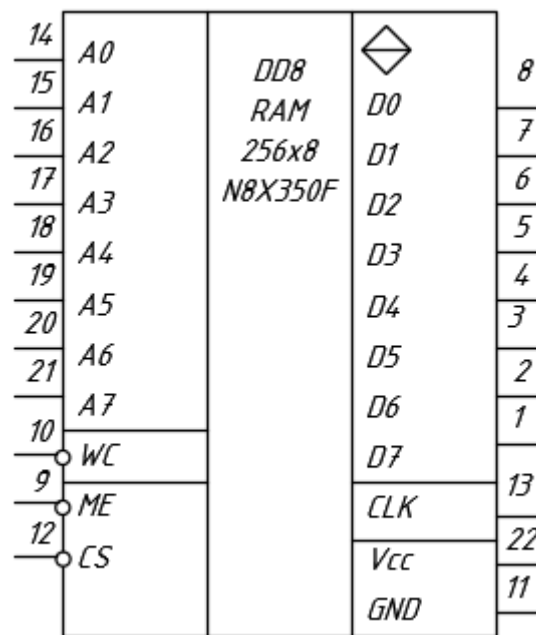


Рис. 2.1. Умовне графічне позначення N8X350F

1, 2, 3, 4, 5, 6, 7, 8 – інформаційні входи;

9 – вхід сигналу «вибір пам'яті»;

10 – вхід сигналу «запис\читання»;

11 – цифрова земля;

12 – вхід сигналу «вибір мікросхеми»;

13 – синхроімпульс;

14 – вхід адресної стрічки A0;

- 15 – вхід адресної стрічки A1;
- 16 – вхід адресної стрічки A2;
- 17 – вхід адресної стрічки A3;
- 18 – вхід адресної стрічки A4;
- 19 – вхід адресної стрічки A5;
- 20 – вхід адресної стрічки A6;
- 21 – вхід адресної стрічки A7;
- 22 – напруга живлення.

Електричні параметри:

- Номінальна напруга живлення..... $5V \pm 5\%$
- Вихідна напруга низького рівня..... $\leq 0.85\text{ В}$
- Вихідна напруга високого рівня..... $\geq 2\text{ В}$
- Струм споживання..... $\leq 100\text{ мА}$
- Час циклу запису $\geq 35\text{ нс}$
- Час циклу зчитування $\geq 35\text{ нс}$
- Час вибору адреси $\leq 35\text{ нс}$
- Час вибору дозволу $\geq 35\text{ нс}$
- Вхідна ємність $\leq 5\text{ пФ}$
- Вихідна ємність..... $\leq 8\text{ пФ}$

2. РОЗРАХУНОК ВИЗНАЧЕННЯ КІЛЬКОСТІ МІКРОСХЕМ ПАМ'ЯТІ ДЛЯ БЛОКУ

Кількість мікросхем для нарощення об'єму обчислюється за формулою:

$$L = M / m,$$

де M – бажаний об'єм БП,

m – об'єм однієї мікросхеми.

Згідно з індивідуальним завданням $M = 1\text{К}$, $m = 256$, тому:

$$L = 1\text{К} / 256 = 4.$$

Кількість мікросхем для нарощення розрядності обчислюється за формулою:

$$P = N / n,$$

де N – бажана розрядність БП,

n – розрядність однієї мікросхеми.

Згідно з індивідуальним завданням $N = 8$, $n = 8$, тому:

$$P = 8 / 8 = 1.$$

Загальна кількість мікросхем обчислюється за формулою:

$$Q = L * P.$$

Оскільки $L = 4$, $P = 1$, то загальна кількість мікросхем дорівнює:

$$Q = 4 * 1 = 4.$$

3. ВИДІЛЕННЯ АДРЕСНОГО ПРОСТОРУ ДЛЯ БЛОКУ ПАМ'ЯТІ

Таблиця 3.1. Розміщення БП у адресному просторі МП КР580ВМ80

Початкова адреса	F000h
Кінцева адреса	FFFFh

Таблиця 3.2. Банки пам'яті

BANK №	min/ max	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
BANK 0	min	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0
	max	1	1	1	1	1	1	0	0	1	1	1	1	1	1	1	1
BANK 1	min	1	1	1	1	1	1	0	1	0	0	0	0	0	0	0	0
	max	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1
BANK 2	min	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0
	max	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
BANK 3	min	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
	max	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

A₀, ..., A₉ – адрес комірки пам'яті;

A₁₀, A₁₁ – входи, що використовуються для вибору банку пам'яті;

A₁₂, A₁₃, A₁₄, A₁₅ – повинні мати значення логічної одиниці, щоб БП працював.

Отже, БП розміщується у адресному просторі між адресами F000h та FFFFh.

Для вибору банку у БП потрібно подавати різні комбінації (правий розряд – A_{10} , лівий розряд A_{11}):

00 – для вибору BANK0;

01 - для вибору BANK1;

10 - для вибору BANK2;

11 - для вибору BANK3

4. СИНТЕЗ СХЕМИ ДЕШИФРАТОРА ДЛЯ БЛОКУ ПАМ'ЯТІ

З таблиці 3.2 отримуємо адреси для кожного з 4-ох банків:

BANK 0: min = 1111110000000000, max = 1111110011111111

BANK 1: min = 1111110100000000, max = 1111110111111111

BANK 2: min = 1111111000000000, max = 1111111011111111

BANK 3: min = 1111111100000000, max = 1111111111111111

На основі цих адрес записую логічні вирази для вибору відповідних банків:

$$CS0 = \overline{(A_{15}A_{14}A_{13}A_{12}A_{11}A_{10})} \vee A_9 \vee A_8 \quad (\text{для вибору BANK 0})$$

$$CS1 = \overline{(A_{15}A_{14}A_{13}A_{12}A_{11}A_{10})} \vee A_9 \vee \overline{A_8} \quad (\text{для вибору BANK1})$$

$$CS2 = \overline{(A_{15}A_{14}A_{13}A_{12}A_{11}A_{10})} \vee \overline{A_9} \vee A_8 \quad (\text{для вибору BANK2})$$

$$CS3 = \overline{(A_{15}A_{14}A_{13}A_{12}A_{11}A_{10})} \vee \overline{A_9} \vee \overline{A_8} \quad (\text{для вибору BANK3})$$

На рис 5.1 наведено схему дешифратора синтезованого на основі наведених логічних функцій.

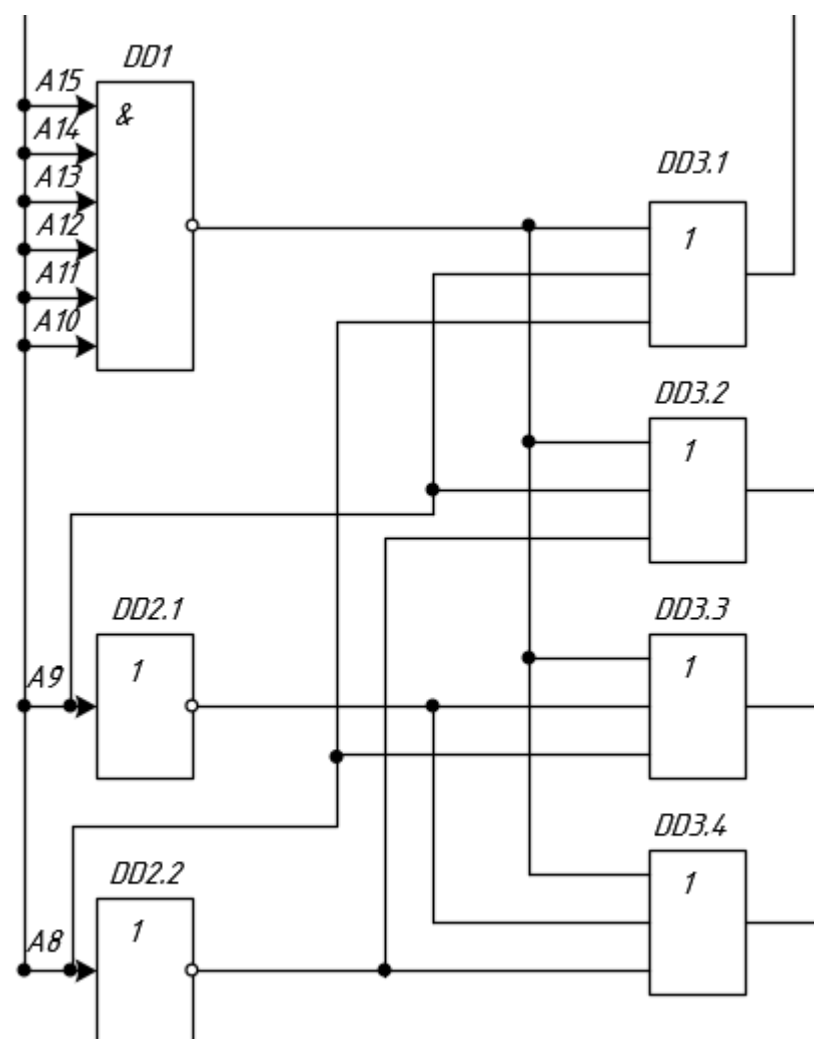


Рис. 5.1. Синтезованный дешифратор адрес

АНАЛІЗ РЕЗУЛЬТАТІВ І ВИСНОВКИ

В результаті виконання розрахунково-графічної роботи було побудовано блок оперативної пам'яті об'ємом 1Кх8 з використанням мікросхем з організацією 256х8. Для цього у довіднику [1] було знайдено інформацію про те, що таку конфігурацію має мікросхема КМ185РУ8, проте умовне графічне позначення цієї мікросхеми у довідковій літературі відсутнє. У джерелі [2] було знайдено інформацію про те, що мікросхема КМ185РУ8 має зарубіжний аналог N8X350F. Оскільки процес пошуку мікросхеми з такою конфігурацією є достатньо складним, у ході роботи я навчилася користуватися науково-технічною довідковою літературою для вирішення певної інженерної задачі. Було виділено місце для блоку пам'яті у адресному просторі МП КР580ВМ80, обчислено кількість мікросхем, необхідних для побудови блоку пам'яті, кількість банків та визначено їхні адреси. Використовуючи адреси банків, було записано логічні вирази для вибору відповідних банків, на основі яких було синтезовано дешифратор адрес для БП і остаточно побудовано схему електричну принципову за допомогою програмного забезпечення Microsoft Visio. Таким чином, я поглибила, укріпила та узагальнення теоретичних знань, розвинула практичні навички в галузі комп'ютерної схемотехніки та архітектури комп'ютерів за допомогою сучасних інформаційних технологій.

СПИСОК ЛІТЕРАТУРИ

1. С. В. Якубовский, Л. И. Ниссельсон, В. И. Кулешова и др. Цифровые и аналоговые интегральные микросхемы: Справочник. / под ред. С. В. Якубовского. — М: Радио и связь, 1990. — 496 с.
2. Нефедов А.В. Интегральные микросхемы и их зарубежные аналоги. Том 3.—М.:ИП РадиоСофт, 2000. — 574 с.
3. Signetics N8X350 Datasheet Preview // Сайт - <https://cdn.datasheetspdf.com> (https://cdn.datasheetspdf.com/pdf-down/N/8/X/N8X350_Signetics.pdf).
4. ГОСТ 2.702-2011. ЕСКД. Правила выполнения электрических схем. — 01.01.2012.