



## Centro Federal de Educação Tecnológica de Minas Gerais

Departamento de Computação  
Curso de graduação em Engenharia da Computação  
Laboratório de Arquitetura e Organização de Computadores II  
Prof. Jeferson Figueiredo Chaves (jeferson@decom.cefetmg.br)

### Prática I – Valor 25 pontos

Data de Entrega: Partes I e II: 22/03/2019  
Data de Entrega Parte III: 05/04/2019

**Objetivo:** Esta prática tem a finalidade de aplicar os conceitos relacionados à hierarquia de memória e lembrar como se utiliza a placa DE2.

**Parte I (5 pontos)** : Implementação de uma memória RAM utilizando a biblioteca LPM. A leitura e escrita devem ser realizadas utilizando o *display* de 7-segmentos.

**Parte II (5 pontos)**: Inicialização da memória utilizando um arquivo (MIF - *memory initialization file* (MIF)). A leitura e escrita devem ser realizadas utilizando o *display* de 7-segmentos.

**Parte III (15 pontos)**: Implemente uma cache associativa por conjunto de 2 vias, com utilização do MIF e realização da leitura e escrita utilizando o *display* de 7-segmentos. O aluno deve mostrar o que ocorre em casos de acerto e falha de leitura/escrita na cache e situações que modificam os bits “Dirty”, “LRU” e “Válido”.

## Submissão

Crie um pacote contendo TODOS os códigos fontes, formas de onda, e o relatório do projeto. Cada dupla deverá submeter um pacote no Moodle. O nome do arquivo deve ser: *nomealuno1\_nomealuno2\_pratica1.zip*

O relatório deverá incluir os seguintes componentes:

1. Para cada parte, as formas de onda com uma explicação que mostre o correto funcionamento.
2. Para a parte II e III, arquivo .mif.
3. O **projeto** do seu sistema para a **Parte III**, incluindo detalhes necessários dos módulos criados. Faça uma figura mostrando os blocos básicos e interconexões.

## **Apresentação em sala**

Para cada parte, cada dupla deverá apresentar o funcionamento na placa com as seguintes funcionalidades:

**Parte I e Parte II:** Leitura e escrita em posições distintas da memória.

**Parte III:** (a) Leitura/escrita com acerto, (b) Leitura/escrita com falha, (c) atualização dos bits “válido”, “dirty” e “LRU”.

## **Avaliação**

**Parte I:** Qualidade do código (1 pt); Simulações com explicações no relatório (2 pt);  
Apresentação na Placa (2 pt)

**Parte II:** Qualidade do código (1 pt); Simulações com explicações no relatório (2 pt);  
Apresentação na Placa (2 pt)

**Parte III:** Qualidade do código (2 pts); Simulações com explicações no relatório (4 pts);  
Apresentação na Placa (4 pts)

**Relatório:** Qualidade do texto, descrição do projeto e figura (5,0 pts)

Para cada parte, cada dupla deverá apresentar o funcionamento na placa.