

Relatório Sobre a Arquitetura RISC-V

Yan Tavares - 202014323

19 de novembro de 2023

1 Perguntas presentes na definição do projeto

1.1 Embaralhamento dos Bits do Imediato

A arquitetura RISC-V embaralha os bits dos valores imediatos em algumas de suas instruções para otimizar o espaço do opcode e a decodificação das instruções. Este embaralhamento permite que a arquitetura mantenha um conjunto de instruções mais enxuto e eficiente, alinhado com os princípios de design RISC (Reduced Instruction Set Computing).

1.2 Imediatos Sem o Bit 0

Os imediatos que não incluem o bit 0 geralmente são utilizados em instruções de salto e branch, onde a precisão do endereço até o nível do bit menos significativo (bit 0) não é necessária. Isso ocorre porque a arquitetura RISC-V possui um alinhamento de instruções na fronteira de 2 bytes. Assim, os endereços de destino para essas instruções sempre serão alinhados a 2 bytes, tornando o bit 0 redundante.

1.3 Extensão de Sinal em Operações Lógicas

Na arquitetura RISC-V, os imediatos utilizados em operações lógicas não estendem o sinal. Em vez disso, esses valores são tratados como números sem sinal. Isso difere das operações aritméticas, nas quais o sinal do imediato é estendido para manter a consistência com o sinal do resultado esperado.

1.4 Implementação da Instrução NOT

A arquitetura RISC-V não possui uma instrução específica para 'NOT'. Em vez disso, a operação 'NOT' pode ser realizada usando a instrução 'XOR' com um valor imediato de todos os bits 1. Isso efetivamente inverte todos os bits do operando, realizando uma operação lógica 'NOT'.