

Nome: Gabarito

Matrícula:       /      /      /      /      /      /      /

## Prova 2

1) (4.0) Na implementação do processador MIPS multiciclo desenvolvida durante o curso, várias instruções convenientes estão ausentes. Sabendo que o acesso (escrita ou leitura) direto à memória exige 3 ciclos de clock do processador, mantendo a compatibilidade do código em linguagem de máquina à ISA MIPS:

1.1)(2.0) Sem alterar a ULA desenvolvida em aula, redefina o seu controle (tabela verdade), e modifique adequadamente o caminho de dados do verso desta folha para implementar as seguintes instruções:

- |  |  |                        |
|--|--|------------------------|
| a)(0.5) nand \$rd,\$rs,\$rt                | # R[\$rd]=R[\$rs] NAND R[\$rt]               | OPCODE=0x00 FUNCT=0x28 |
| b)(0.5) nandi \$rt,\$rs,IMM                | # R[\$rt]=R[\$rs] NAND {16'b0,IMM}           | OPCODE=0x2B            |
| c)(1.0) jaladd \$rs,\$rt, <del>LABEL</del> | # PC=Memória(R[\$rs]+R[\$rt]) e R[\$ra]=PC+4 | OPCODE=0x15            |

1.2)(2.0) Desenhe o diagrama de estados da Unidade de Controle para a CPU completa, isto é, a ISA projetada em aula com as 3 novas instruções acima.

2)(2.0) Um dos dispositivos de saída mais populares é o monitor de vídeo. Considerando a resolução VGA básica de 640 x 480 pixels e 1 word para representação das cores (RGB) para cada pixel:

a)(1.0) **Calcule** a quantidade mínima de memória de vídeo necessária (em words) **E Escreva** a equação que define o mapeamento da posição (X,Y) na tela com o endereço (em words) iniciando em 0x8000 0000

b)(1.0) **Calcule** a quantidade de memória (em words) caso a metodologia de mapeamento (X,Y) similar à utilizada no laboratório seja utilizada **E Desenhe** esse novo mapeamento;

3) (5.0) Atualmente, o acesso à memória é o maior gargalo para o aumento do desempenho de sistemas computacionais. A criação da memória cache veio minimizar este problema, aumentando a velocidade de acesso à memória sem, virtualmente, reduzir seu tamanho. A fim de verificar o ganho de desempenho do uso desta tecnologia em 2 implementações do processador MIPS vista em aula, considere os seguintes tempos de atraso das unidades operativas do caminho de dados, que a penalidade por falha (escrita ou leitura) da memória cache de dados na máquina B é de 10 ciclos e que não há cache de instruções.

Unidade	A sem cache	B com cache
Operação com a ULA	250ps	250ps
Somador de 32 bits	150ps	150ps
Leitura/Escrita no Banco de Registradores	100ps	100ps
Leitura da memória de Instruções	1ns	1ns
Leitura/Escrita na memória de Dados	5ns	250ps

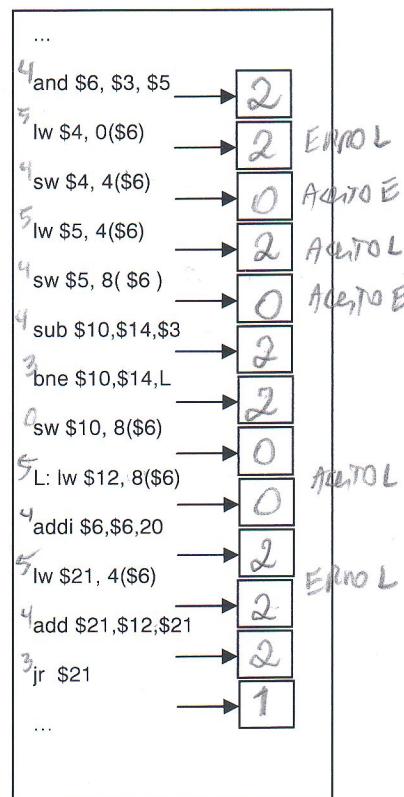
Dado o trecho de programa em Assembly MIPS ao lado, onde o conteúdo do registrador \$6 após a instrução **and** é 0x0100 0000. Considere que a memória cache de dados de 32 posições acessa words, que esteja vazia no início do trecho, que o tamanho do bloco seja de 4 words, no esquema de write-through de escrita com penalidade de 5 ciclos em caso de acerto.

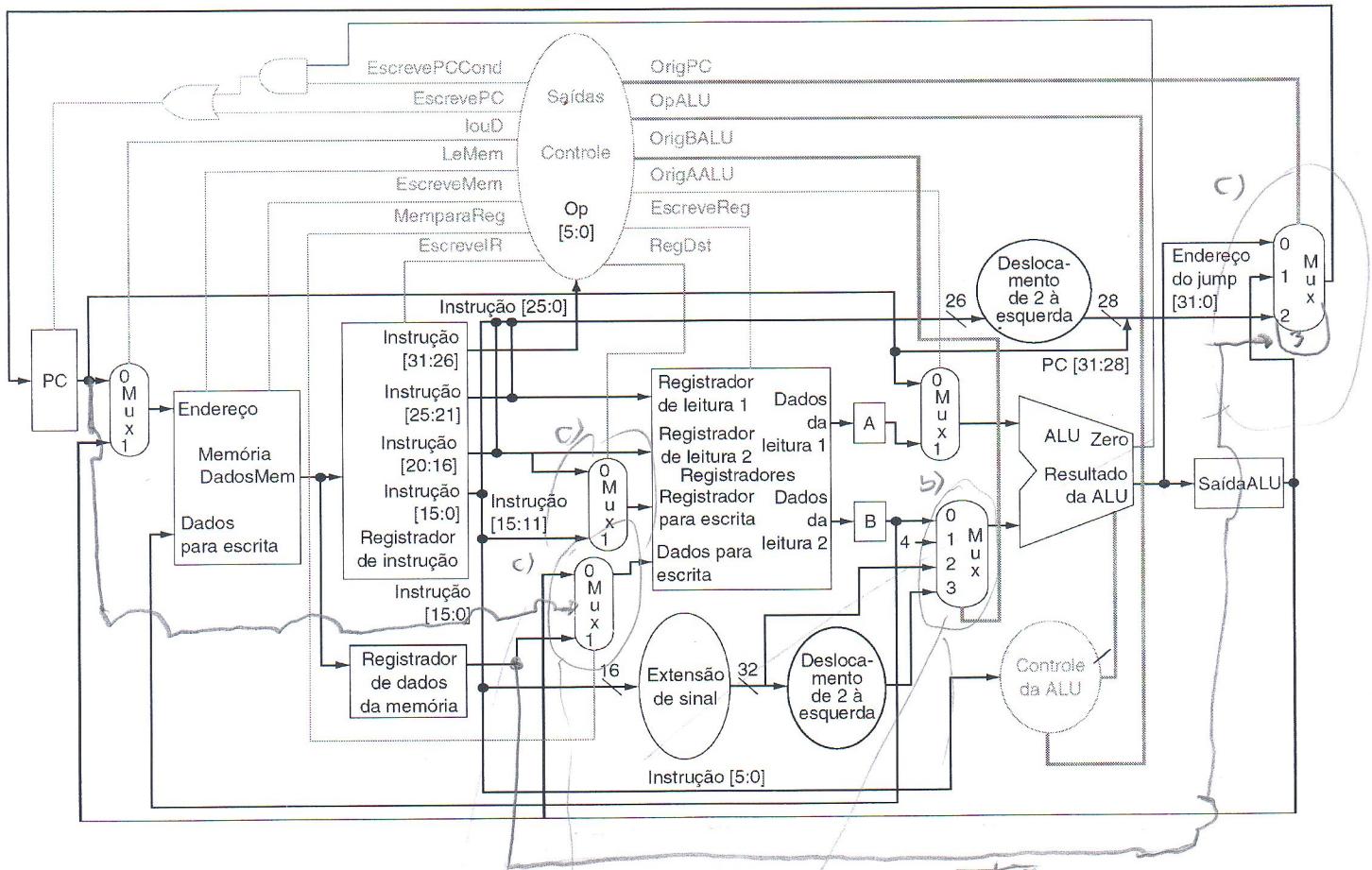
a)(1.0) Para a implementação multiciclo vista em aula, qual serão as maiores frequências de clock utilizáveis em A e em B? Qual o fator de desempenho de B para A para o trecho de código?

b)(2.0) Quais os tempos de execução de A e de B, para implementação em pipeline, se todos os hazards forem tratados apenas com inserção de bolhas? Indique no programa o número de bolhas necessário em cada posição. Considere que os registradores podem ser escritos e lidos no mesmo ciclo, que o branch não previsto é avaliado na etapa EX.

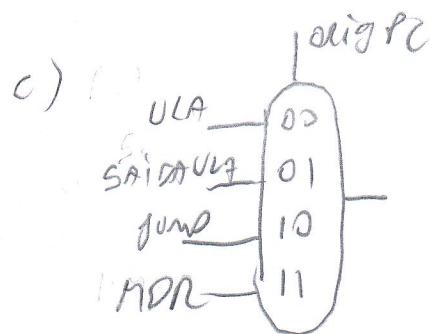
c)(2.0) Quais os tempos de execução de A e de B, para implementação em pipeline, se os hazards forem tratados eficientemente pelo processador com forwarding e/ou inserção de bolhas? Preencha o pipeline esquemático na folha em anexo, ~~hachurando as unidades funcionais realmente utilizadas~~, indicando as instruções, bolhas e forwards sugeridos. Considere que os registradores podem ser escritos e lidos no mesmo ciclo, que o branch é avaliado na etapa ID e previsto como não-tomado.

4) (3.0) Para um endereçamento de 48 bits, qual o tamanho real (em bits) que uma memória cache L1 de dados de mapeamento direto deve ter se sua unidade de acesso é o byte, trabalha com blocos de 4 words, e o tamanho convencional especificado pelo fabricante é de 32KiB.

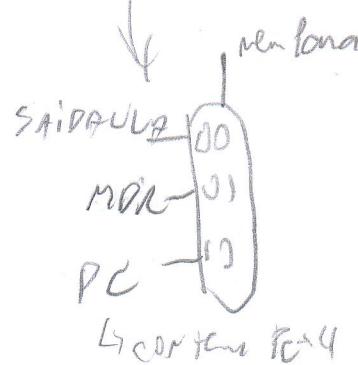
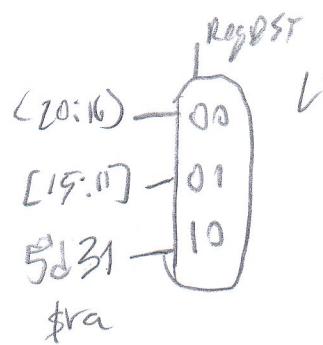
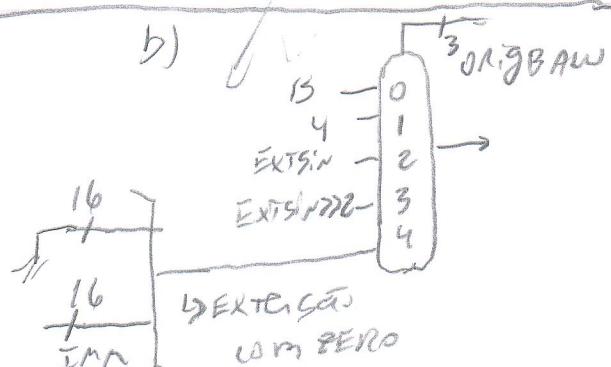


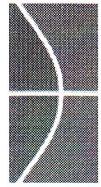


a) não muda nada.



b)





Universidade de Brasília

**Departamento de Ciência da Computação**  
Disciplina: CIC 116394 – Organização e Arquitetura de Computadores  
Prof. Marcus Vinicius Lamar

MEM → B → Environ

Ragbir / 10

Matrícula: \_\_\_\_\_

Name:

LW 54

and 6

LW 54

Guy  
Guy

LW 45

560 45

CLIPS \$10

MELBOURNE

MEMORANDUM

Chile 510

16 1.42 \$12

四

471

Extem → EEG  
+ 1301ha

Prud'homme, Mme de Montal - Mrs. M.

111 Boulard

卷之三

Menü B → Weiß

Ex nr → Breg  
+ 1 Bal/ha

A phylogenetic tree diagram showing relationships between different taxa. The tree has a root at the top and branches downwards. Several clades are highlighted with colored boxes: a large blue box on the left side, a red box containing a clade with three taxa, a green box containing a clade with two taxa, and a yellow box containing a clade with two taxa. The tree is rooted at the top and shows various internal nodes and terminal taxa.

Mr \$21  
→  
Excell. 7000  
by TD

OAC-A

2011/1

2º Prova  
Gabarito

1)

1.1) Sabendo teorema de De Morgan:  $\overline{A \cdot B} = \overline{A} + \overline{B}$   
Logo o MAND pode ser obtido somente configurando  
o control:  $A_{inv}=1$   $B_{inv}=1$   $MUX=00 \rightarrow ALUCTRL=1101$

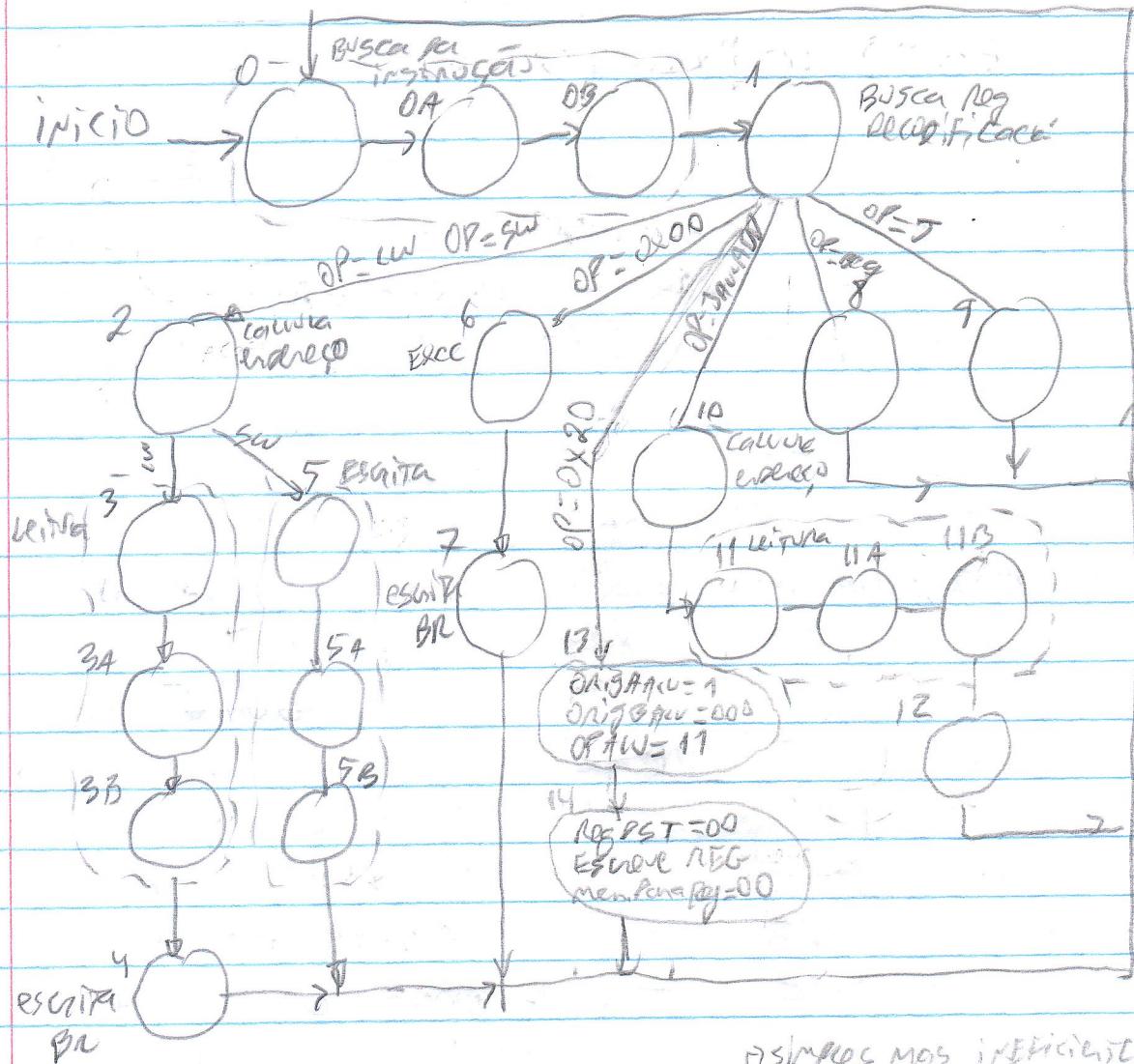
INSTR	OPCODE	FUNCT	OPALU	ALUCTRL	
LW	0x23	-	00	0010	+
SW	0x2B	-	00	0010	+
BEQ	0x04	-	01	0110	-
AND	0x00	0x24	10	0000	AND
OR	0x00	0x25	10	0001	OR
ADD	0x00	0x20	10	0010	ADD
SUB	0x00	0x22	10	0110	SUB
SLT	0x03	0x27	10	0111	SLT
NAND	0x03	0x28	10	1101	NAND
NOR	0x2B	-	11	1101	NOR
JALADD	0x15	-	00	0010	+

OPALU 11  $\rightarrow$  especifico PI NAND

JALADD  $\rightarrow$  ULT realiza a soma  $V_0 + V_1$

1.2) Problema: Acesso à memória demanda 3 ciclos.

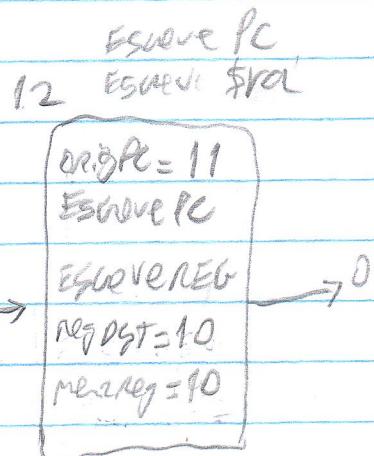
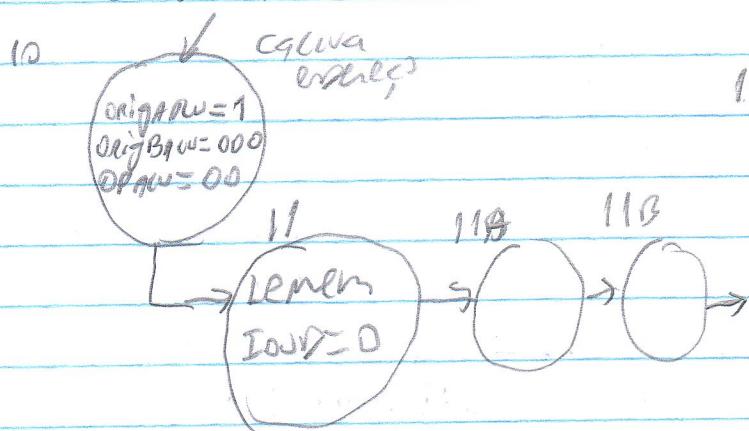
↳ LOGO + 2 ESTADOS a cada acesso à memória



Passos mais inefficientes

OS SÍMBOLOS DOS ESTADOS XA e XB PODEM SER IGUAIS à X.

Porém o JALADO:

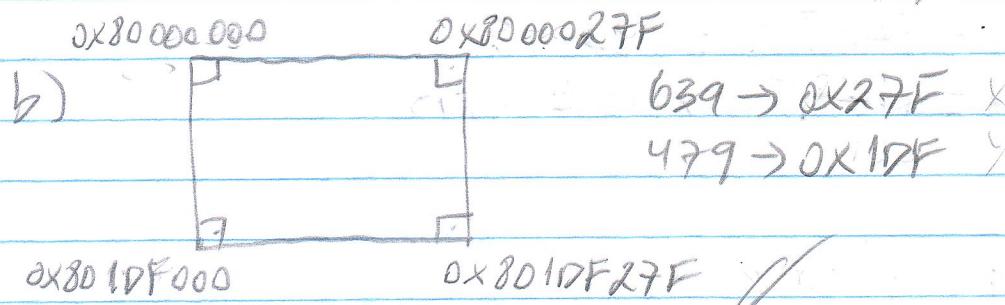


Aumenta o nº de bits de  
regPST, mem[reg] e origPte  
em todos os estados apesar

$$2) a) \text{memória mínima} = 640 \times 480 \text{ WORDS} \\ = 307.200 \text{ WORDS //}$$

$$\text{END} = Y \times 640 + X + 0x8000\ 000$$

↑  
 em hexa      //      |      |  
 639      479



$$\text{Logo memória necessária} = 0x1DF27F + 1 \\ = 1.962.624 \text{ words //}$$

3) Se \$6 ≠ 0 logo \$3 ≠ 0 e \$5 ≠ 0 And \$6, \$3, \$5  
 Logo bne \$10, \$14, L sempre tomado  
 Pernasizar

memória: Endo leitura → 10 ciclos

Endo escrita → 10 + 5 ciclos = 15

Acessos escrita → 5 ciclos

Acesso leitura → 0 ciclos

a) nutrido:

$$f_A = 1 = 200 \text{ MHz}$$

5n sem cache

$$\eta = \frac{t_A = \text{N.ciclos} \times 5 \times 10^9}{t_B (\text{M.Cicles} + \text{PER}) \times 1 \times 10^9}$$

$$f_B = 1 = 10 \text{ Hz}$$

1n com cache

$$\eta = \frac{50 \times 5}{(50 + 10 + 5 + 0 + 5 + 0 + 10) \times 1}$$

4ENDO

le 4 words

$$\eta = 3,125 //$$

PIPELINE

b) Considerando que j, q, dace e pr necessitam 1 bloco

$$t_A = 5 \text{ ns}$$

$$t_A = 29 \times 5 \text{ ns} = 145 \text{ ns}$$

$$t_B = 1 \text{ ns}$$

$$t_B = (29 + 30) \times 1 \text{ ns} = 59 \text{ ns}$$

Penalidades

$$<) t_A = 17 \times 5 \text{ ns} = 85 \text{ ns}$$

$$t_B = (17 + 30) \times 1 \text{ ns} = 47 \text{ ns}$$

4) Endereço 48 bits

tamanho convencional = quantidade de DADOS!

$$32 \times 2^{10} B = N. \text{Pos.} \times (\text{TAM. BLOCO em unidades de acesso})$$

$$32 \times 2^{10} = N. \text{Pos.} \times (4 \times 4)$$

$$N. \text{Posições} = 2 \times 2^{10} = 2048 \text{ posições}$$

do cache

Logo necessita índice de 11 bits

Endereço

TAG	índice	BLOCOS
11	4	= 48

$$\therefore \text{TAG} = 33 \text{ BITS} \quad 16 \text{ bytes}$$

Logo: tamanho real da cache:

V=1 TAG=33	16 Bytes
0	
1	
:	
2047	

$$(33 + 1 + 16 \times 8) \times 2048 = 331.776 \text{ BITS}$$

$$162 \times 2^{11} \quad 324 \text{ Kibits}$$