



Universidade de Brasília
DEPARTAMENTO DE CIÊNCIA DA COMPUTAÇÃO -
CIC

GRUPO 5

LABORATÓRIO 2 DE OAC

ULA e FPULA

Nome do Estudante	Matrícula
1. Iago Lobo Ribeiro de Moraes	14/0082921
2. Cristiano Krug Brust	15/0008058
3. José Marcos da Silva Leite	15/0038810
4. Yan Victor dos Santos	14/0033599
5. André Luiz de Moura Ramos Bittencourt	14/0130225

Professor(a):

Marcus Vinícius Lamar

Data : 09/10/2017

1 Implementação de um driver para display de 7 segmentos

Objetivos:

- Introduzir ao aluno a Linguagem de Descrição de Hardware Verilog;
- Familiarizar o aluno com a plataforma de desenvolvimento FPGA DE2 da Altera e o software QUARTUS-II;
- Desenvolver a capacidade de análise e síntese de sistemas digitais usando HDL.

a) (0.0) Crie um novo projeto no diretório ‘Display’ conforme descrito no arquivo QuartusIIv3.txt e Set.txt.

b) (0.0) Para as versões síncrona e assíncrona do decoder7, realize a simulação funcional e temporal em forma de onda, e indique os requerimentos físicos, i) número de elementos lógicos, ii) maior tempo de atraso e iii) máxima frequência de operação.

c) (0.0) Inclua o arquivo de interface (TopDE.v) com as interconexões com a placa DE2-70, sintetize e teste para todos os valores de entrada. Para a apresentação da verificação do projeto, crie um canal para o seu grupo no YouTube e poste os vídeos dos testes com os links no relatório. (Passos: Apresente o grupo e seus membros, o projeto a ser realizado e os testes solicitados);

2 Unidade Lógico Aritmética de Inteiros

a) (0.0) Para a ULA MIPS32 fornecida, desenhe o diagrama em blocos, descreva suas funções, levante a tabela verdade de seus códigos de operação.

b) (2.0) Verifique cada operação implementada por simulação temporal de forma de onda. Dica: Escolha valores de entrada que sejam representativos (comuns) e que possam gerar resultados singulares (overflow, zero).

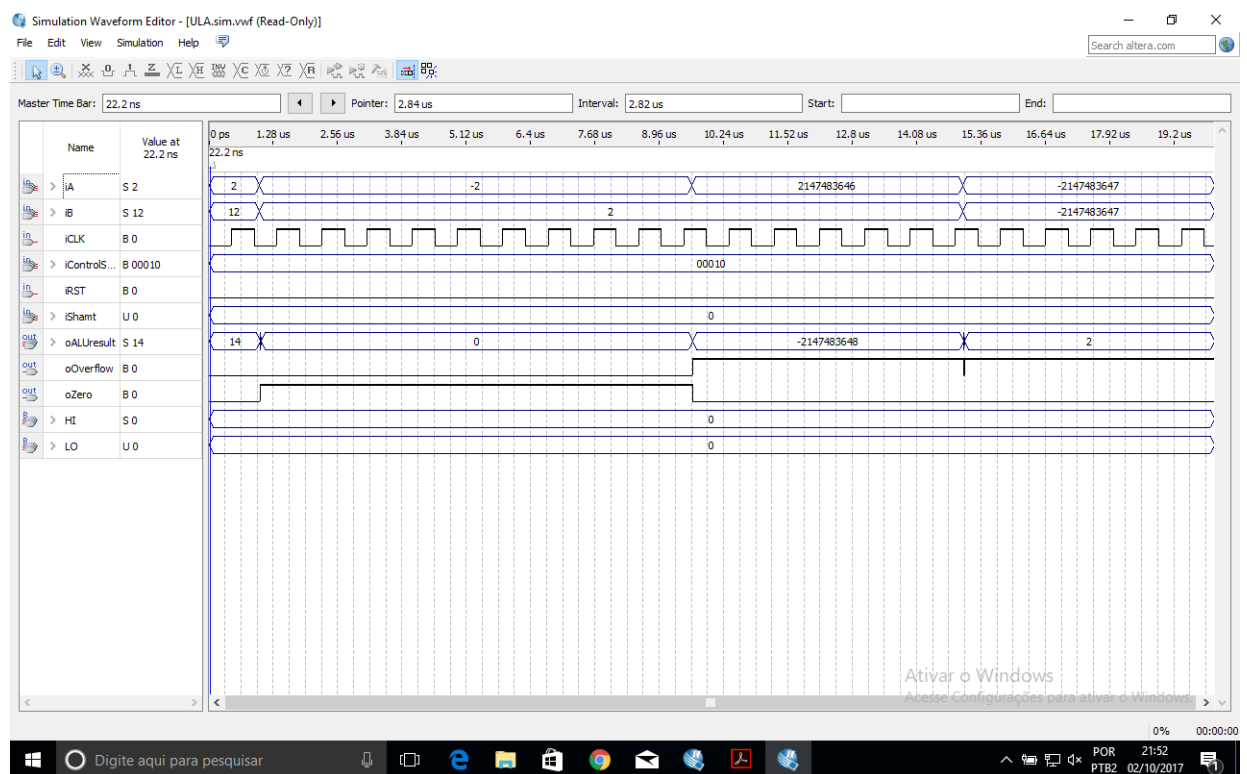
c) (2.0) Levante os requisitos físicos necessários, isto é, i) o número de elementos lógicos, ii) os tempos de atraso envolvidos e iii) a máxima frequência de clock utilizável, para a ULA total, e para cada operação separadamente.

d) (1.0) Sintetize esta ULA na placa DE2-70 (TopDE.v) e comprove seu funcionamento. Filme o experimento e coloque no YouTube.

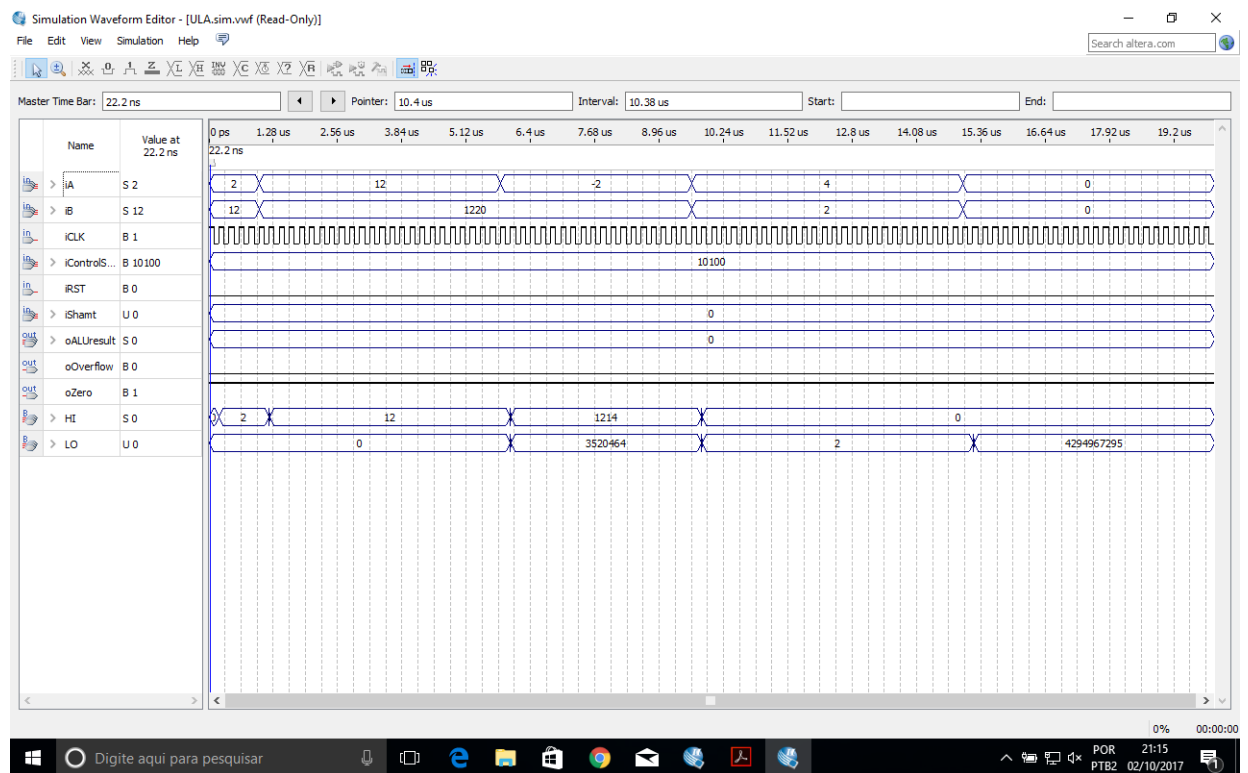
Respostas:

b)

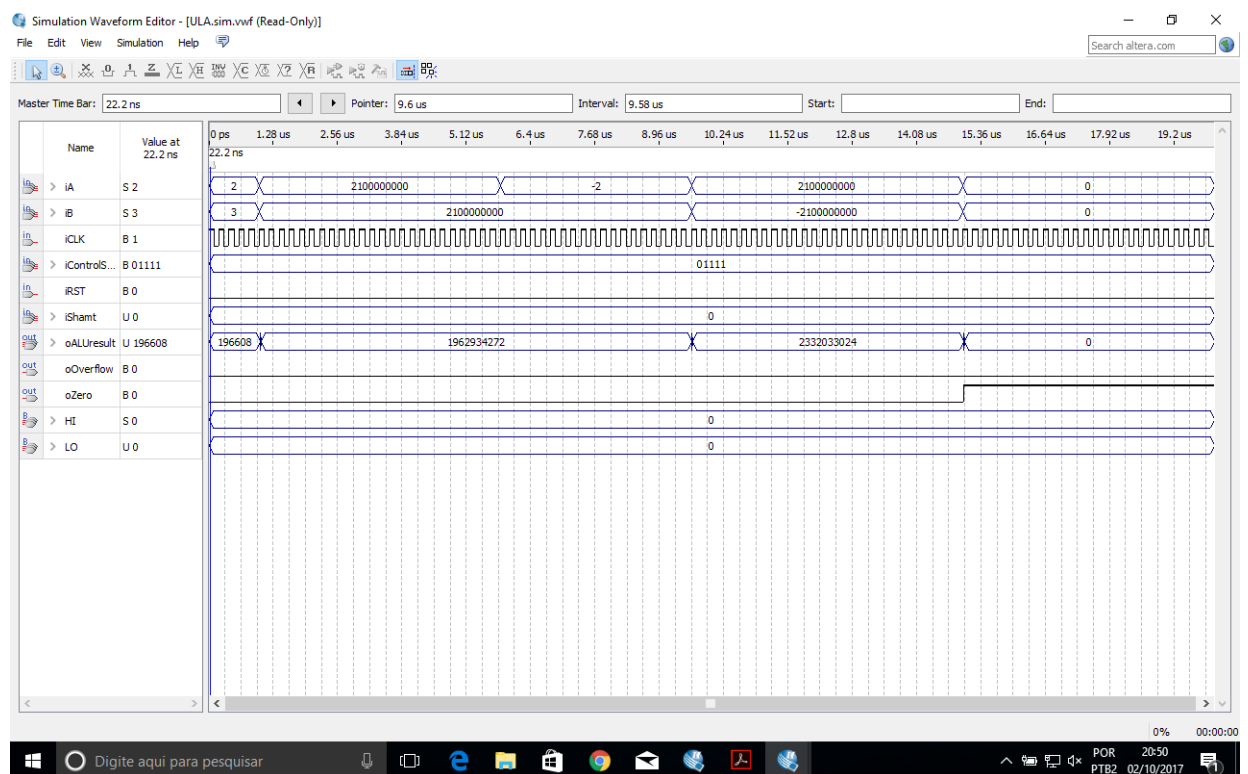
Operação ADD :



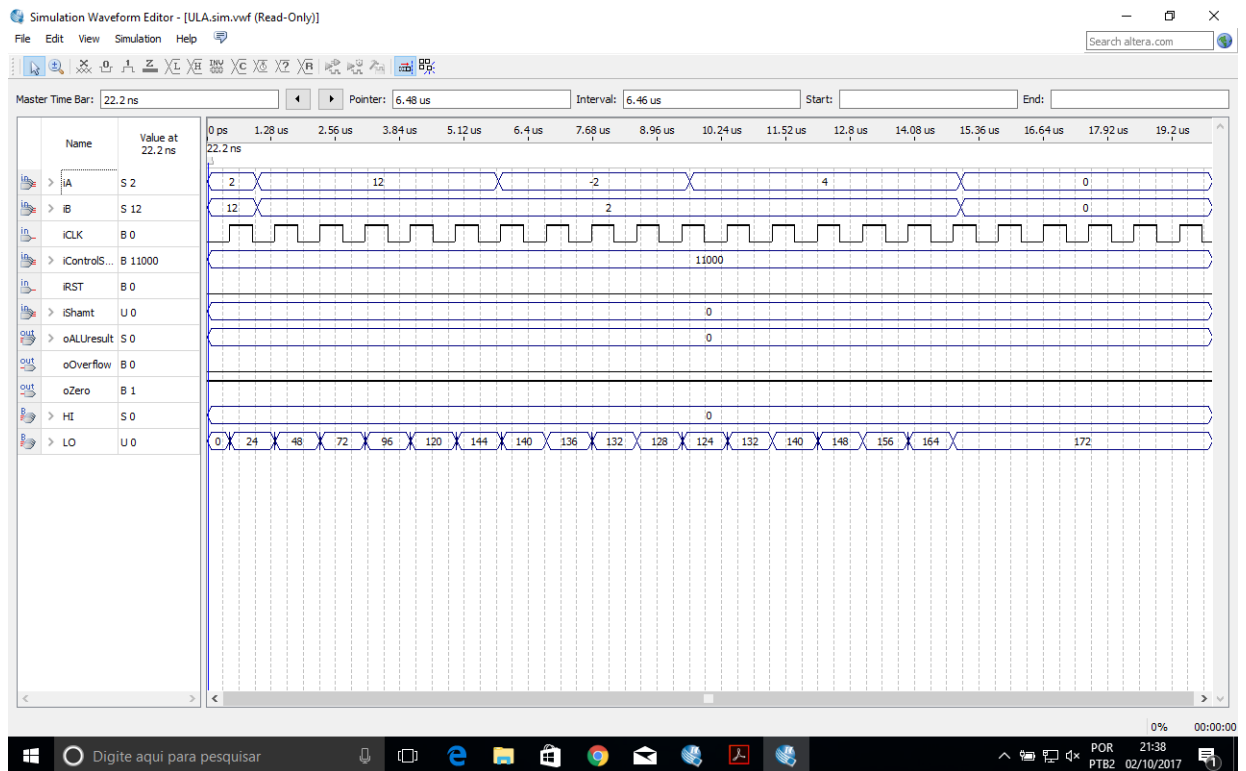
Operação DIVU :



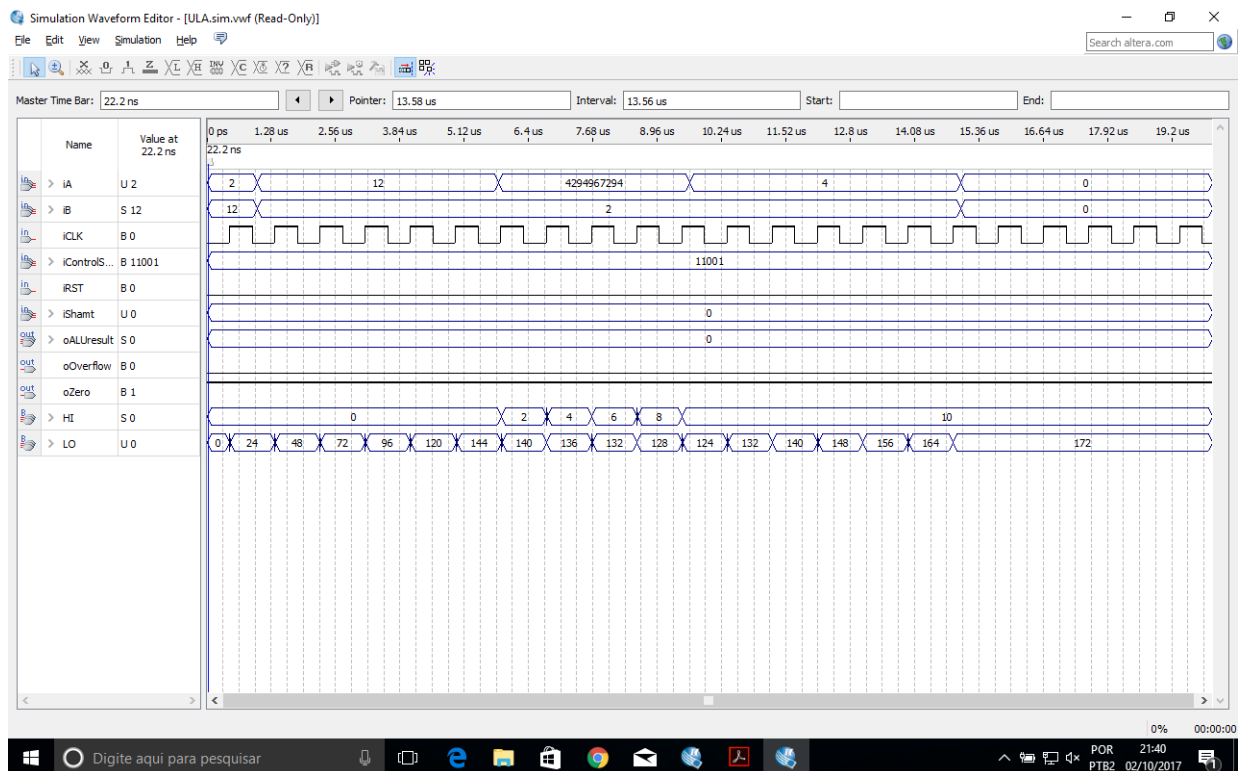
Operação LUI :



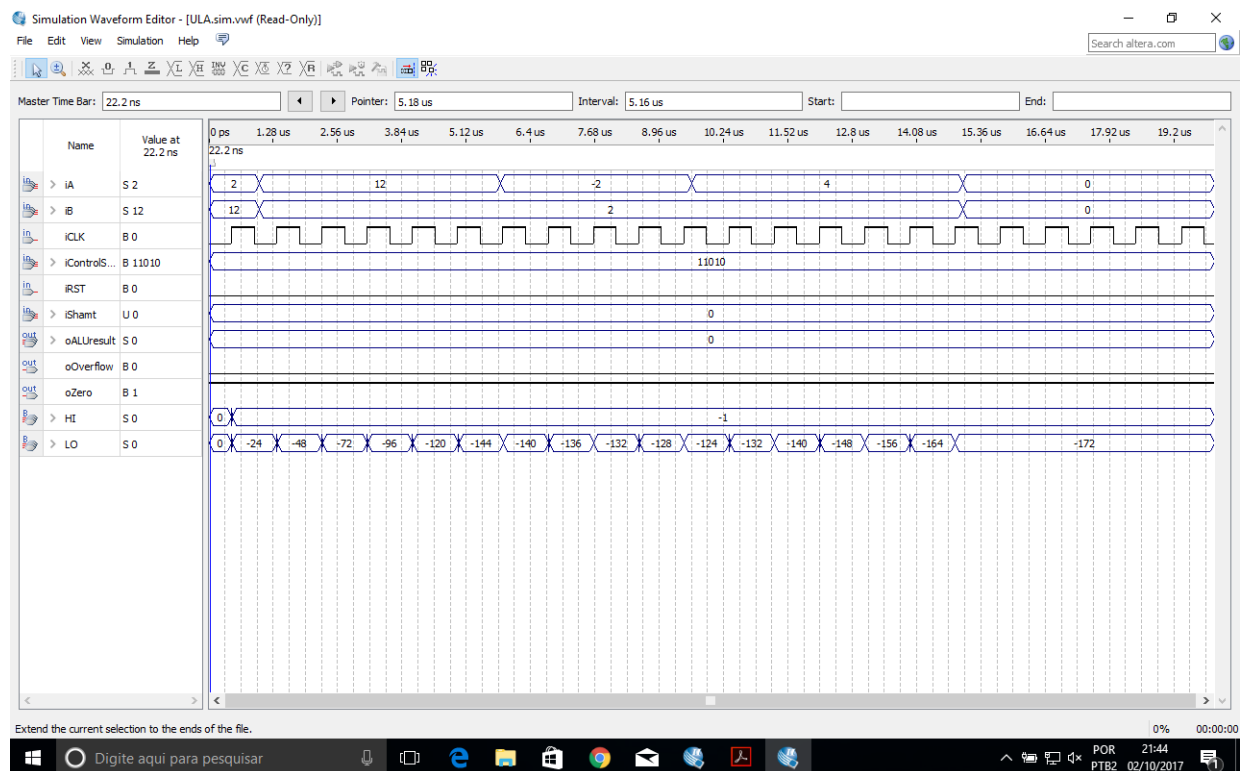
Operação MADD :



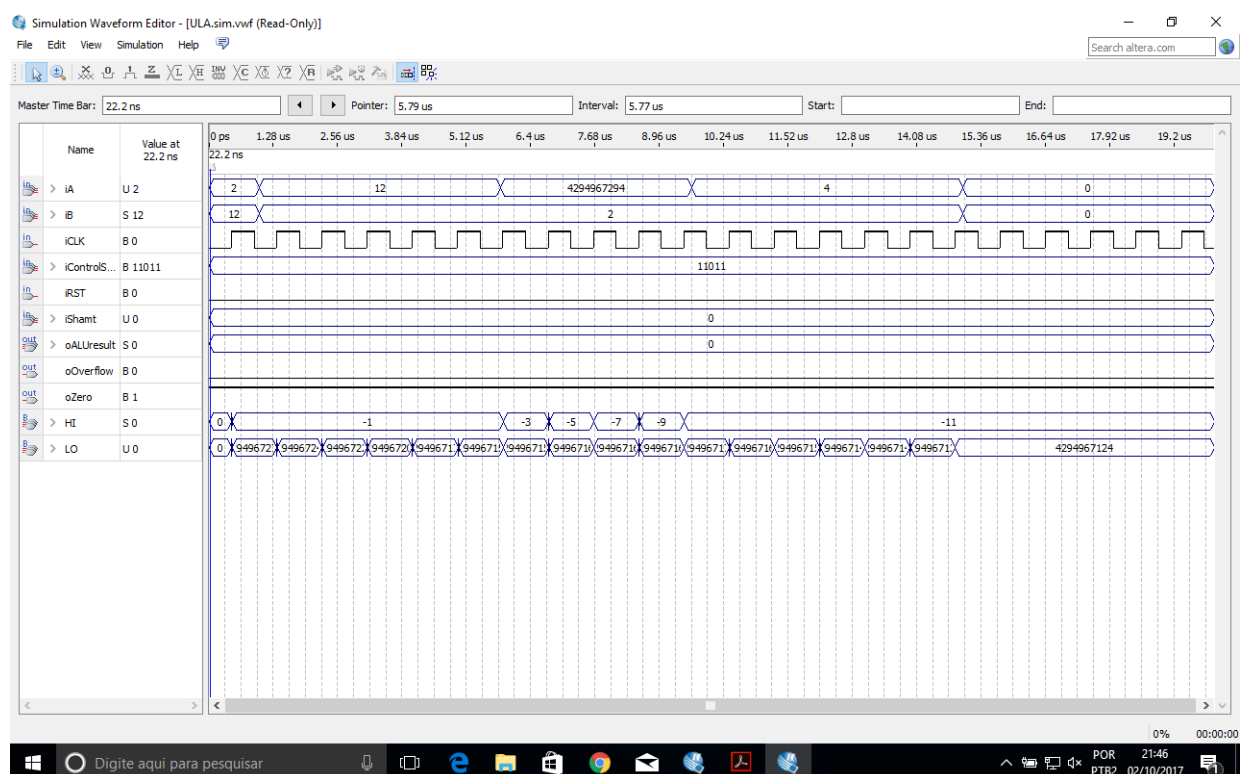
Operação MADDU :



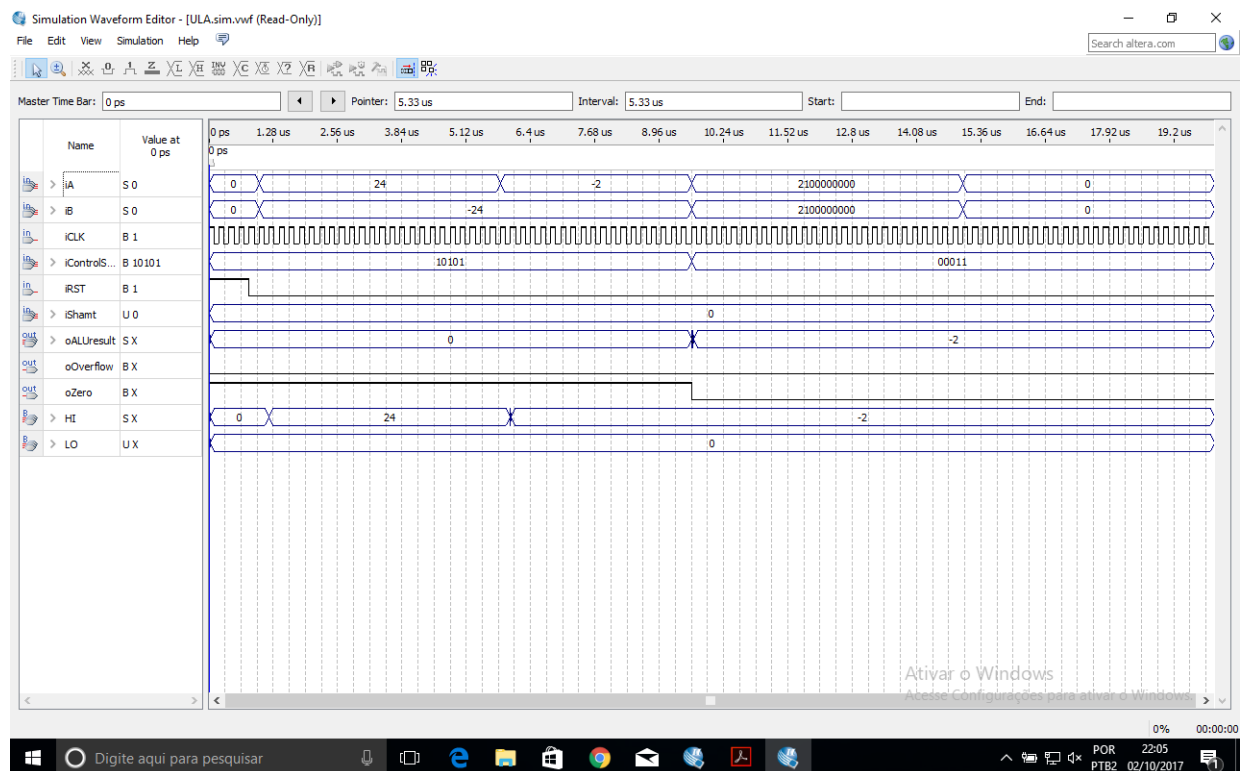
Operação MSUB :



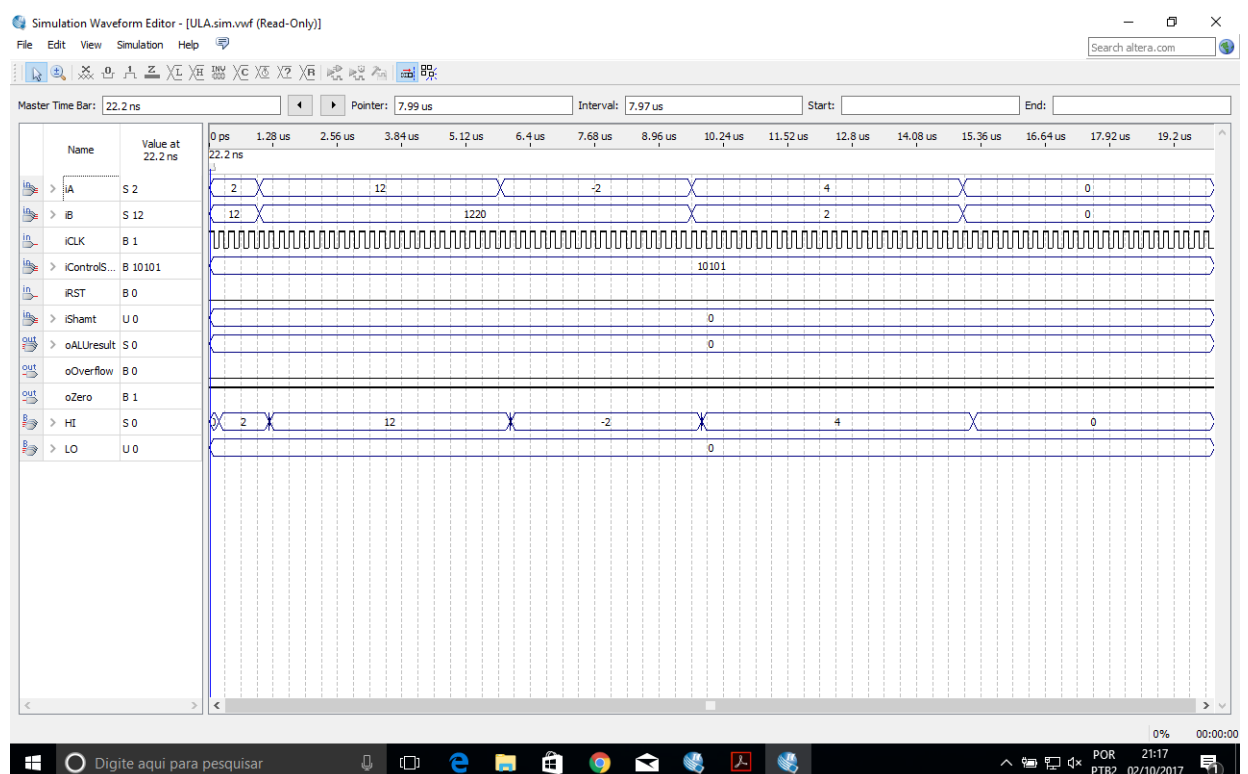
Operação MSUBU :



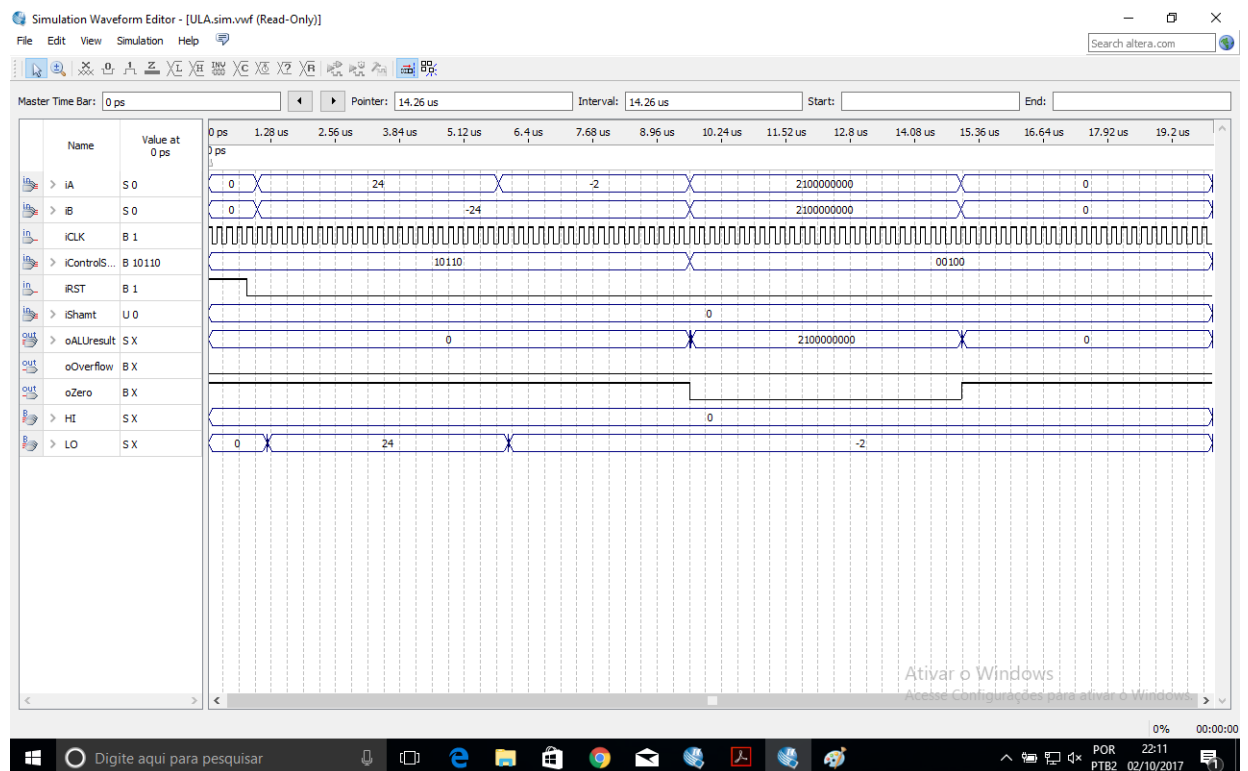
Operações MTH e MFH :



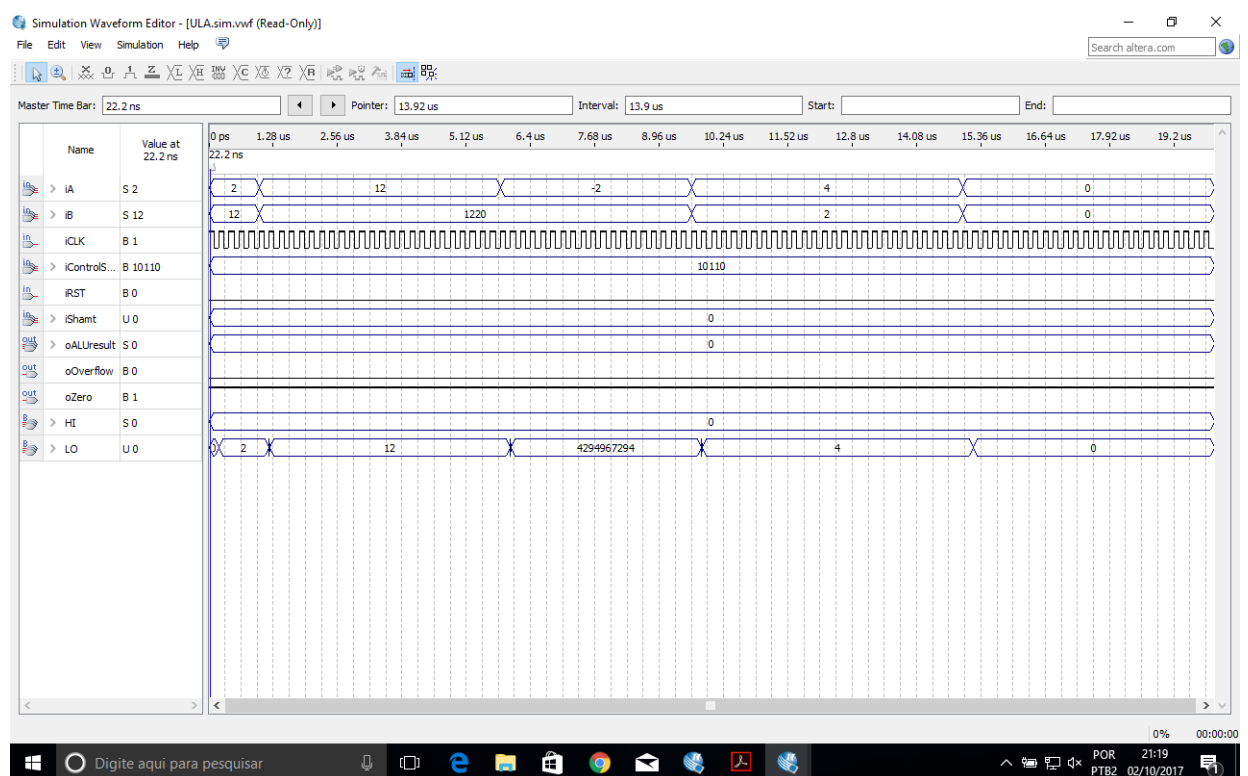
Operação MTHI :



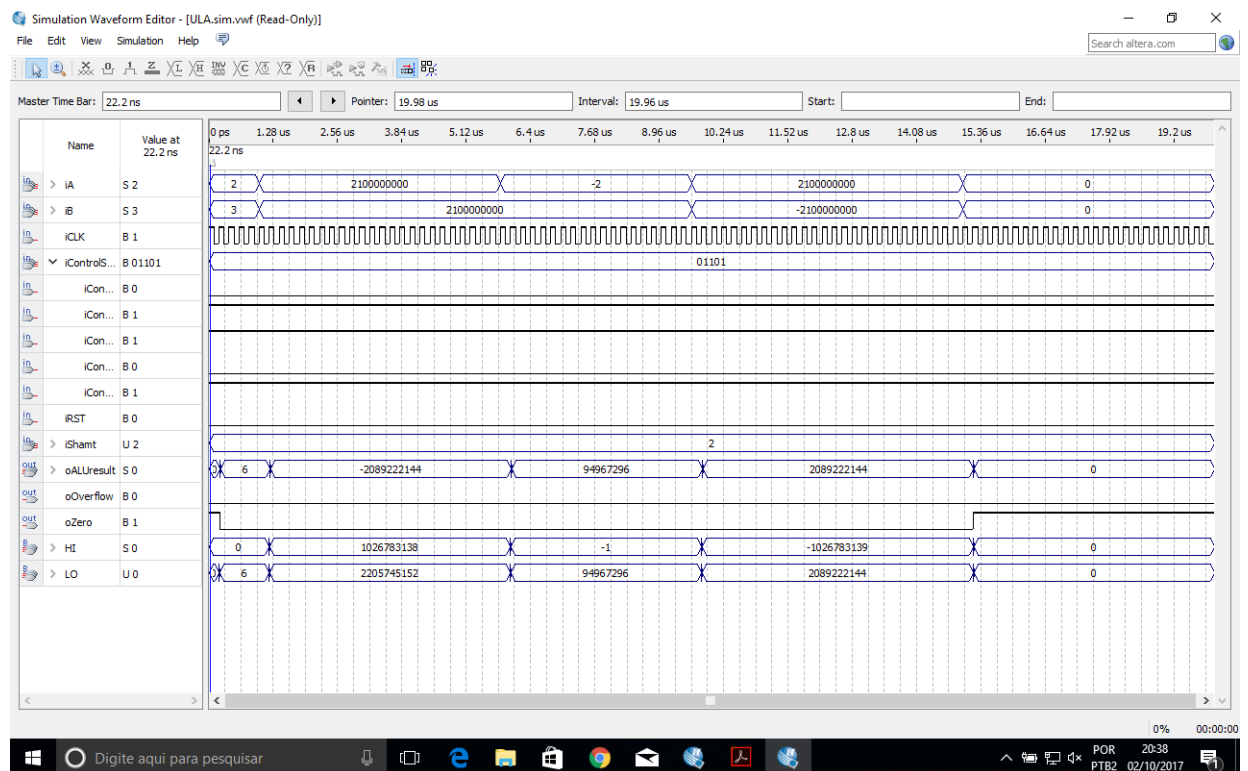
Operações MTL e MFL :



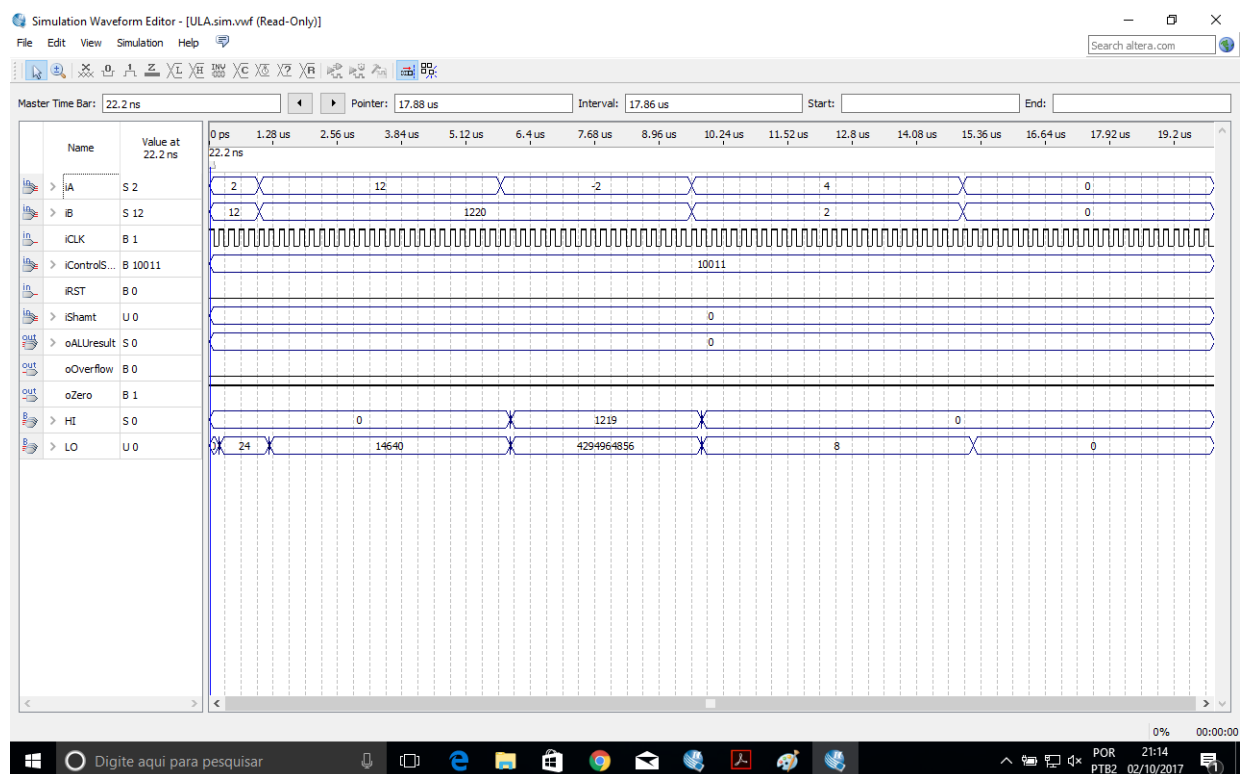
Operação MTLO :



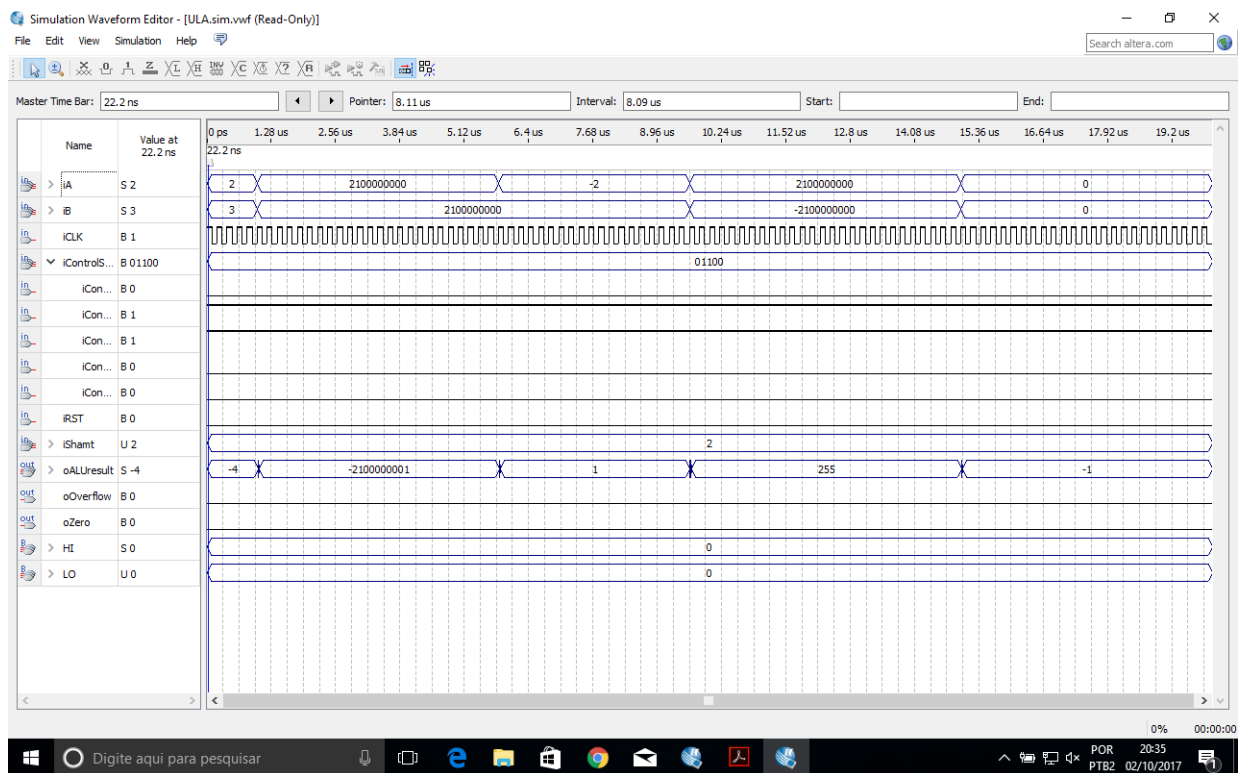
Operação MULT :



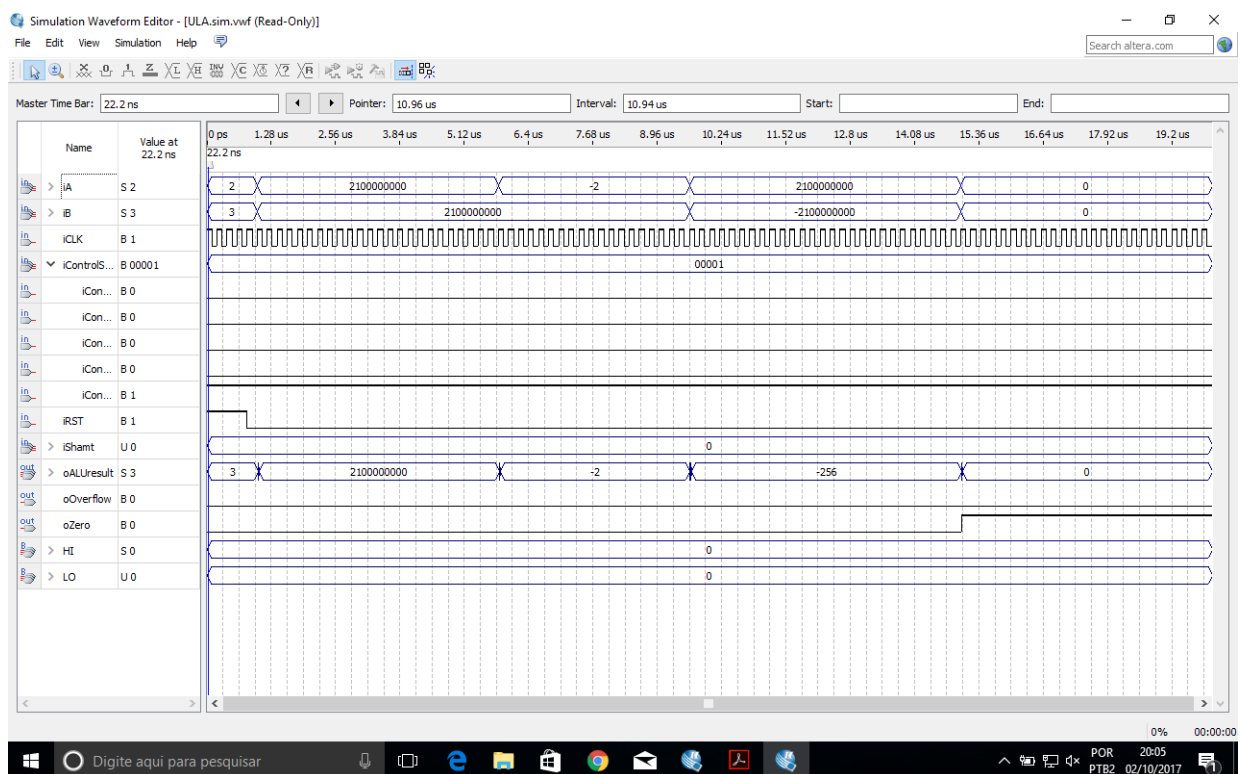
Operação MULTU :



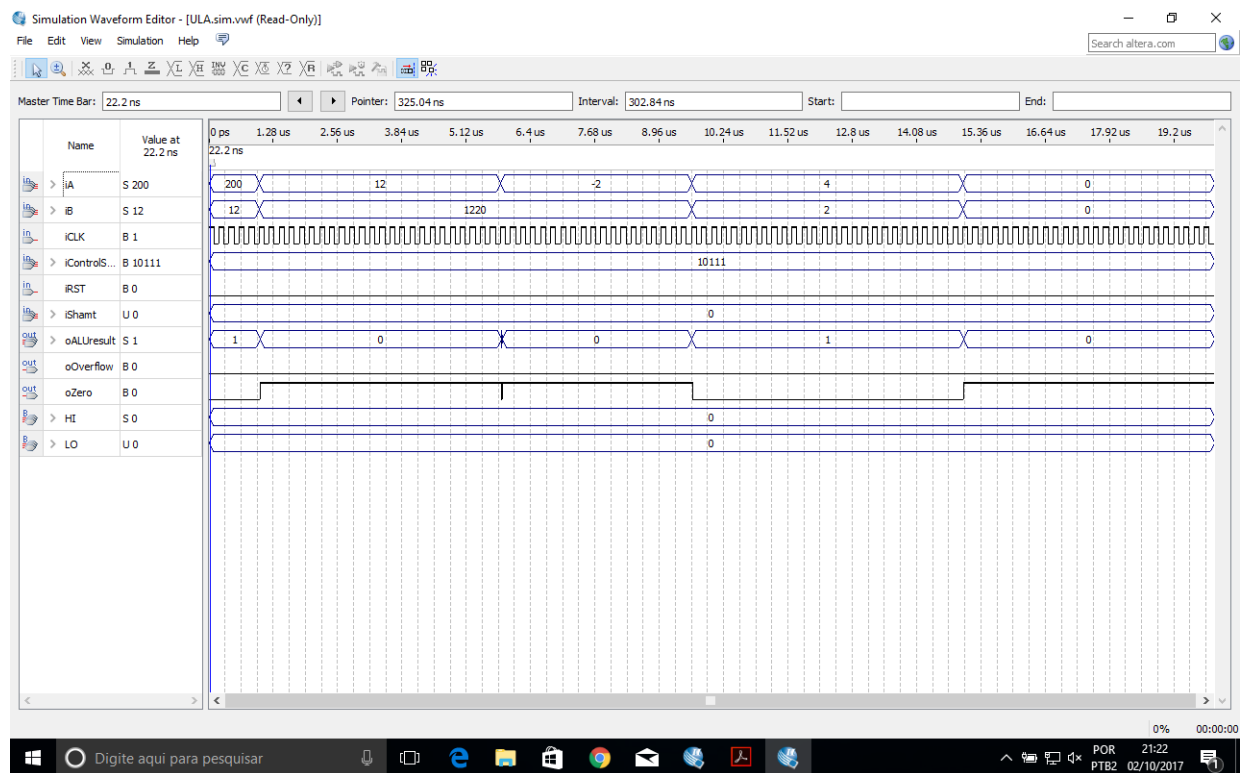
Operação NOR :



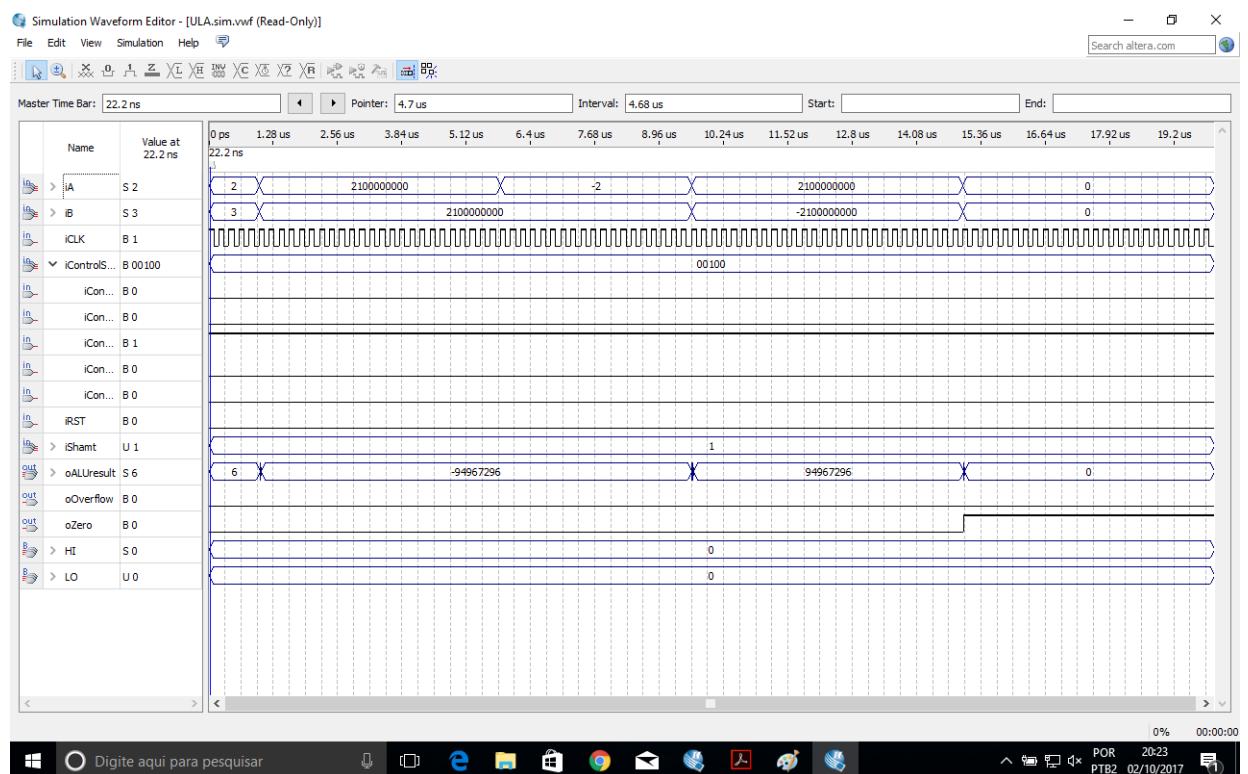
Operação OR :



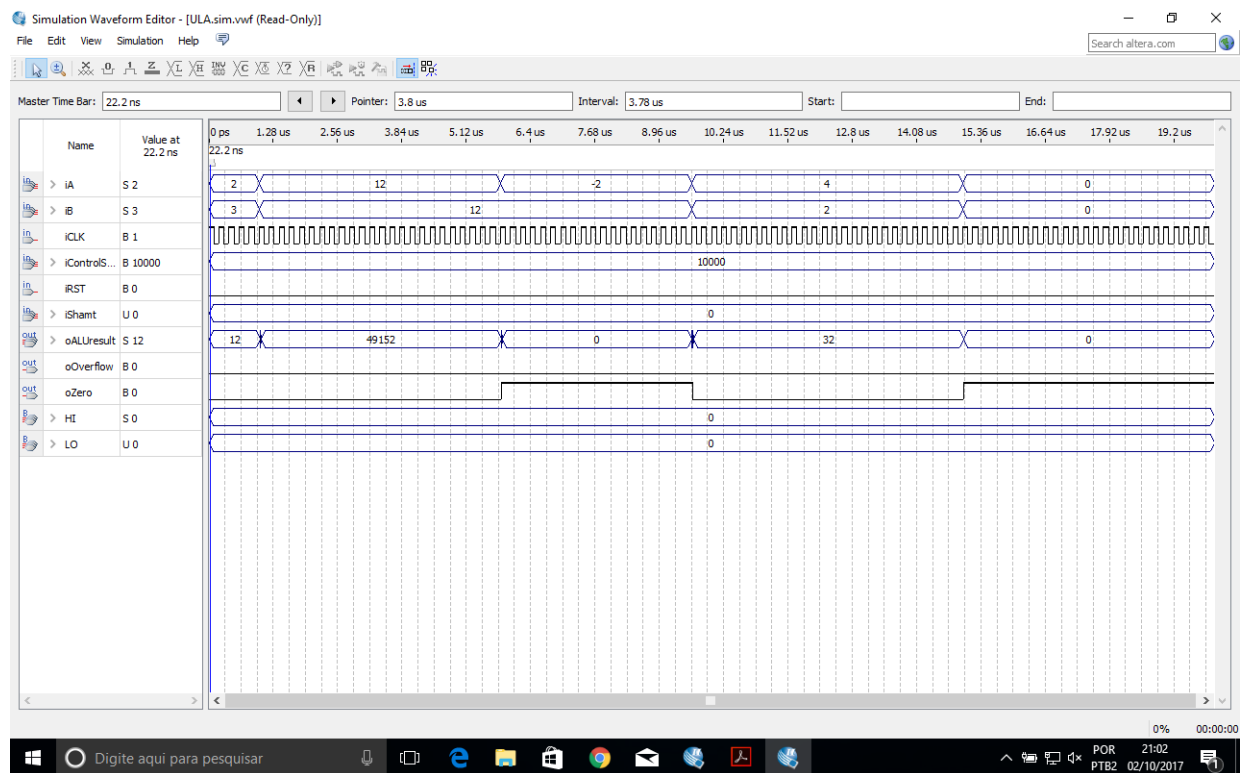
Operação SGT :



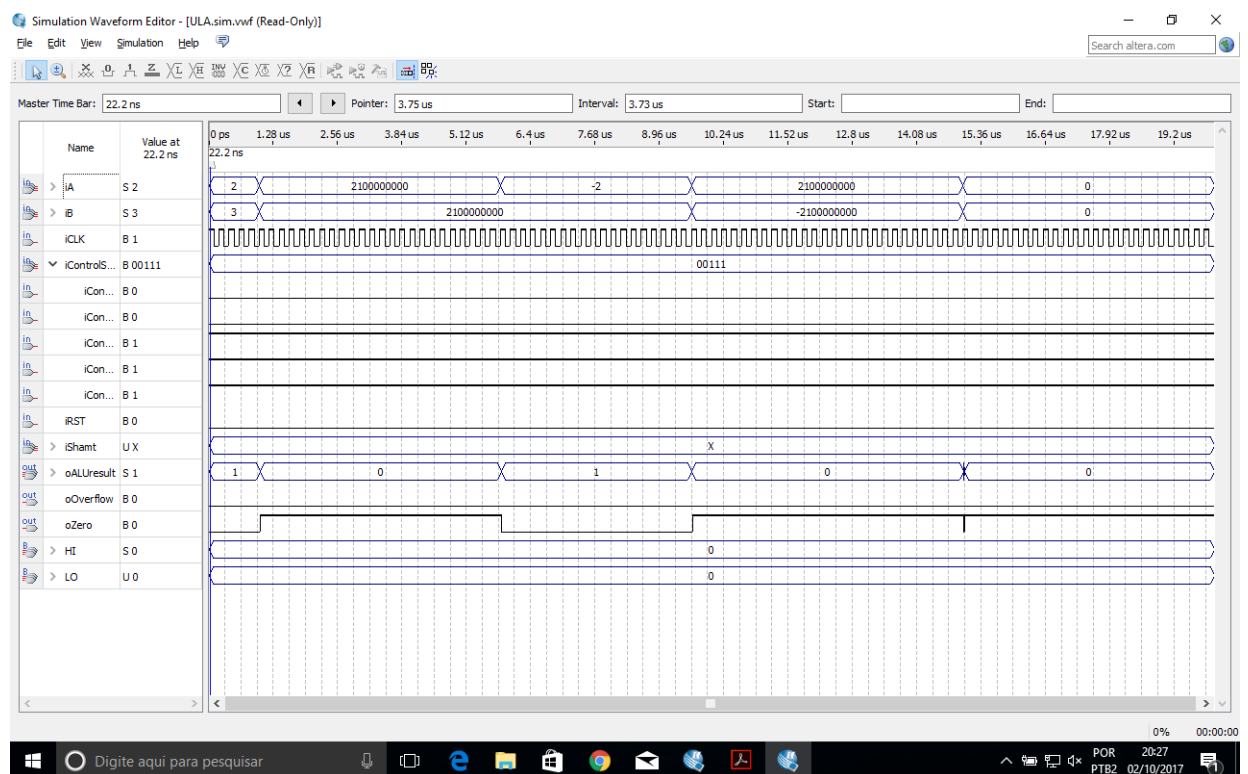
Operação SLL :



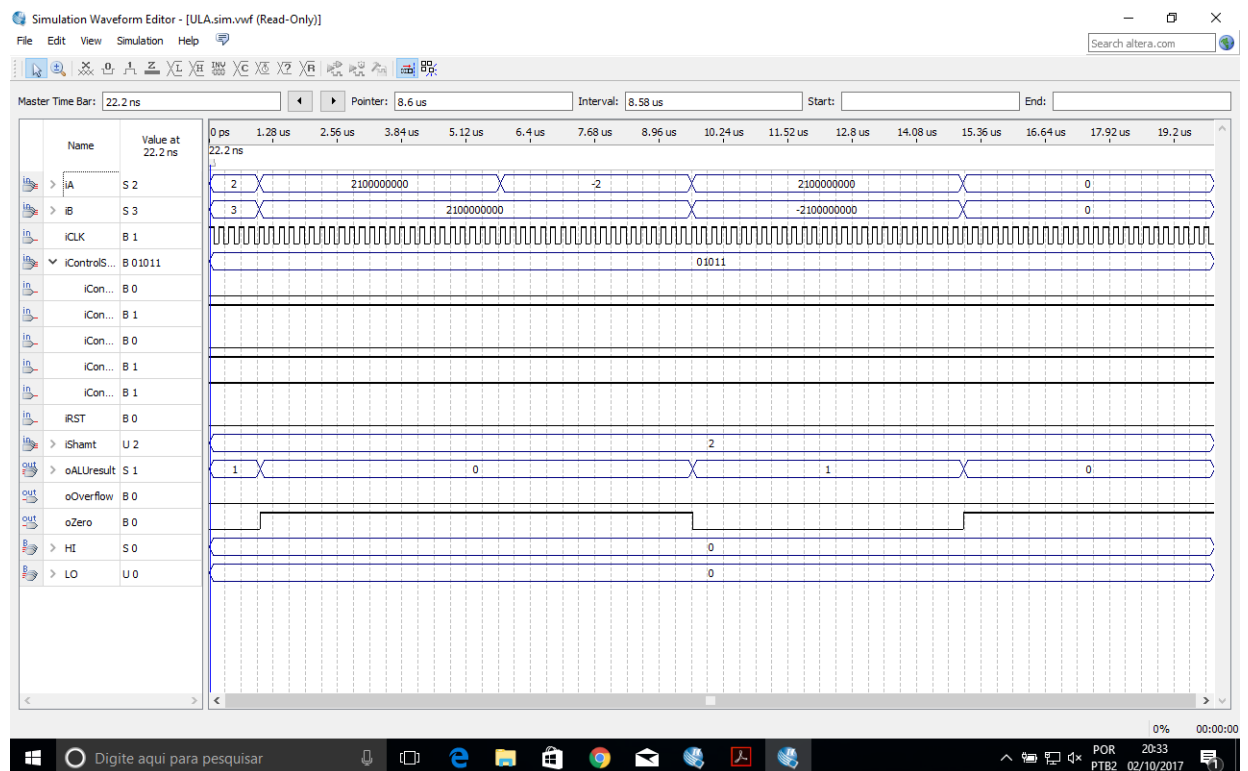
Operação SLLV :



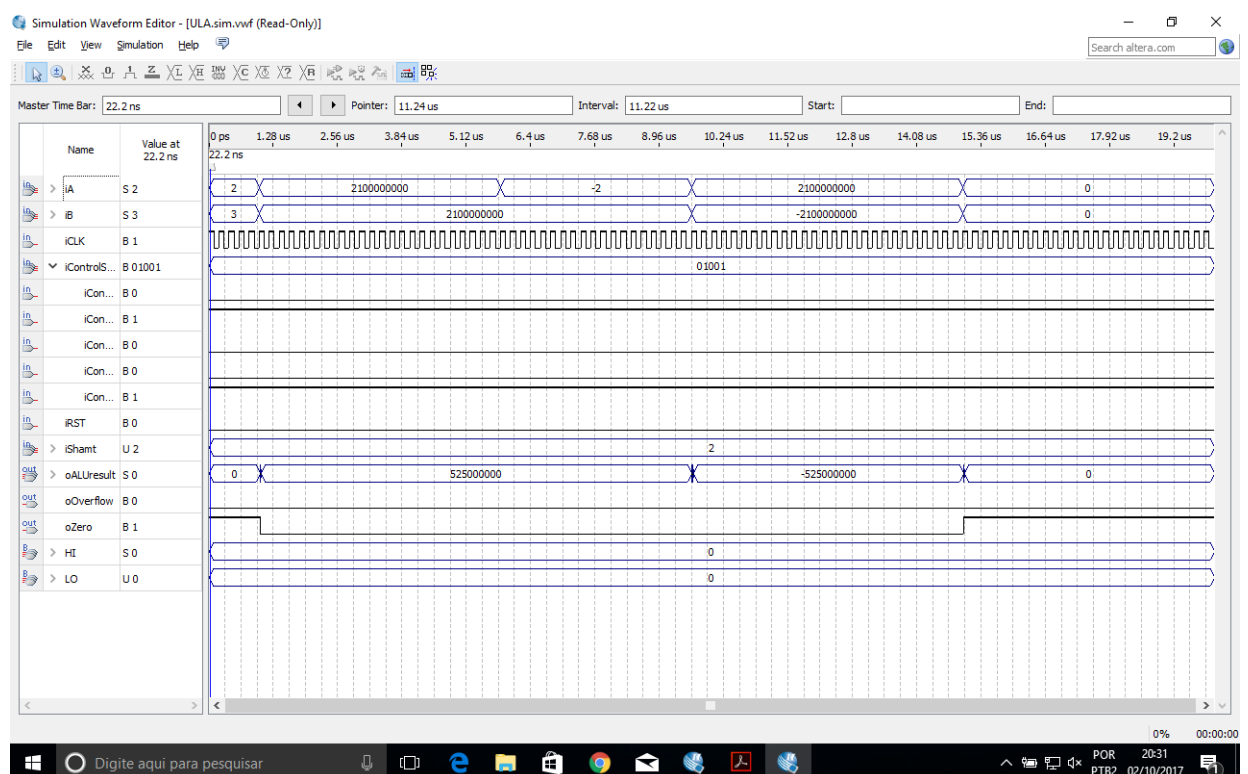
Operação SLT :



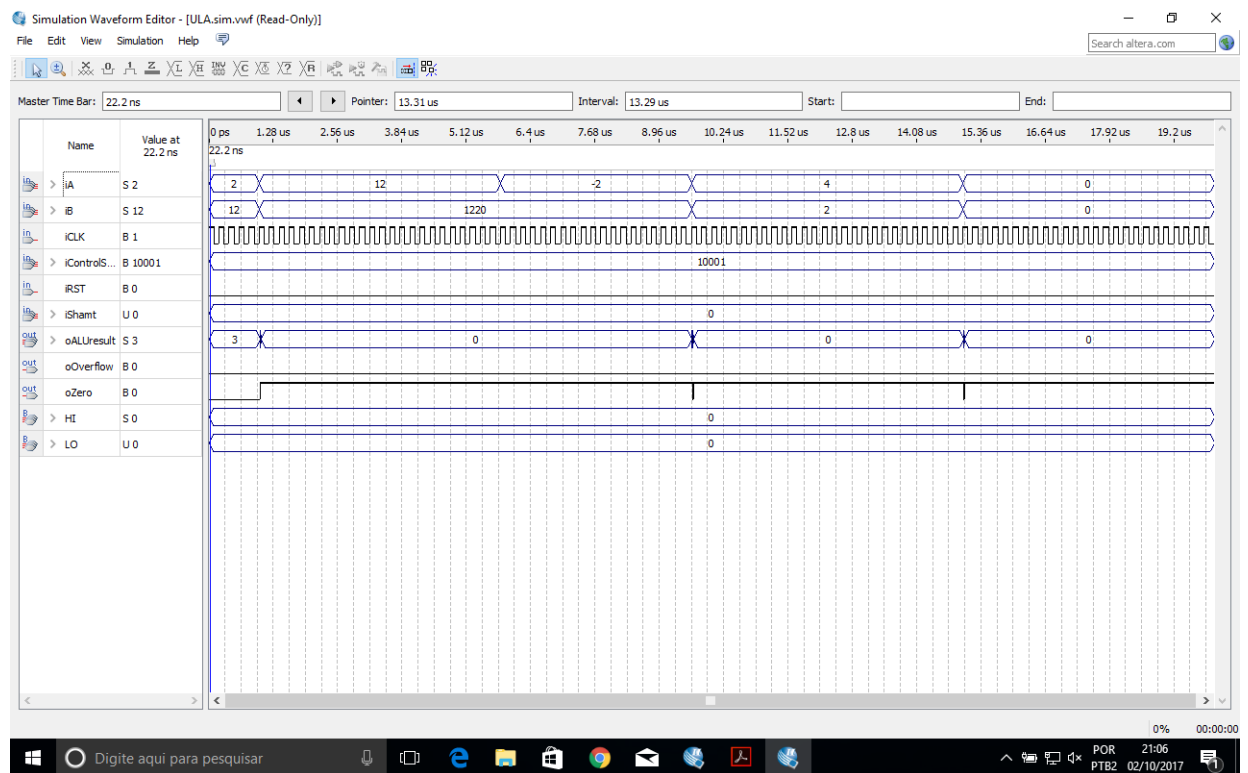
Operação SLTU :



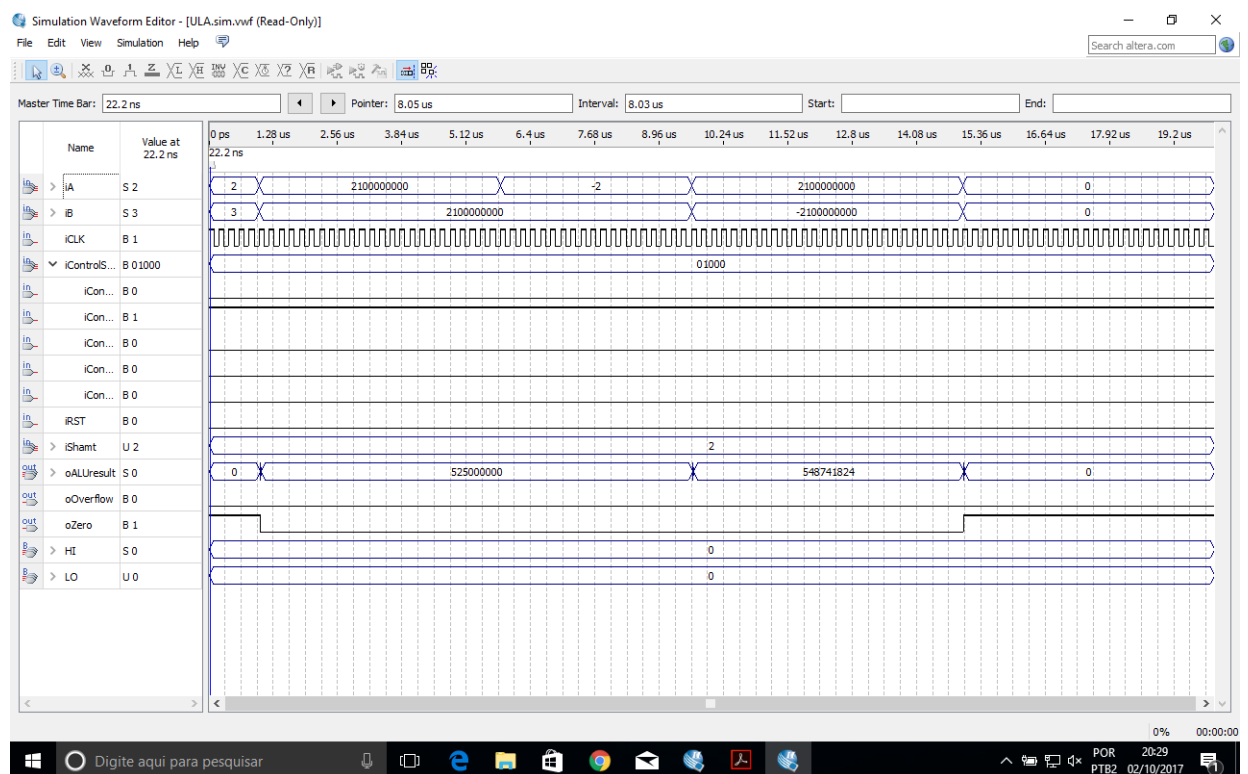
Operação SRA :



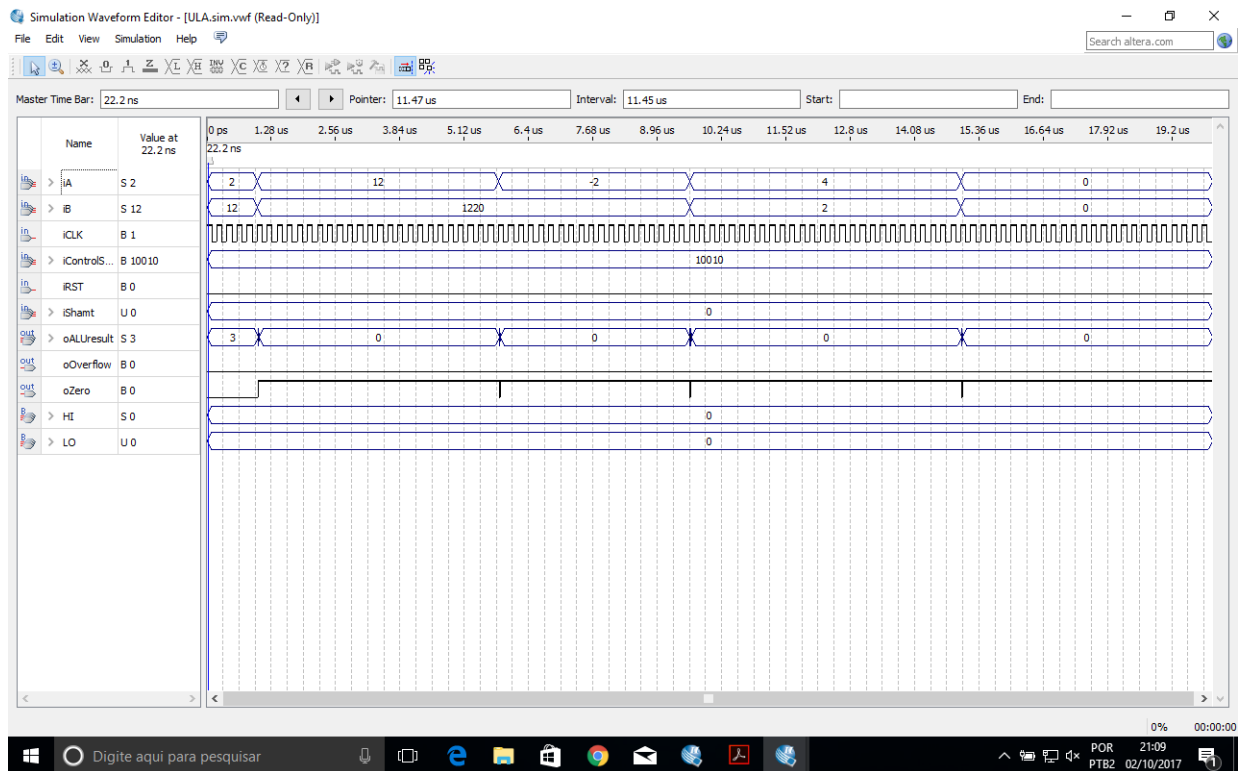
Operação SRAV :



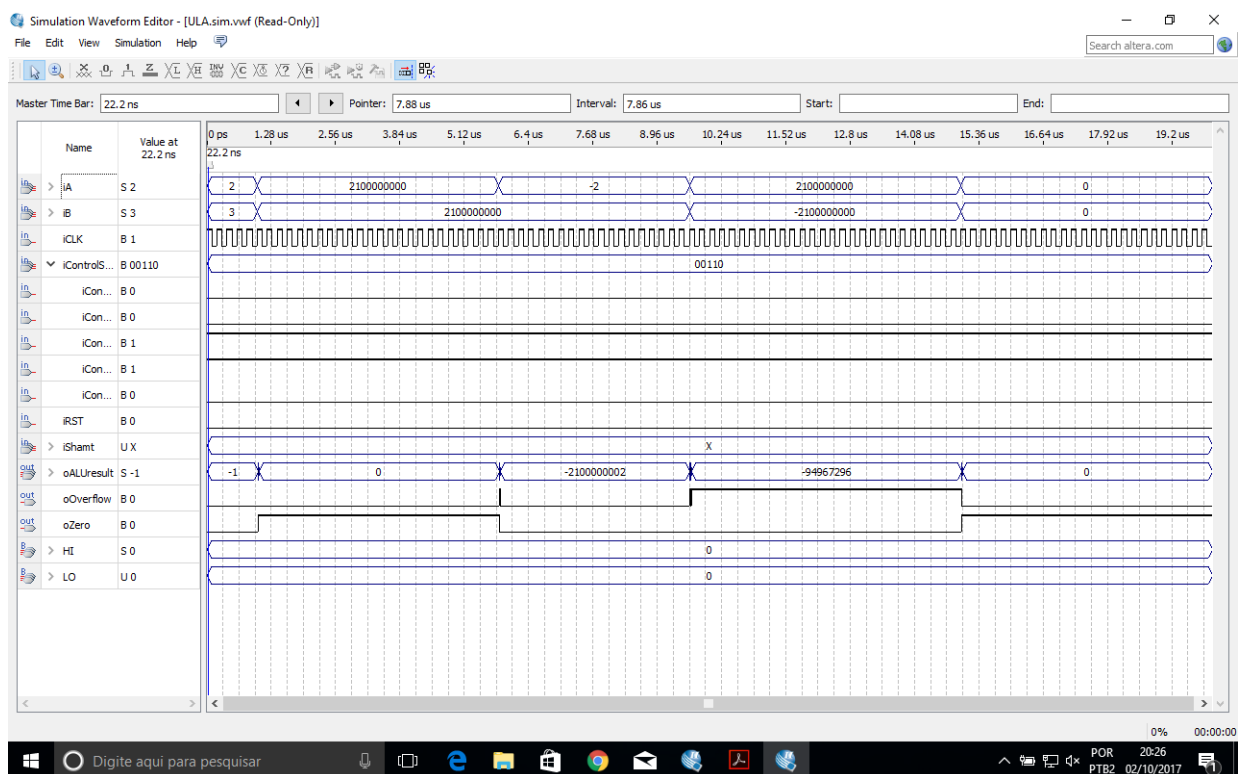
Operação SRL :



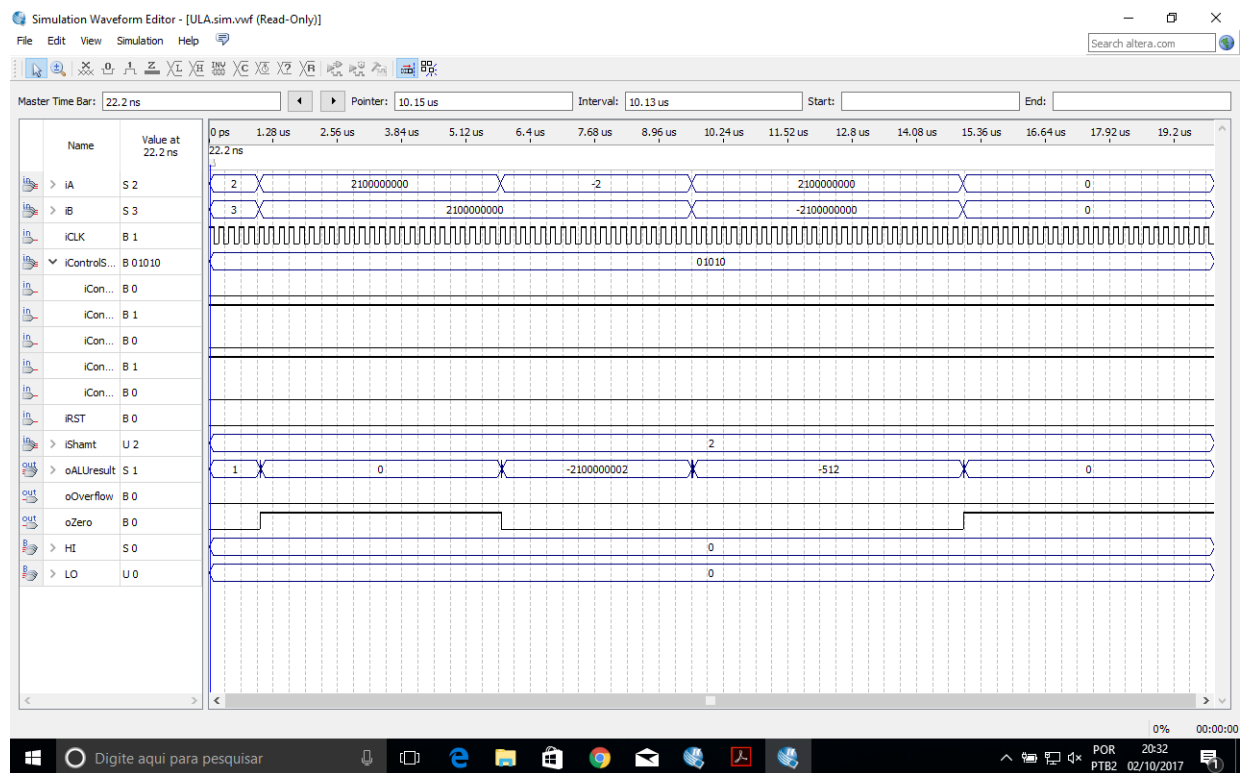
Operação SRLV :



Operação SUB :



Operação XOR :



c)

Operação	Elementos lógicos	Tempo (ns)	Frequência máxima (MHz)
<i>AND</i>	43	15.314	65.2997257
<i>OR</i>	43	15.339	65.1932981
<i>ADD</i>	43	15.299	65.3637493
<i>MFHI</i>	0	0	∞
<i>SLL</i>	171	18.159	55.0691117
<i>MFLO</i>	0	0	∞
<i>SUB</i>	44	15.510	64.4745326
<i>SLT</i>	32	13.470	74.2390497
<i>SRL</i>	170	17.470	57.2409845
<i>SRA</i>	174	18.858	53.0278927
<i>XOR</i>	43	14.095	70.9471444
<i>SLTU</i>	32	13.470	74.2390497
<i>NOR</i>	43	15.339	65.1932981
<i>MULT</i>	53	20.056	49.8603909
<i>DIV</i>	1266	174.772	5.72174032
<i>LUI</i>	5	9.805	101.988781
<i>SLLV</i>	171	18.159	55.0691117
<i>SRAV</i>	174	18.858	53.0278927
<i>MULTU</i>	53	21.641	46.2085856
<i>DIVU</i>	1127	149.821	6.67463173
<i>MTHI</i>	0	0	∞
<i>MTLO</i>	0	0	∞
<i>SGT</i>	32	13.470	74.2390497
<i>MADD</i>	72	20.976	47.6735317
<i>MADDU</i>	72	22.855	43.7541019
<i>MSUB</i>	72	20.944	47.7463713
<i>MSUBU</i>	72	22.855	43.7541019

A frequência máxima para operar a ULA é $\frac{1}{\text{maior tempo medido}}$, ou seja, $\frac{1}{174.772} = 5721740.32 \text{ Hz} = 5.72174032 \text{ MHz}$

d) <https://youtu.be/17VFYT1wzos>

3 Unidade Aritmética de Ponto Flutuante

a) (0.0) Para a FPULA MIPS fornecida, desenhe o diagrama em blocos, descreva suas funções (MegaWizard Plug-In Manager Edit) e obtenha a tabela verdade de seus códigos de operação.

b) (2.0) Verifique cada operação por simulação temporal de forma de onda. Dica: Escolha valores de entrada que sejam representativos (comuns) e que possam gerar resultados singulares (overflow, underflow, NaN, zero).

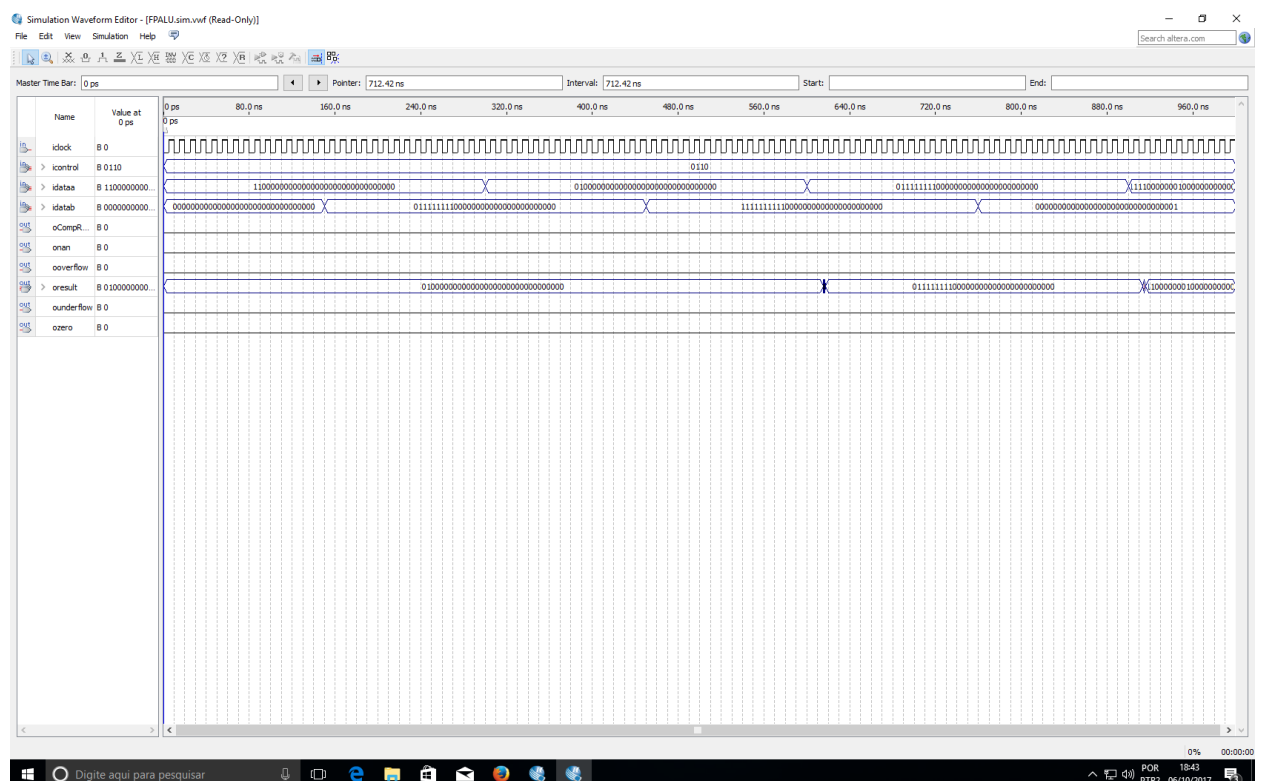
c) (2.0) Levante os requisitos físicos necessários, isto é, i) o número de elementos lógicos, ii) o número de ciclos para a conclusão da operação (tempos) e iii) a máxima frequência de clock utilizável, para a FPULA total, e para cada operação separadamente.

d) (1.0) Sintetize esta FPULA na placa DE2-70 (TopDE.v) e comprove seu funcionamento. Filme o experimento e coloque no YouTube.

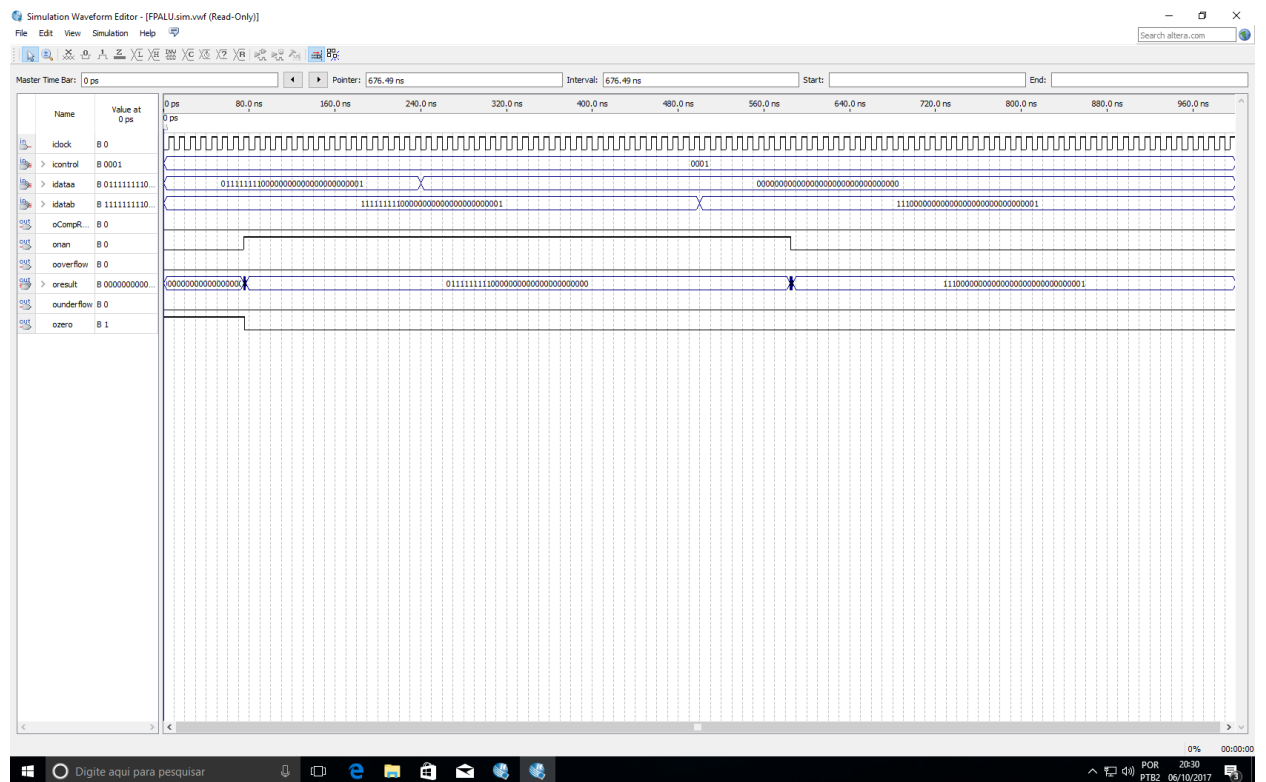
Respostas:

b)

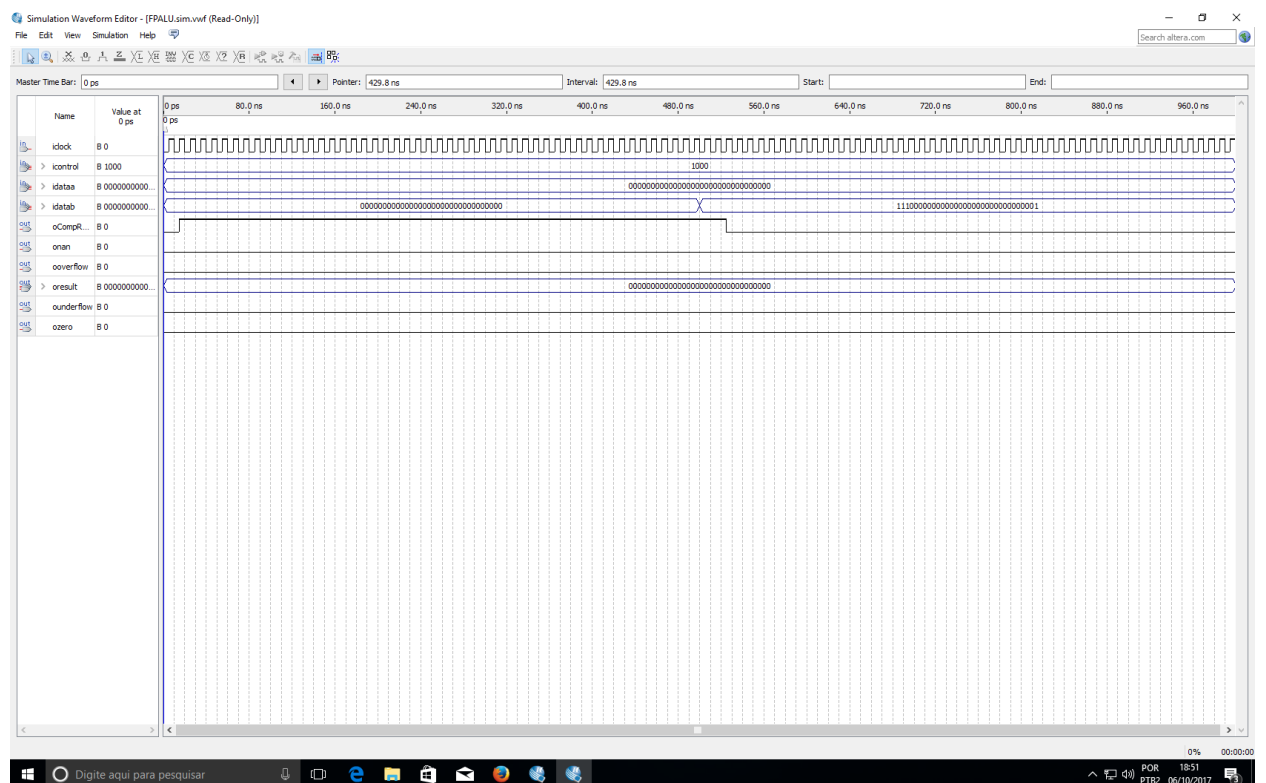
Operação ABS :



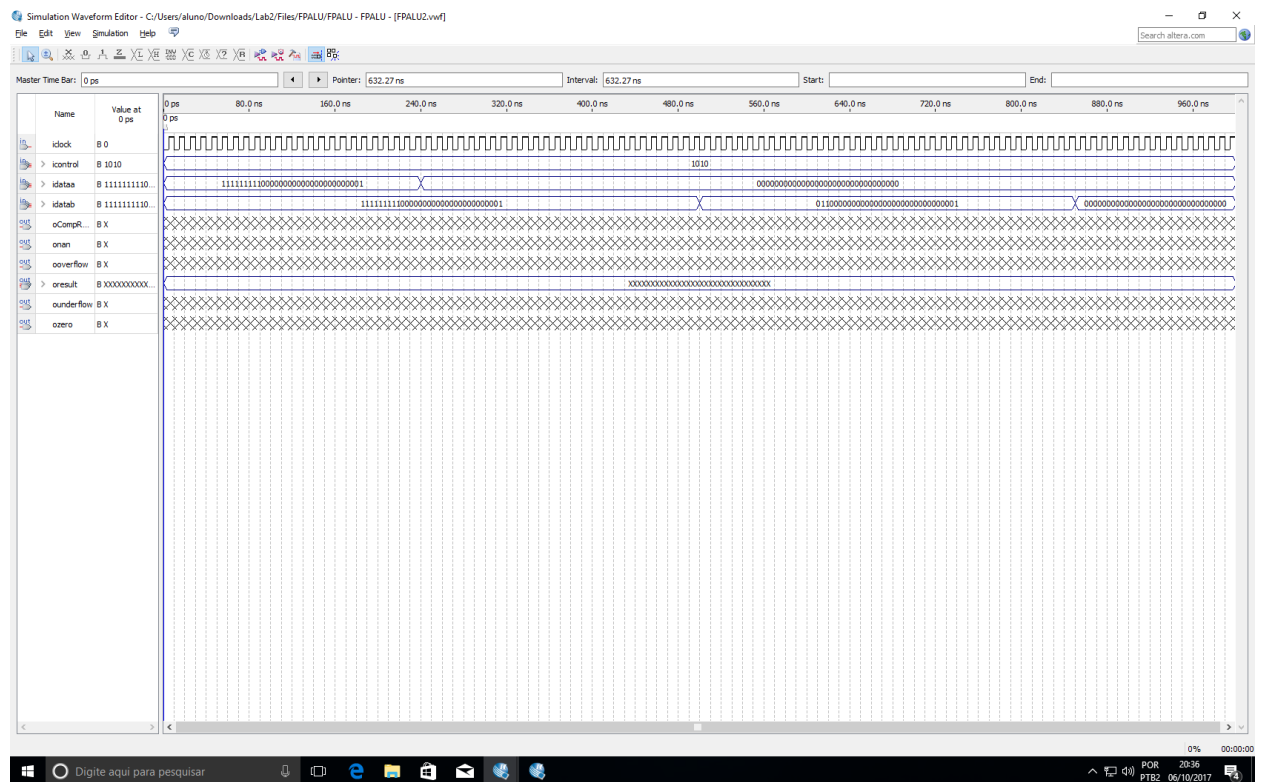
Operação ADDS :



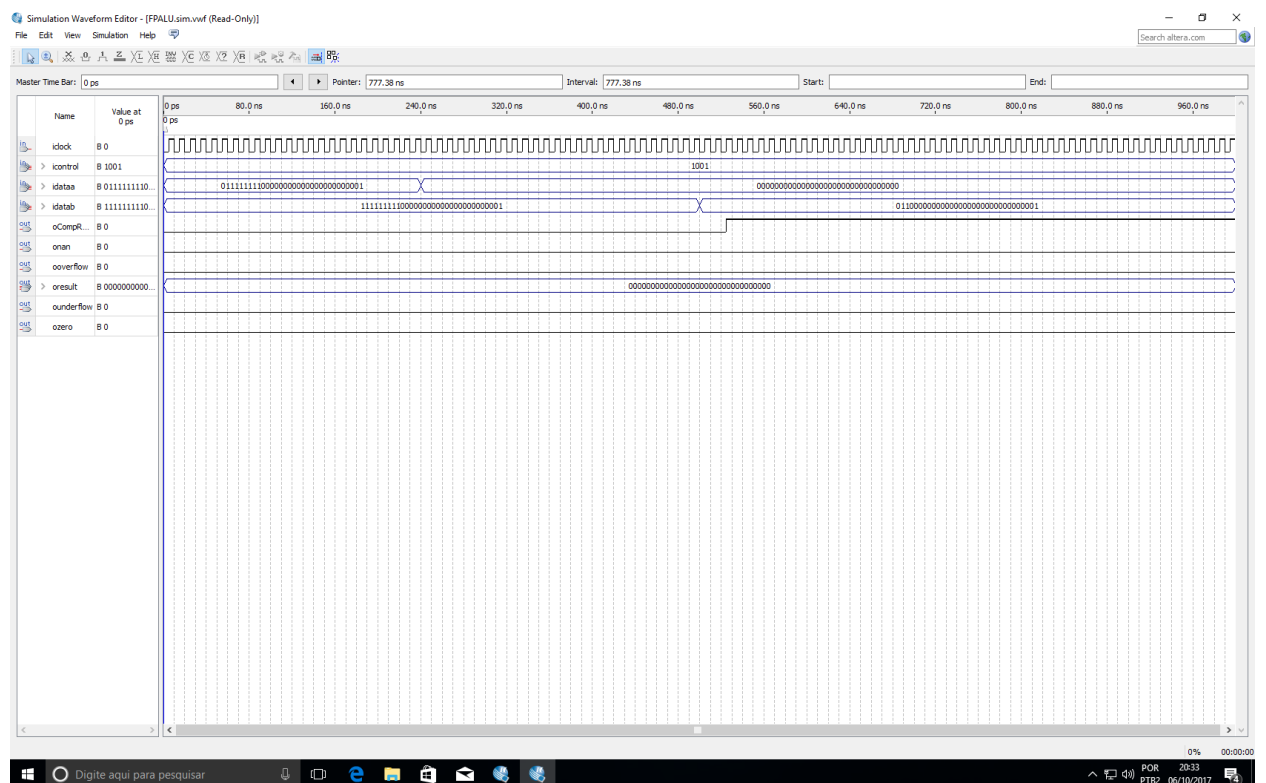
Operação CEQ :



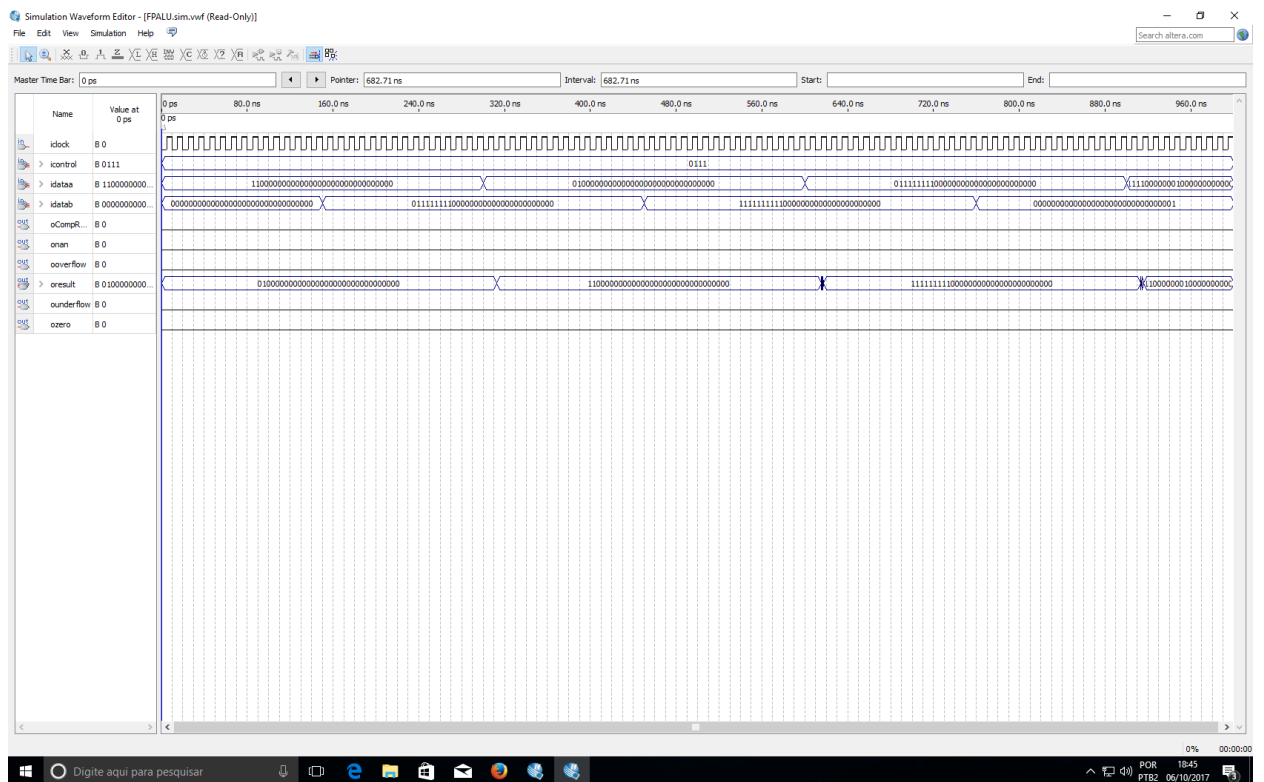
Operação CLE :



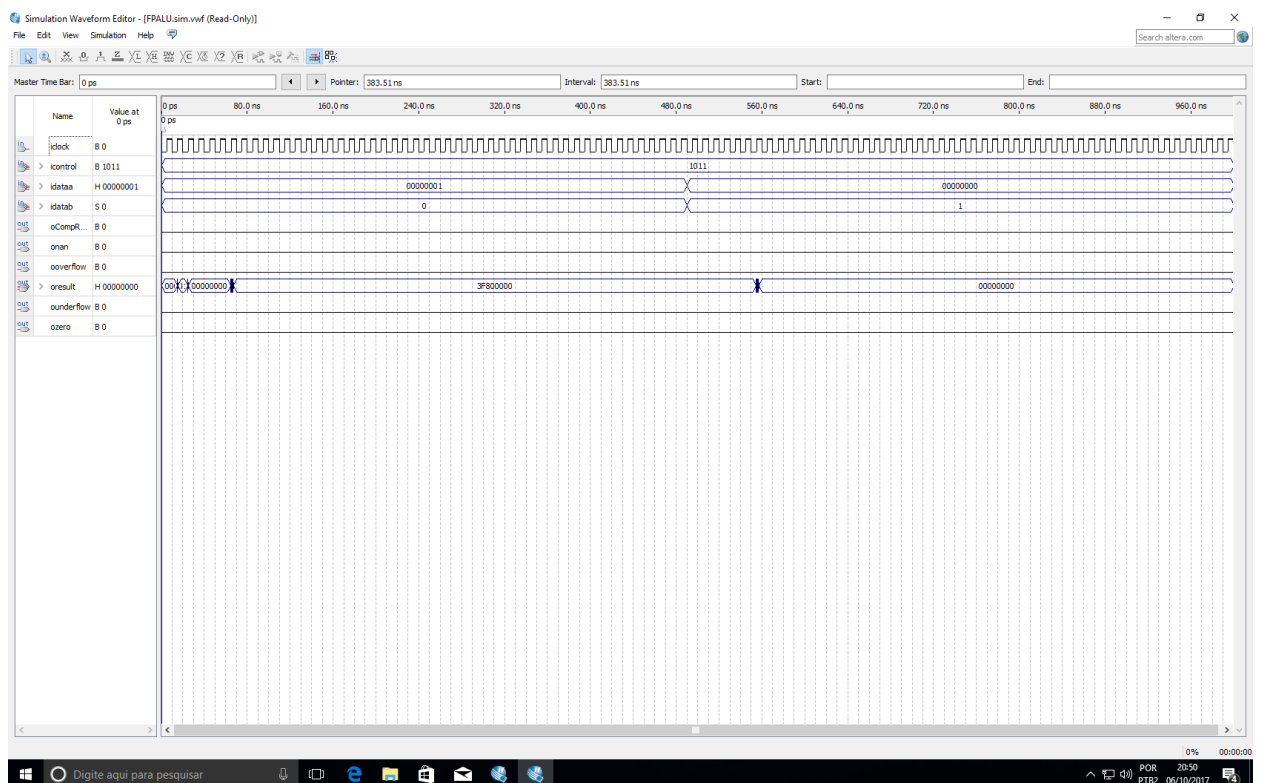
Operação CLT :



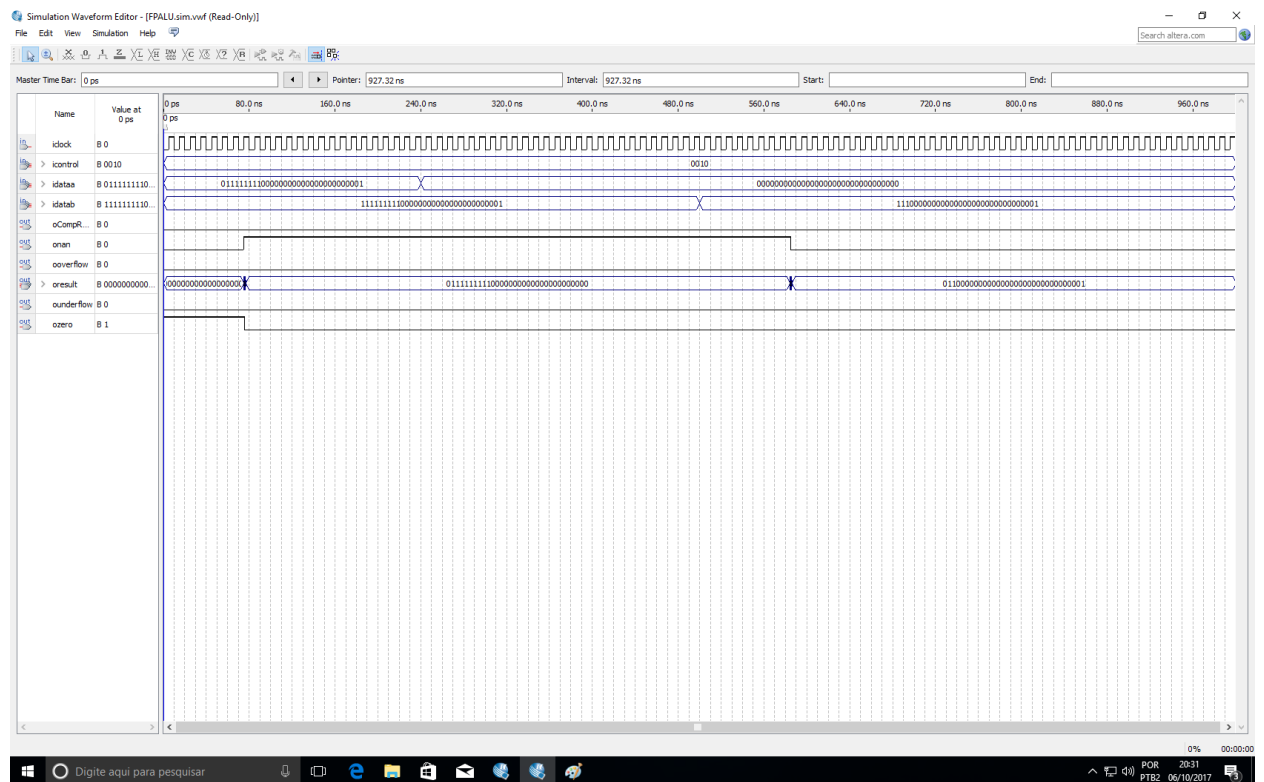
Operação DIVS :



Operação CVTSW :



Operação CVTWS :



c)

Operação	Elementos lógicos	Tempo (ns)	Frequência máxima(MHz)
<i>ADDS</i>	820	22.244	44.9559432
<i>SUBS</i>	813	22.016	45.4215116
<i>MULS</i>	283	15.928	62.7825213
<i>DIVS</i>	328	15.613	64.0491898
<i>SQRT</i>	804	10.636	94.0203084
<i>ABS</i>	0	8.932	111.957009
<i>NEG</i>	0	8.934	111.931945
<i>CEQ</i>	49	13.728	72.8438228
<i>CLT</i>	88	12.947	77.2379702
<i>CLE</i>	88	13.399	74.6324353
<i>CVTSW</i>	311	13.538	73.8661545
<i>CVTWS</i>	462	13.600	73.5294118

A frequência máxima para operar a FPULA é $\frac{1}{\text{maior tempo medido}}$, ou seja, $\frac{1}{22.244} = 44955943.2 \text{ Hz} = 44.9559432 \text{ MHz}$

d) <https://youtu.be/17VFYT1wzos>