



# Aula 18

## Exceções e Interrupções



# Exceções e Interrupções

- Exceções são mudanças no fluxo de execução devido a eventos inesperados gerados internamente ao processador.
  - syscall : chamadas às rotinas do sistema
  - instrução inválida
  - overflow em operações aritméticas
  - singularidades matemáticas da FPU
  - ...
- Interrupções são mudanças no fluxo devido a eventos externos, tipicamente dispositivos de entrada e saída.
  - DMA (Direct Memory Access)
  - acesso ao barramento
  - solicitação de dispositivos
  - ...

Definições dependentes do fabricante: Intel usa o termo interrupção,  
Ex.: int 21h : Dá acesso a 108 chamadas do sistema (similar ao \$v0 syscall)



# Tratamento de Interrupções e Exceções

Para tratar a Interrupção/Exceção, Sistema Operacional necessita:

## 1) Conhecer o fato que gerou a Exceção/Interrupção

- Uso de Registrador de Causa
  - Um registrador especial é utilizado para codificar o motivo da Exceção/Interrupção.
- Uso de Interrupção Vetorizada
  - Um vetor (endereço na memória) é utilizado para indicar os endereços para as rotinas de cada interrupção.

## 2) Conhecer o Endereço da instrução onde ocorreu a exceção/interrupção

- Registrador específico (EPC)

## 3) Executar uma rotina capaz de acessar recursos que podem não estar disponíveis ao usuário:

- Modo Usuário (*user mode*) : ex.: Não pode acessar memória de programa, algumas instruções não são permitidas.
- Modo Sistema (*kernel mode*): ex.: Pode acessar a memória de programa, instruções específicas (eret, mfc0, mtc0, etc).



# Tratamento de Interrupções e Exceções

Ex.: Registrador de Causa

# Programa

...  
LABEL1: add → *overflow: Cause=12 / EPC=PC+4*  
sub  
LABEL2: add → *interrupção 3: Cause=0 / EPC=PC+4*  
...

# Rotina de tratamento de exceção

ExceptionHandler: ....

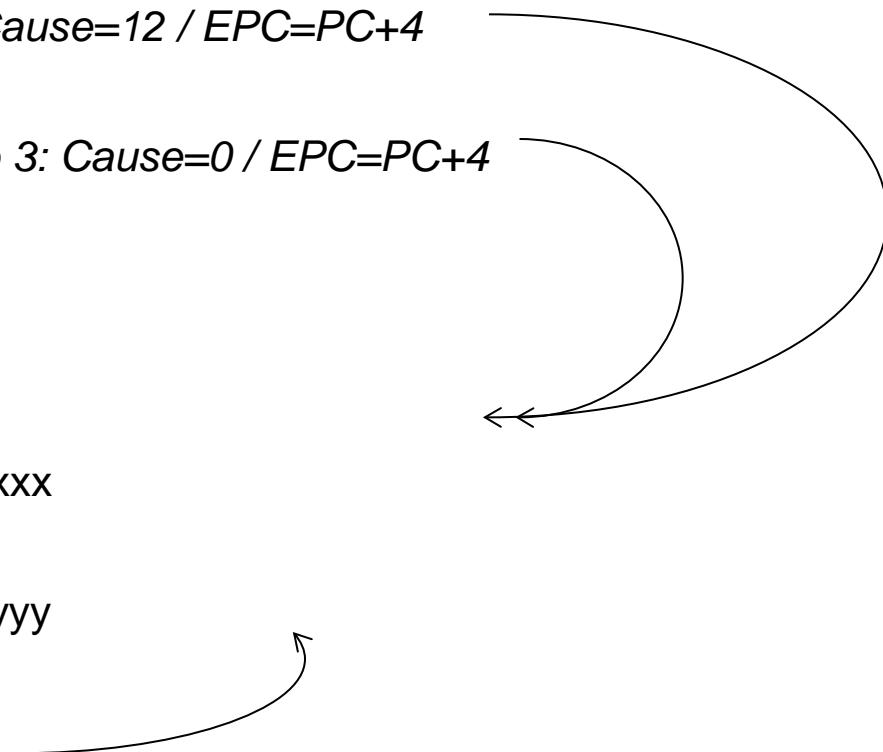
se causa=0 então xxxx

...

se causa=12 então yyyy

...

eret

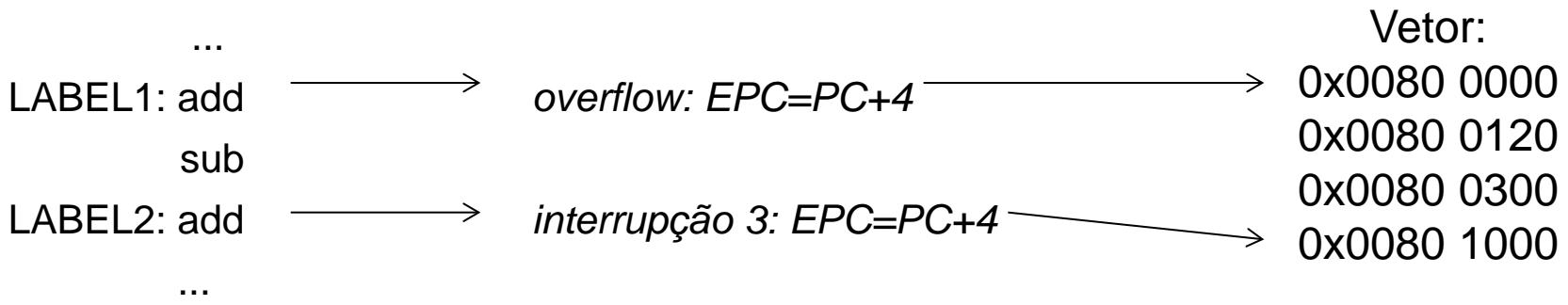




# Tratamento de Interrupções e Exceções

Ex.: Interrupção Vetorizada

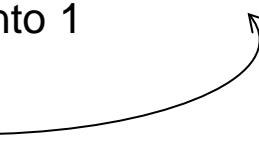
#Programa



# Rotinas de tratamento 1

0x0080 0000: ....

eret



...

#Rotina de tratamento 2

0x0080 1000: ....

eret



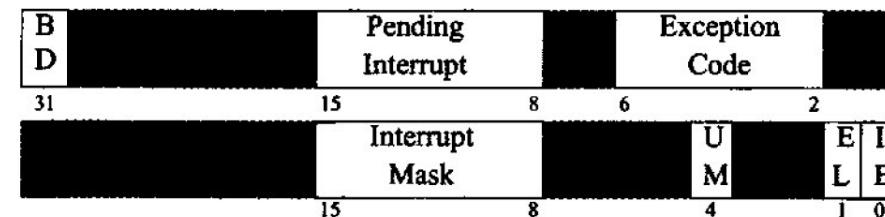
...



# Exceções e Interrupções no MIPS

- Co-processador 0 : Banco com 32 registradores
  - Configuração do Processador: Endianess, tamanho de caches, TLB (*Translation Lookaside Buffer*) para memória virtual, etc
  - Tratamento de interrupções e exceções
  - MMU (*Memory Management Unit*)
    - Memória Cache (temporária)
    - Memória Virtual (endereço físico x lógico) MIPS 32->36 bits, 64 ->59 bits
    - Proteção

**EXCEPTION CONTROL REGISTERS: CAUSE AND STATUS**



BD = Branch Delay, UM = User Mode, EL = Exception Level, IE = Interrupt Enable

**EXCEPTION CODES**

Number	Name	Cause of Exception	Number	Name	Cause of Exception
0	Int	Interrupt (hardware)	9	Bp	Breakpoint Exception
4	AdEL	Address Error Exception (load or instruction fetch)	10	RI	Reserved Instruction Exception
5	AdES	Address Error Exception (store)	11	CpU	Coprocessor Unimplemented
6	IBE	Bus Error on Instruction Fetch	12	Ov	Arithmetic Overflow Exception
7	DBE	Bus Error on Load or Store	13	Tr	Trap
8	Sys	Syscall Exception	15	FPE	Floating Point Exception

Ex.: Registradores  
EPC (\$14)  
Cause (\$13)  
Status (\$12)



# Operações de Entrada e Saída

## ■ Por Polling: (software)

- processador testa periodicamente se dispositivo está pronto para realizar a transferência de dados
- problema: toma muito tempo do processador

## ■ Por Interrupção: (hardware)

- o dispositivo avisa ao processador a sua disponibilidade
- Problema: hardware mais complexo, processador deve suportar interrupções
  - antes de iniciar a execução da próxima instrução, processador verifica se existe uma solicitação de interrupção
  - caso haja, interrompe o processamento normal e executa uma rotina de tratamento de interrupções

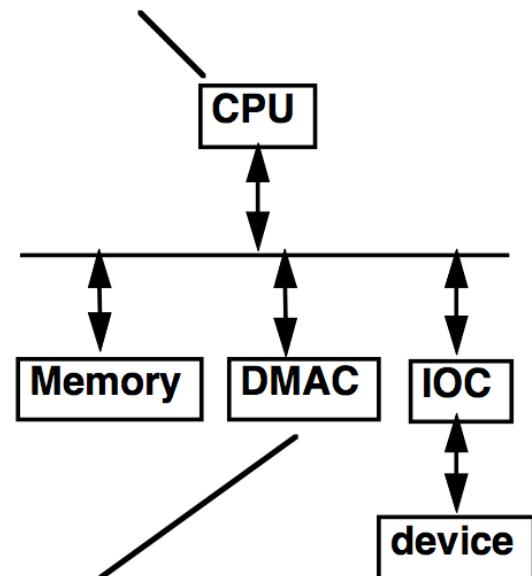


# Operações de Entrada e Saída

## ■ Por DMA (Direct Memory Access)

- dispositivo que gerencia a transferência de blocos de dados de forma independente da CPU
- atua como mestre do barramento
- é programado pela CPU para realizar as transferências

**CPU sends a starting address, direction, and length count to DMAC. Then issues "start".**



**DMAC provides handshake signals for Peripheral Controller, and Memory Addresses and handshake signals for Memory.**



# Operações de Entrada e Saída

## ■ Exemplo de Polling no x86

WAIT: IN AL, 1	# lê estado do dispositivo (porta 1)
CMP AL, READY	# compara AL com valor READY
	# seta Z=(AL == READY)
JNZ WAIT	# se Z≠1 repete
IN AX, 2	# senão lê dado (porta 2) para AX

## ■ Exemplo de Polling no MIPS

WAIT: LW \$t0, STATUS(\$s0)	# lê estado do dispositivo \$s0
ANDI \$t1, \$t0, MASK	# Isola o bit status por MASK
BEQ \$t1, \$zero, WAIT	# se não está pronto repete
LW \$s1, DATA(\$s0)	# senão lê o dado para \$s1



# Exceções e Interrupções no MIPS

Vamos simplificar para exemplificar a implementação:

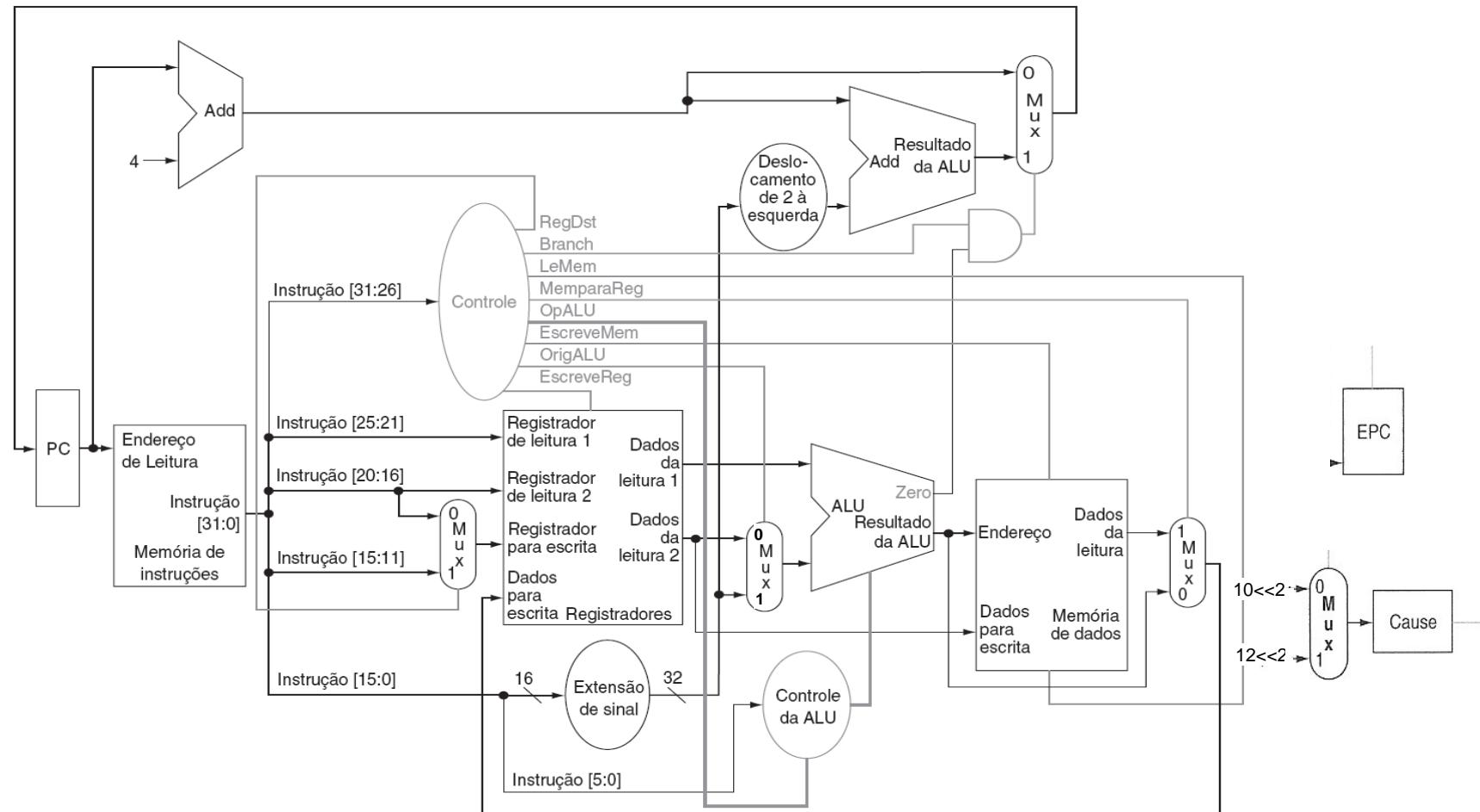
Objetivo: Identificar as exceções de

- Overflow
- Instrução não definida

- Acrescentar dois registradores especiais:
  - Cause**: indica a causa da exceção
  - EPC**: indica o endereço da instrução que causou a exceção
- Definir o endereço da rotina de tratamento de Exceções



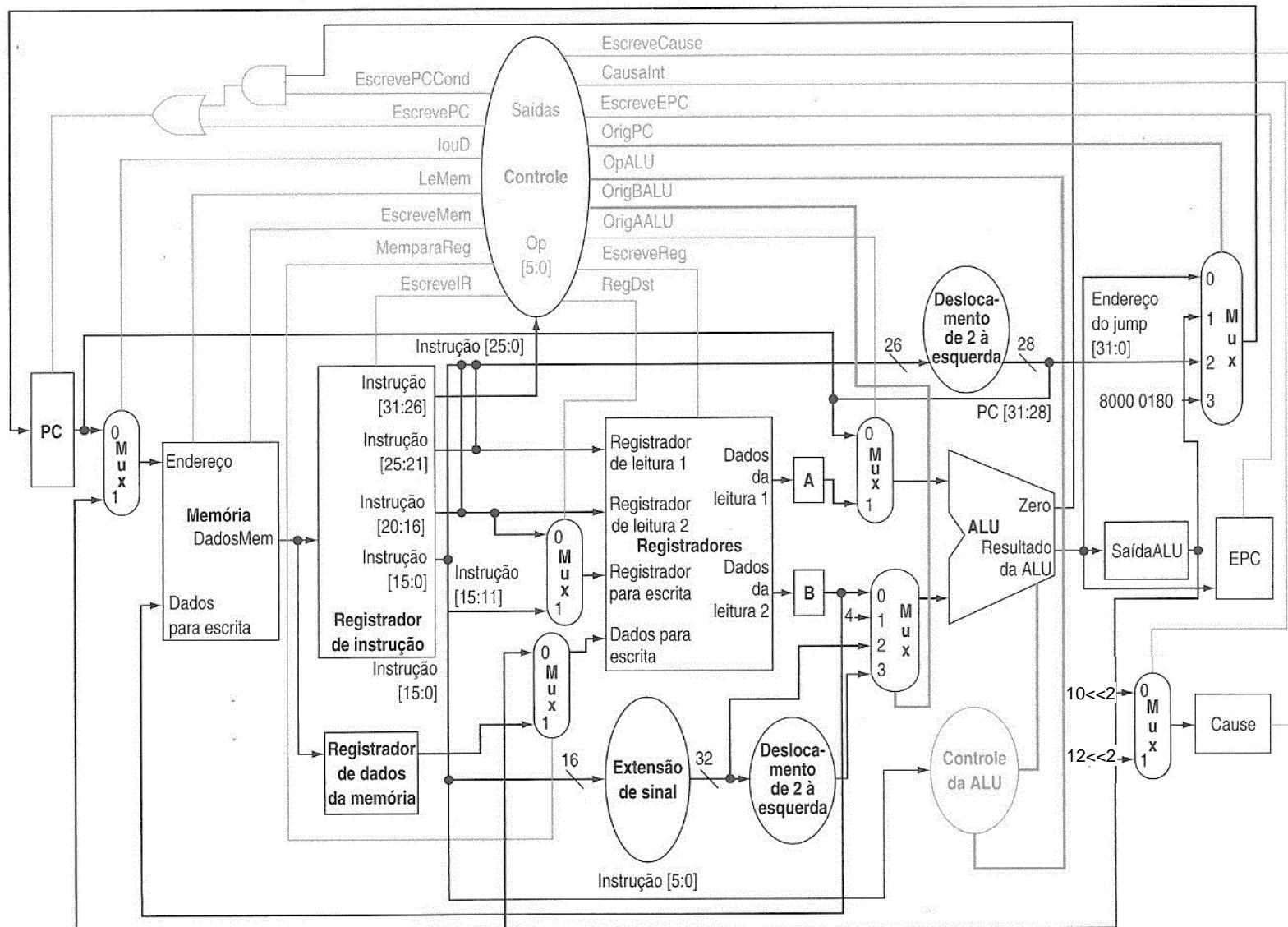
# MIPS Uniciclo com detecção de exceção



Instrução	RegDst	OrigALU	Mempara Reg	Escreve Reg	Le Mem	Escreve Mem	Branch	ALUOp1	ALUOp0
formato R	1	0	0	1	0	0	0	1	0
lw	0	1	1	1	1	0	0	0	0
sw	X	1	X	0	0	1	0	0	0
beq	X	0	X	0	0	0	1	0	1



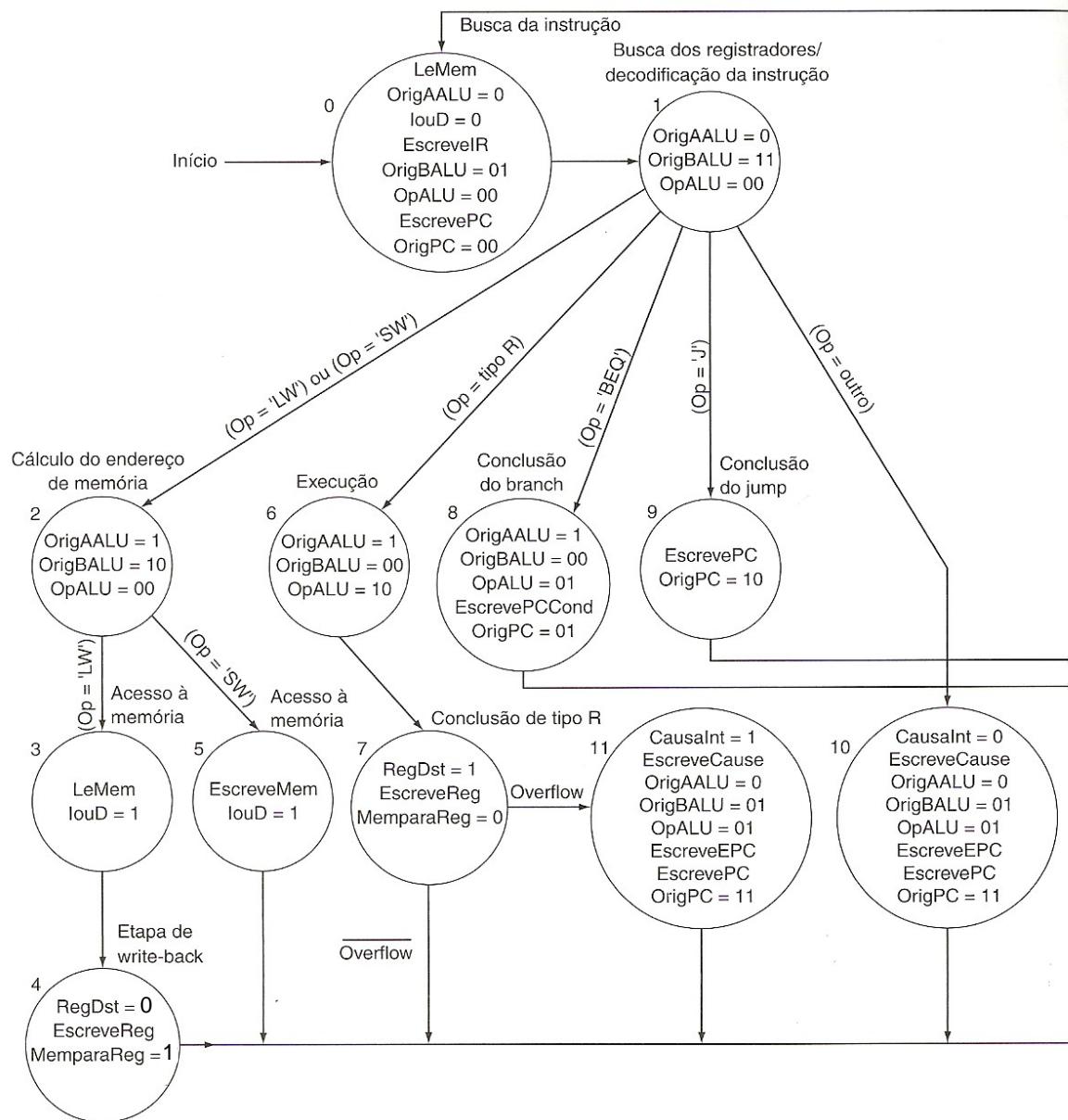
# MIPS Multiciclo com Detecção de Exceção



Obs.: Onde está sinal Overflow da ULA?

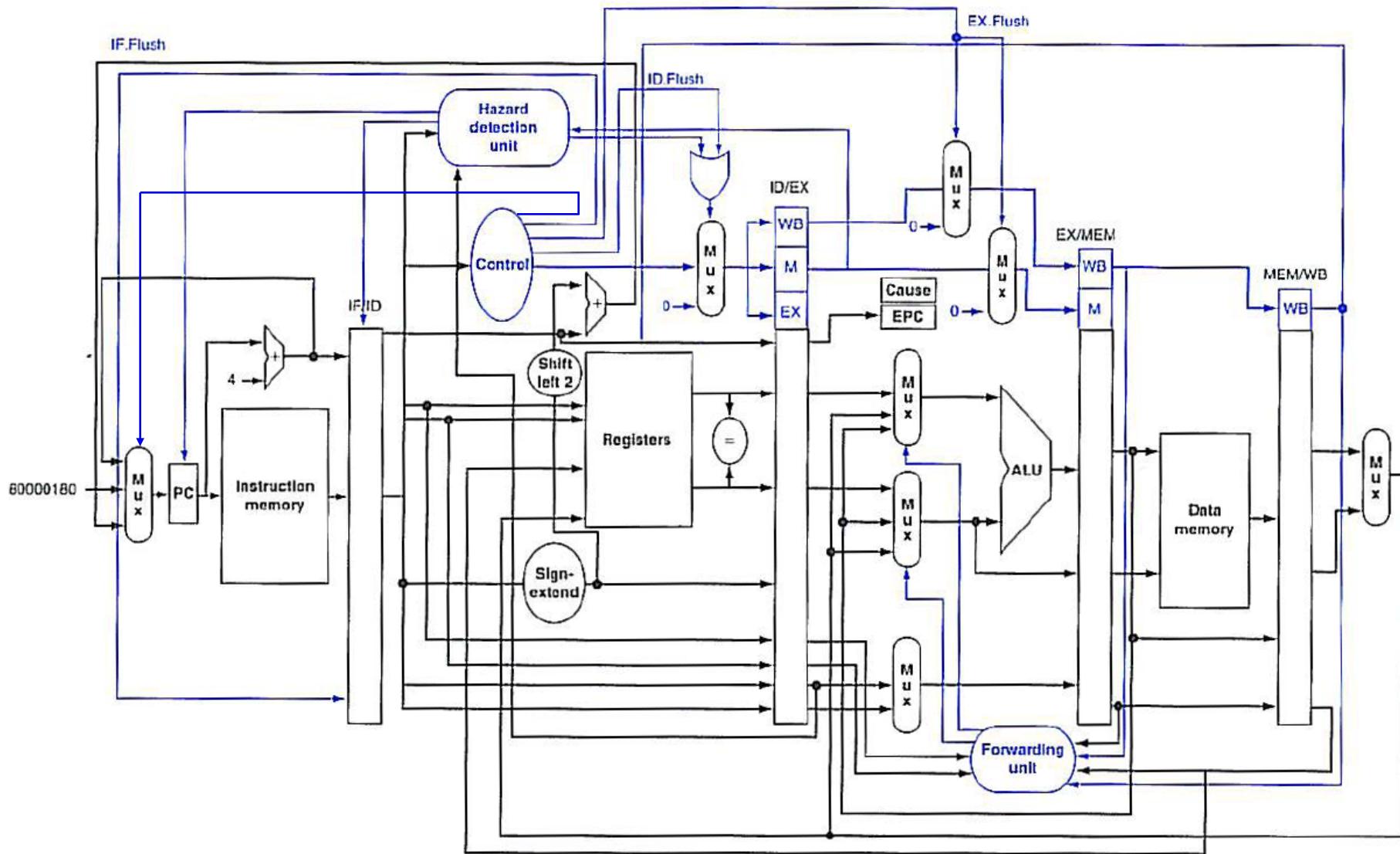


# Controle Multiciclo com Detecção de Exceção



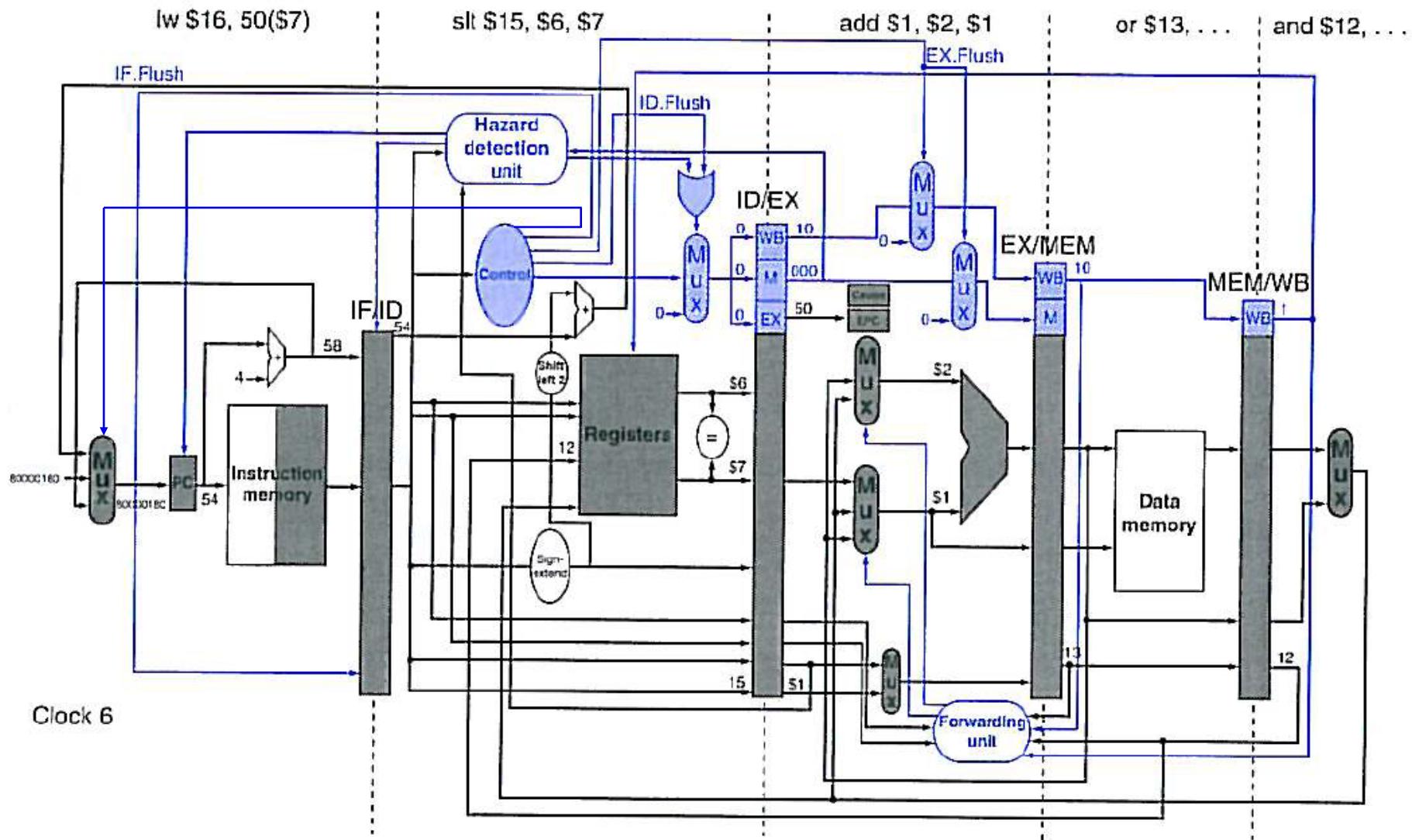


# MIPS Pipeline com Detecção de Exceção



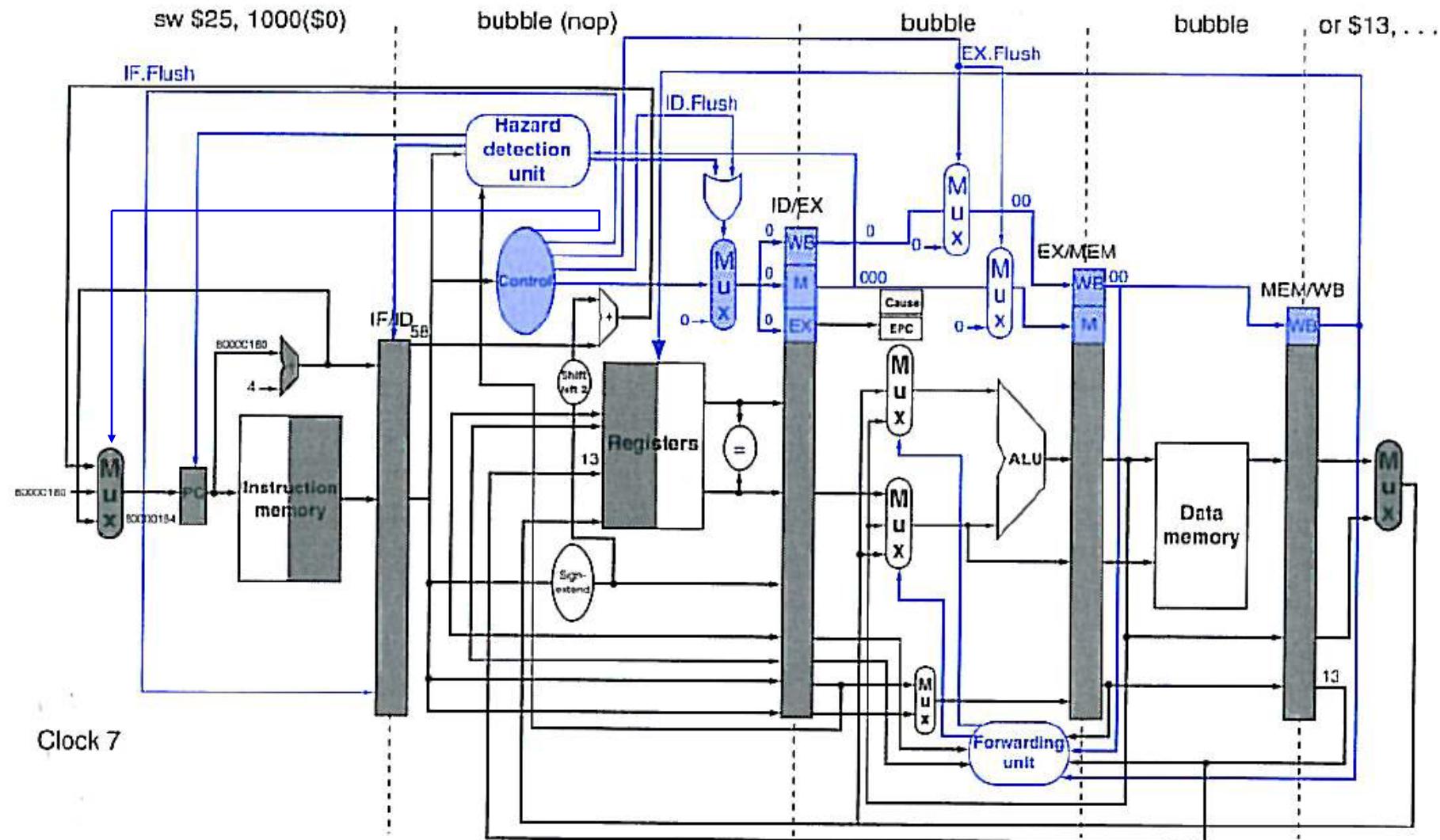


# Pipeline com Detecção de Exceção Overflow





# Pipeline com Detecção de Exceção Overflow





# Conclusões

Qualquer mudança no fluxo do programa, seja por jumps, jals, beqs, syscalls, exceções e interrupções, hazards de controle, são complicadas e devem ser trabalhadas com cuidado no Pipeline.

Pipeline não é uma técnica fácil de se aplicar mas ainda é o estado-da-tecnologia em organização de processadores (99,99% dos processadores comerciais a utilizam).