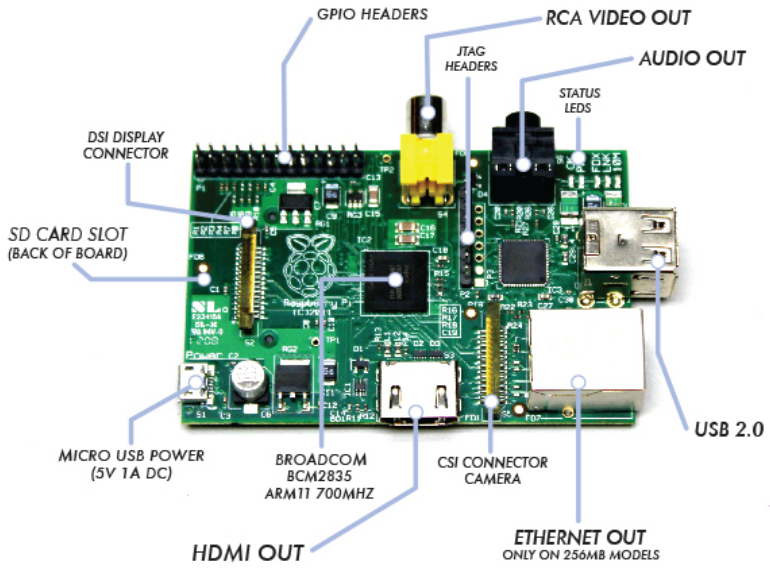
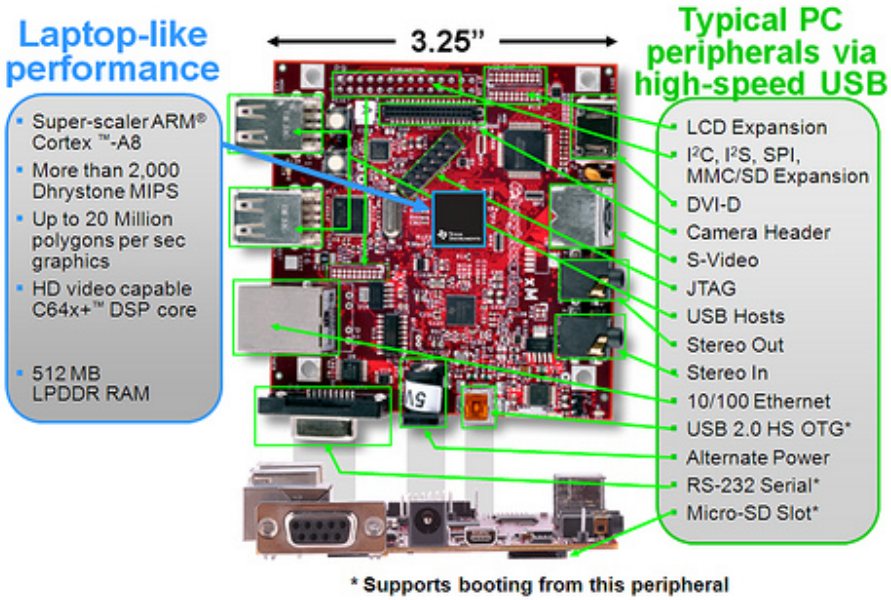
Universidade de Brasília
Departamento de Ciência da Computação

Aula 11
Arquiteturas ARM e x86
32 Bits

Arquitetura ARM v7 (32 bits)

- Arquitetura mais popular para sistemas portáteis (celulares, tablets, sistemas de GPS, etc)
- - Produzida pela ARM Holding (britânica) (Proprietária da arquitetura)
- - Acorn RISC Machine => Advanced RISC Machine
- - 15 bilhões de unidades produzidas em 2015 (x86 menos de 500 milhões)
- - Baixo consumo (Intel: Atom)
- - Baixo custo, customizável, integrável a projetos proprietários
- - Usados também no Raspberry Pi, BeagleBoard, BeagleBone, PandaBoard e outros single-board computers,





Semelhanças com MIPS

	ARM	MIPS
Date announced	1985	1985
Instruction size (bits)	32	32
Address space (size, model)	32 bits, flat	32 bits, flat
Data alignment	Aligned	Aligned
Data addressing modes	9	3
Integer registers (number, model, size)	15 GPR × 32 bits	31 GPR × 32 bits
I/O	Memory mapped	Memory mapped

FIGURE 2.31 Similarities in ARM and MIPS instruction sets.

ARMv8 de 64 bits é bem mais similar ao MIPS64

	Instruction name	ARM	MIPS
Register-register	Add	add	addu, addiu
	Add (trap if overflow)	adds; swivs	add
	Subtract	sub	subu
	Subtract (trap if overflow)	subs; swivs	sub
	Multiply	mul	mult, multu
	Divide	—	div, divu
	And	and	and
	Or	orr	or
	Xor	eor	xor
	Load high part register	—	lui
	Shift left logical	lsl[1]	sllv, sll
	Shift right logical	lsr[1]	srlv, srl
	Shift right arithmetic	asr[1]	srav, sra
	Compare	cmp, cmn, tst, teq	slt/i,slt/iu
Data transfer	Load byte signed	ldrsb	lb
	Load byte unsigned	ldrb	lbu
	Load halfword signed	ldrsh	lh
	Load halfword unsigned	ldrh	lhu
	Load word	ldr	lw
	Store byte	strb	sb
	Store halfword	strh	sh
	Store word	str	sw
	Read, write special registers	mrs, msr	move
	Atomic Exchange	swp, swpb	ll;sc

FIGURE 2.32 ARM register-register and data transfer instructions equivalent to MIPS core. Dashes mean the operation is not available in that architecture or not synthesized in a few instructions. If there are several choices of instructions equivalent to the MIPS core, they are separated by commas. ARM includes shifts as part of every data operation instruction, so the shifts with superscript 1 are just a variation of a move instruction, such as `lsr`[1]. Note that ARM has no divide instruction.

Diferenças:
Modos de endereçamento

Addressing mode	ARM	MIPS
Register operand	X	X
Immediate operand	X	X
Register + offset (displacement or based)	X	X
Register + register (indexed)	X	—
Register + scaled register (scaled)	X	—
Register + offset and update register	X	—
Register + register and update register	X	—
Autoincrement, autodecrement	X	—
PC-relative data	X	—

FIGURE 2.33 Summary of data addressing modes. ARM has separate register indirect and register + offset addressing modes, rather than just putting 0 in the offset of the latter mode. To get greater addressing range, ARM shifts the offset left 1 or 2 bits if the data size is halfword or word.

Diferenças: Modos da CPU

- MIPS:
  - Kernel mode: modo privilegiado, usado em interrupções e syscalls
  - User mode: modo não privilegiado
- ARM:
  - User mode: Único modo não privilegiado
  - FIQ mode: FIQ Fast interrupt (prioridade em relação às demais IRQs)
  - IRQ mode: IRQ Normal interrupt.
  - Supervisor Call mode: SVC instruction is executed. (similar syscall)
  - Abort mode: prefetch abort or data abort exception occurs.
  - Undefined mode: undefined instruction exception occurs.
  - System mode : executing an instruction that writes to the mode bits of the CPSR.
  - Monitor mode : A monitor mode to support TrustZone extension
  - Hyp mode : A non-secure hypervisor mode

Diferenças:

Banco de Registradores

R0 a R7: iguais para qualquer modo

R13 e R14: cada modo possui
estes individuais (banked)
geralmente similares ao $sp e $ra

R8-R12: modo FIQ possui próprios

R15 : Registrador PC

CPSR: Current Program Status Reg

SPSR: Saved Program Status Reg
Cópia do CPSR quando muda o modo

Registers across CPU modes

usr	sys	svc	abt	und	irq	fiq
R0						
R1						
R2						
R3						
R4						
R5						
R6						
R7						
R8						R8_fiq
R9						R9_fiq
R10						R10_fiq
R11						R11_fiq
R12						R12_fiq
R13		R13_svc	R13_abt	R13_und	R13_irq	R13_fiq
R14		R14_svc	R14_abt	R14_und	R14_irq	R14_fiq
R15						
CPSR						
		SPSR_svc	SPSR_abt	SPSR_und	SPSR_irq	SPSR_fiq

Diferenças:
Registrador de Status: CPSR

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N	Z	C	V	Q	IT		J	DNM				GE				IT						E	A	I	F	T	M				

M (bits 0–4) is the processor mode bits.
T (bit 5) is the Thumb state bit. (modo de codificação com 16 bits)
F (bit 6) is the FIQ disable bit.
I (bit 7) is the IRQ disable bit.
A (bit 8) is the imprecise data abort disable bit.
E (bit 9) is the data endianness bit.
IT (bits 10–15 and 25–26) is the if-then state bits.
GE (bits 16–19) is the greater-than-or-equal-to bits.
DNM (bits 20–23) is the do not modify bits.
J (bit 24) is the Java state bit.
Q (bit 27) is the sticky overflow bit. (add e sub com saturação)
V (bit 28) is the overflow bit.
C (bit 29) is the carry/borrow/extend bit.
Z (bit 30) is the zero bit.
N (bit 31) is the negative/less than bit.

Diferenças: Instruções com condição

A maior parte das instruções da ISA ARM são condicionais.

Isto é, possuem 4 bits (cond) que determinam se a instrução deve ser executada ou não dependendo dos bits ZNCV do registrador CPSR.

Table A8-1 Condition codes

cond	Mnemonic extension	Meaning (integer)	Meaning (floating-point) [a]	Condition flags
0000	EQ	Equal	Equal	Z == 1
0001	NE	Not equal	Not equal, or unordered	Z == 0
0010	CS [b]	Carry set	Greater than, equal, or unordered	C == 1
0011	CC [c]	Carry clear	Less than	C == 0
0100	MI	Minus, negative	Less than	N == 1
0101	PL	Plus, positive or zero	Greater than, equal, or unordered	N == 0
0110	VS	Overflow	Unordered	V == 1
0111	VC	No overflow	Not unordered	V == 0
1000	HI	Unsigned higher	Greater than, or unordered	C == 1 and Z == 0
1001	LS	Unsigned lower or same	Less than or equal	C == 0 or Z == 1
1010	GE	Signed greater than or equal	Greater than or equal	N == V
1011	LT	Signed less than	Less than, or unordered	N != V
1100	GT	Signed greater than	Greater than	Z == 0 and N == V
1101	LE	Signed less than or equal	Less than, equal, or unordered	Z == 1 or N != V
1110	None (AL) [d]	Always (unconditional)	Always (unconditional)	Any

Diferenças: Instruções com condição

-Gera códigos bem mais densos.

Ex.: cálculo do MDC(i,j)

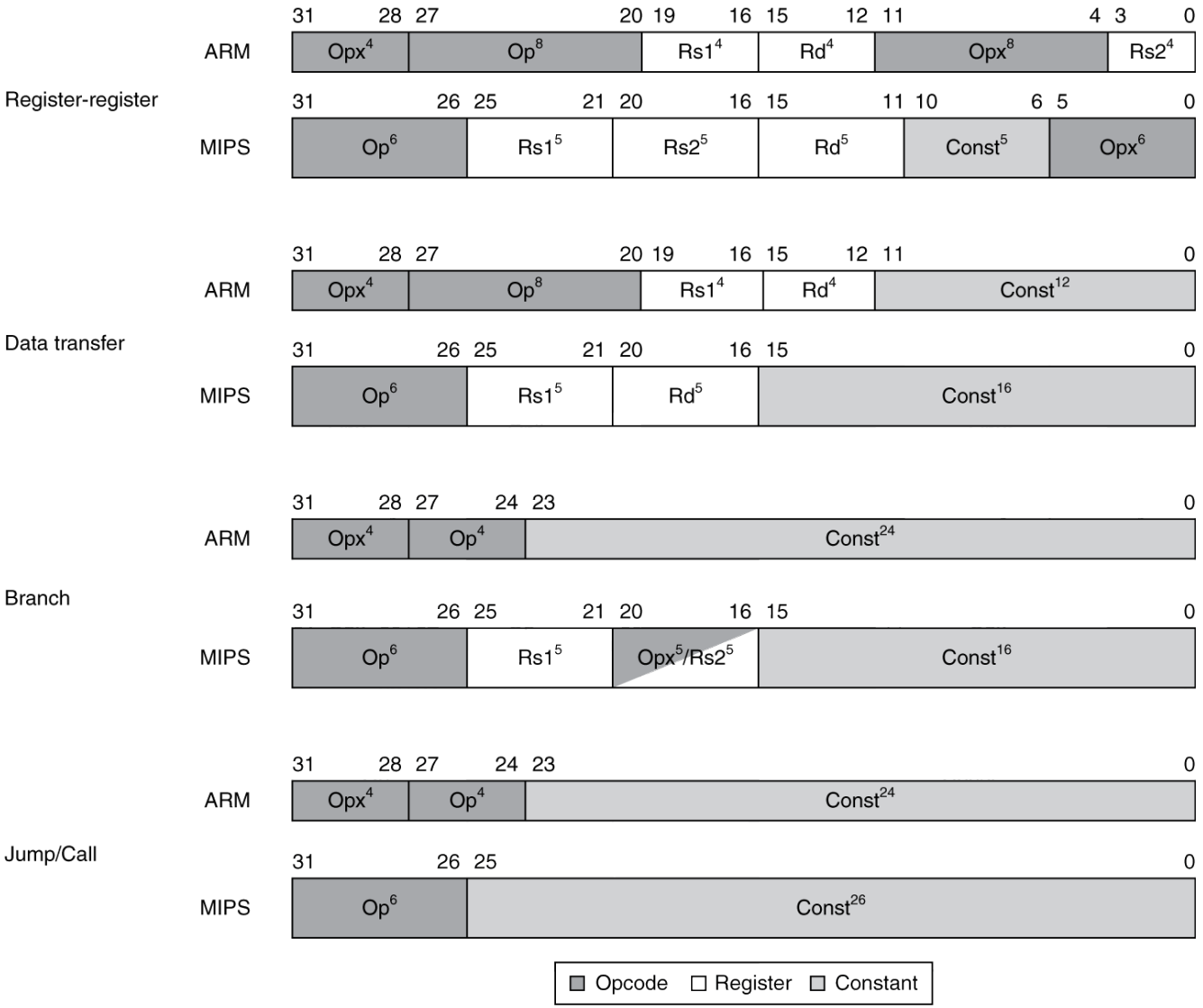
```
while (i != j)
{
    if (i > j)
            i -= j;
    else  /* i<j */
            j -= i;
 }
```

Obs.: CMP Ri,Rj é implementado como Rj-Ri

```
loop: CMP Ri, Rj      ; set condition
                      ;    "NE" if (i != j) ou "GT" if (i > j) ou "LT" if (i < j),
SUBGT Ri, Ri, Rj    ; if "GT" (Greater Than), i = i-j;     Z==0&&N==V ?
SUBLT Rj, Rj, Ri    ; if "LT" (Less Than), j = j-i;        N!=V?
BNE loop            ; if "NE" (Not Equal), then loop       Z==0 ?
```

Assim, por exemplo, um salto condicional é um salto incondicional com condição (duh)

Codificação das Instruções



Há ainda o modo Thumb, onde as instruções são simplificadas e codificadas em 16 bits (código mais compacto ainda!)

The Intel x86 ISA

- Evolução e Retrocompatibilidade
  - 8080 (1974): 8-bit microprocessor
    - Accumulator, plus 3 index-register pairs
  - 8086 (1978): 16-bit extension to 8080
    - Complex instruction set (CISC)
  - 8087 (1980): floating-point coprocessor
    - Adds 60 FP instructions and register stack
  - 80286 (1982): 24-bit addresses, MMU
    - Segmented memory mapping and protection
  - 80386 (1985): 32-bit extension (now IA-32)
    - Additional addressing modes and operations
    - Paged memory mapping as well as segments

The Intel x86 ISA

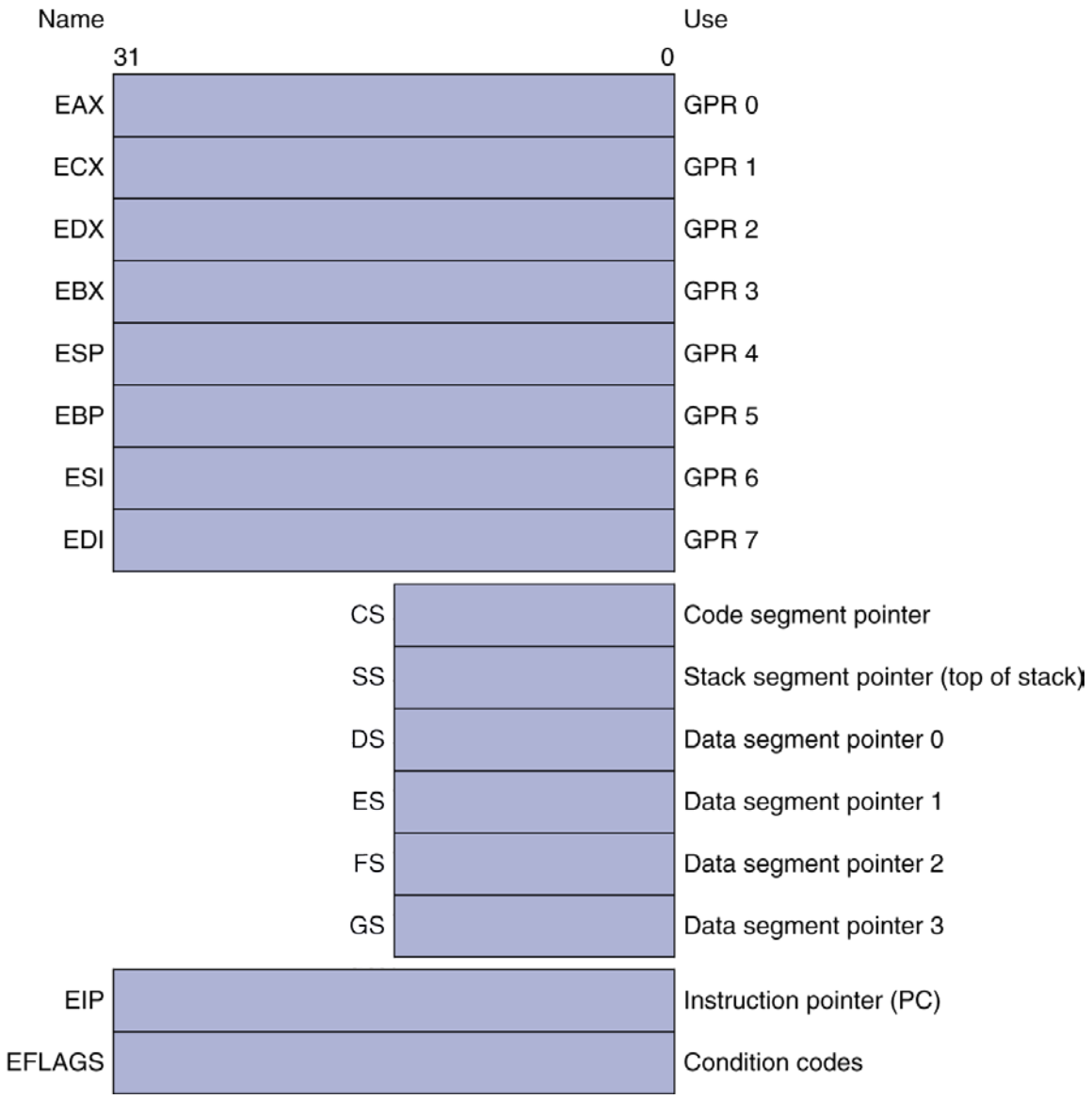
- i486 (1989): pipelined, on-chip caches and FPU
  - Compatible competitors: AMD, Cyrix, …
  - Added only 4 new instructions
- Pentium (1993): superscalar, 64-bit datapath
  - Later versions added 57 MMX (Multi-Media eXtension) instructions
  - The infamous FDIV bug
- Pentium Pro (1995), Pentium II (1997)
  - New microarchitecture
  - No new instructions
- Pentium III (1999)
  - Added 70 new SSE (Streaming SIMD Extensions) instructions and associated 128 bits registers
- Pentium 4 (2001)
  - New microarchitecture
  - Added 144 new SSE2 instructions

The Intel x86 ISA

- AMD64 (2003): extended architecture to 64 bits
- EM64T – Extended Memory 64 Technology (2004)
  - AMD64 adopted by Intel (with refinements)
  - Added 13 new SSE3 instructions (complex operations)
- Intel Core (2006)
  - Added 54 new SSE4 instructions, virtual machine support
- AMD64 (2007): 170 new SSE5 instructions
  - Intel declined to follow, instead…
- Intel i7
  - Advanced Vector Extension - AVX (2008)
  - Longer SSE registers (256 bits), redefined 250 instructions and added more 128 new instructions
  - Introduced 47 new 3 operands instructions (like MIPS)
- Intel i7 terceira geração
  - AVX2 e FMA3 e 4 (2011 e 2013)
  - Longer SSE registers, more 24 instructions

Banco de registradores básico

a partir do 386



Modos de endereçamento básicos

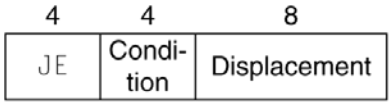
- Dois operandos por instrução

Source/dest operand	Second source operand
Register	Register
Register	Immediate
Register	Memory
Memory	Register
Memory	Immediate

- Modos de Endereçamento da Memória
  - Address in register
  - Address = R_{base} + displacement
  - Address = $R_{base} + 2^{scale} \times R_{index}$ (scale = 0, 1, 2, or 3)
  - Address = $R_{base} + 2^{scale} \times R_{index}$ + displacement

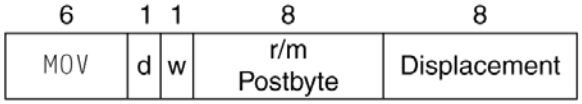
Exemplo de codificação das Instruções x86

a. JE EIP + displacement

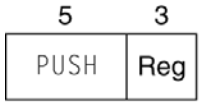


b. CALL

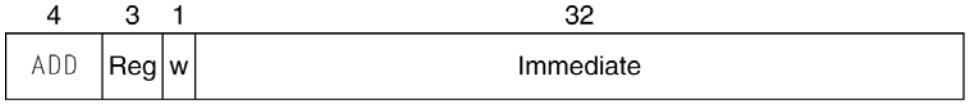
c. MOV EBX, [EDI + 45]



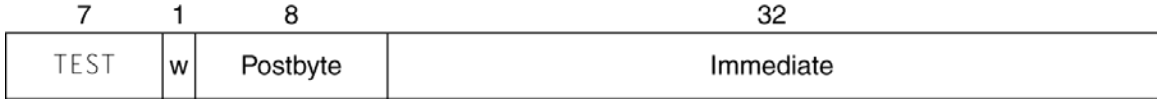
d. PUSH ESI



e. ADD EAX, #6765



f. TEST EDX, #42



- Codificação de tamanho variável de acordo com a instrução
  - Postfix bytes especificam o modo de endereçamento
  - Prefix bytes modificam a operação
  - Próxima instrução não é PC+4! Precisa ser calculado!
- Tamanho dos operandos, repetição das instruções, travamentos, …, definidos pela instrução.

Ex.: MDC(i,j)

```
int mdc(int i, int j)
{
   while (i != j)
          if (i > j)
                 i -= j;
          else  /* i<j */
                 j -= i;
return i;
 }
```

```
mdc:    movl %ecx, %eax
        cmpl %edx, %ecx
        je .L2
.L5:    cmpl %edx, %eax
        jle .L3
        subl %edx, %eax
        jmp .L4
.L3:    subl %eax, %edx
.L4:    cmpl %eax, %edx
        jne .L5
.L2:    ret
```

```
#cuidar beq e j pipelined
mdc:    move $2,$4
.L6:    beq $2,$5,.L10
        slt $3,$5,$2
.L9:    beq $3,$0,.L3
        nop
        subu $2,$2,$5
        bne $2,$5,.L9
        slt $3,$5,$2
.L10:   j $31
        nop
.L3:    j .L6
        subu $5,$5,$2
```

Implentando a arquitetura IA-32

- O conjunto de instruções complexo dificulta muito a implementação
  - O hardware traduz as instruções da ISA em microoperações (microinstruções)
    - Instruções Simples: 1–1
    - Instruções Complexas: 1–várias
  - Microengine (processador de instruções) similar a um RISC
- Desempenho comparável aos RISC
  - Cabe aos compiladores evitar o aumento da complexidade

Falácias

- Instruções Poderosas ⇒ Melhor Desempenho
  - São requeridas poucas instruções
  - MAS, instruções complexas são difíceis de implementar
    - Pode tornar mais lentas todas as instruções, até as mais simples!
  - Compiladores devem criar códigos rápidos usando as instruções mas simples
- Uso da Linguagem Assembly ⇒ Melhor Desempenho
  - Os compiladores modernos são melhores para lidar com os modernos e complexos processadores
  - Quanto mais linhas de código ⇒ maior probabilidade de erros e menor produtividade!

- Retrocompatibilidade ⇒ Conjunto de instruções não muda
  - MAS, são acrescentadas novas instruções!