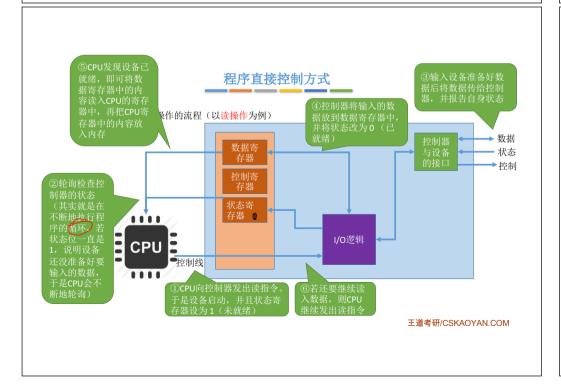
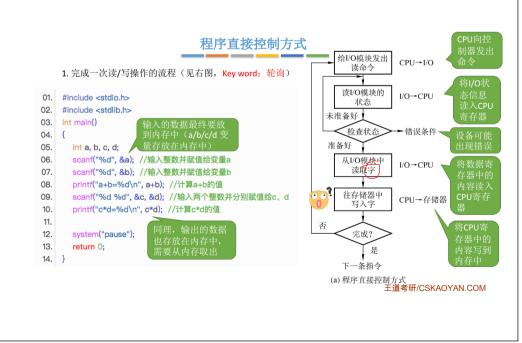
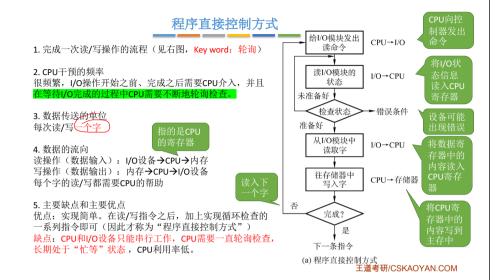
I/O控制方式

王道考研/CSKAOYAN.COM









中断驱动方式

- 1. 完成一次读/写操作的流程(见右图, Key word: 中断)
- 2. CPU干预的频率 刀ょうだら 每次I/O操作开始之前、定成之后需要CPU介入。 等待I/O完成的过程中CPU可以切换到别的进程执行。
- 3. 数据传送的单位每次读/写一字
- 4. 数据的流向

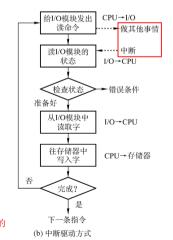
读操作(数据输入): I/O设备→CPU→内存 写操作(数据输出): 内存→CPU→I/O设备

5. 主要缺点和主要优点

优点: 与"程序直接控制方式"相比,在"中断驱动方式"中,I/O控制器会通过中断信号主动报告I/O已完成,CPU不再需要不停地轮询。CPU和I/O设备可并行工作,CPU利用率得到明显提升。

缺点:每个字在I/O设备与内存之间的传输,都需要经过CPU。而频繁的中断处理会消耗较多的CPU时间。

传一个字中断一次



王道考研/CSKAOYAN.COM

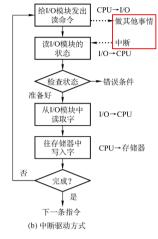
中断驱动方式

引入中断机制。由于I/O设备速度很慢,因此在CPU发出读/写命令后,可将等待I/O的进程阻塞,先切换到别的进程执行。当I/O完成后,控制器会向CPU发出一个中断信号,CPU检测到中断信号后,会保存当前进程的运行环境信息,转去执行中断处理程序处理该中断。处理中断的过程中,CPU从/O控制器读一个字的数据传送到CPU寄存器,再写入主存。接着,CPU恢复等待I/O的进程(或其他进程)的运行环境,然后继续执行。

注意: ①CPU会在每个指令周期的末尾检查中断; ②中断处理过程中需要保存、恢复进程的运行环境, 这个过程是需要一定时间开销的。可见,如果中断发生 的频率太高,也会降低系统性能。

原则:保存中断处理程序结束返回之后(在原程序中)还需使用且不可恢复的内容





王道考研/CSKAOYAN.COM

DMA方式

与"中断驱动方式"相比,DMA方式(Direct Memory Access,直接存储器存取。主要用于块设备的I/O控制)有这样几个改进:

①数据的传送单位是"块"。不再是一个字、一个字的传送;

②数据的流向是从设备直接放入内存,或者从内存直接到设备。不再需要CPU作为"快递小哥"。

③仅在传送一个或多个数据块的开始和结束时,才需要CPU干预。





DMA控制器 主机—控制器接口 块设备—控制器接口 DR J/O MAR 与块设备的接制 DC 理 CR DMA控制器 MAR OMA控制器

DR(Data Register,数据寄存器): 暂存从设备到内存,或从内存到设备的数据。

MAR(Memory Address Register,内存地址寄存器): 在输入时,MAR 表示数据应放到内存中的什么位置:输出时 MAR 表示要输出的数据放在内存中的什么位置。

DC(Data Counter,数据计数器):表示剩余要读/写的字节数。

CR(Command Register,命令/状态寄存器):用于存放CPU发来的I/O命令,或设备的状态信息。

王道考研/CSKAOYAN.COM

从哪读, 读多少, 放到哪里 通道控制方式 通道:一种硬件,可以理解为是"弱鸡版的CPU"。通道可以识别并执行一系列通道指令 ①CPU向通道发出I/O指令。指明通道程序在内存中的位置,并指 ①I/O指令 ③中断 的任务后,向CPU发 出<mark>中断</mark>启号,之后 内存 通道(硬件)_ 请求I/O访管指令 响应I/O中断请求 月子要读入/写出多少数据,读/写的数 CPU运行用户程序 CPM 民应放在内存的什么位置等信息) → iBiBZ4kalak 王道考研/CSKAOYAN.COM CPU运行I/O管理程序 编制通道程序 CPM 147 自动ISD通道 登记或处理 油遊蛀約1作 一个通道并发控制多个设备,同一时刻仅有一个设备工作 通道运行存放在主存 组织I/O操作 中的通道程序 向CPU发中断请求 ->控制1路2作

DMA方式

- 1. 完成一次读/写操作的流程(见右图)
- 2. CPU干预的频率 仅在传送一个或多个数据块的开始和结束时,才需要CPU干预。
- 3. 数据传送的单位 每次读/写一个或多个块、注意:每次读写的只能是<u>推续</u>的多个块, 且这些块读入内存后在内存中也必须是连续的)

4. 数据的流向(不再需要经过CPU)

读操作(数据输入): I/O设备→内存 写操作(数据输出): 内存→I/O设备

5. 主要缺点和主要优点

优点:数据传输以"块"为单位,CPU介入频率进一步降低。数据的传输不再需要先经过CPU再写入内存,数据传输效率进一步增加。CPU和I/O设备的并行性得到提升。

缺点: CPU每发出一条I/O指令,只能读/写一个或多个连续的数据块。

如果要读/写多个离散存储的数据块,或者要将数据分别写到不同的内存区域时,CPU要分别发出多条I/O指令,进行多次中断处理才能完成。

王道考研/CSKAOYAN.COM

CPU→DMA

→・・・・・・中断

DMA→CPU

····→做其他事情

给I/O模块发出

读块命今

读DMA模块的

状态

下一条指令

通道控制方式

通道:一种硬件,可以理解为是"弱鸡版的CPU"。通道可以识别并执行一系列通道指令

1. 完成一次读/写操作的流程(见右图)

与CPU相比,通道可以执行的指令很单一,并且通道程 序是放在主机内表中的,也就是说通道与CPU共享内表

2-CPU干预的频率

极低,通道会根据CPU的指示执行相应的通道程序,<mark>只有完成一组数据块</mark>的读/写后才需要发出中断信号,请求CPU干预。

3. 数据传送的单位 每次读/写一组数据块

4. 数据的流向(<mark>在通道的控制下进行</mark>) 读操作(数据输入): I/O设备→内存 写操作(数据输出): 内存→I/O设备

5. 主要缺点和主要优点 缺点:实现复杂,需要专门的通道硬件支持 优点: CPU、通道、I/O设备可并行工作,资源利用率很高。 CPU给通道发出指令 事情,通道自主完成I/O 中断信号处理 执行后续操作

王道考研/CSKAOYAN.COM

知识点回顾与重要考点

	完成一次读/写的过程	CPU干 预频率	每次I/O的数 据传输单位	数据流向	优缺点
程序直接控 制方式	CPU发出I/O命令后需要不 断轮询	极高	字	设备→CPU→内存 内存→CPU→设备 Cpuが割や現住区	中都一个都一个都一个都一个都一个都一个都一个都一个要对了一个一个要对对预杂的。,程减过是VO工行外,是这个是要对对预杂争,以是这个是要对的中国,是这个是要对的中国。整就少程中也控制,是这个是一个一个一个一个一个一个一个一个一个一个一个一个一个一个一个一个一个一个
中断驱动方 式	CPU发出I/O命令后可以做 其他事,本次I/O完成后设 备控制器发出中断信号	高(字	设备→CPU→内存 内存→CPU→设备	
DMA方式	CPU发出I/O命令后可以做 其他事,本次I/O完成后 DMA控制器发出中断信号	中 (块	设备→内存 内存→设备	
通道控制方式	qPU发出I/O命令后可以做 其他事。通道会执行通道 程序以完成I/O,完成后通 道前¢PU发出中断信号	低	一组块	设备 → 内存 内存 → 设备	
弱鸡版CPU 上字-任务清单	从哪读,读多少,放到	到哪里		Τ;	首老研/CSKAOYAN

王道考研/CSKAOYAN.COM