

FPGA 的设计过程中，modelsim 是我们最常用的工具之一，大部分 FPGA 的初学者对 Modelsim 的使用不熟练，也只能使用最简单的一部分，其实它的功能很强打，在这里我就 modelsim 的使用写个详细文档，希望对初学者有帮助。

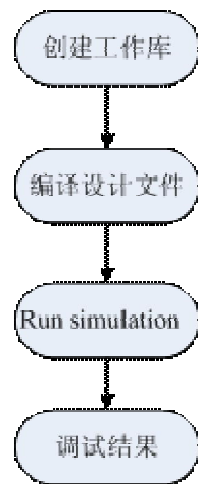
共 13 部分，今天先写第一部分，每周写一部分，大家要有耐心，嘿嘿。

一、概述

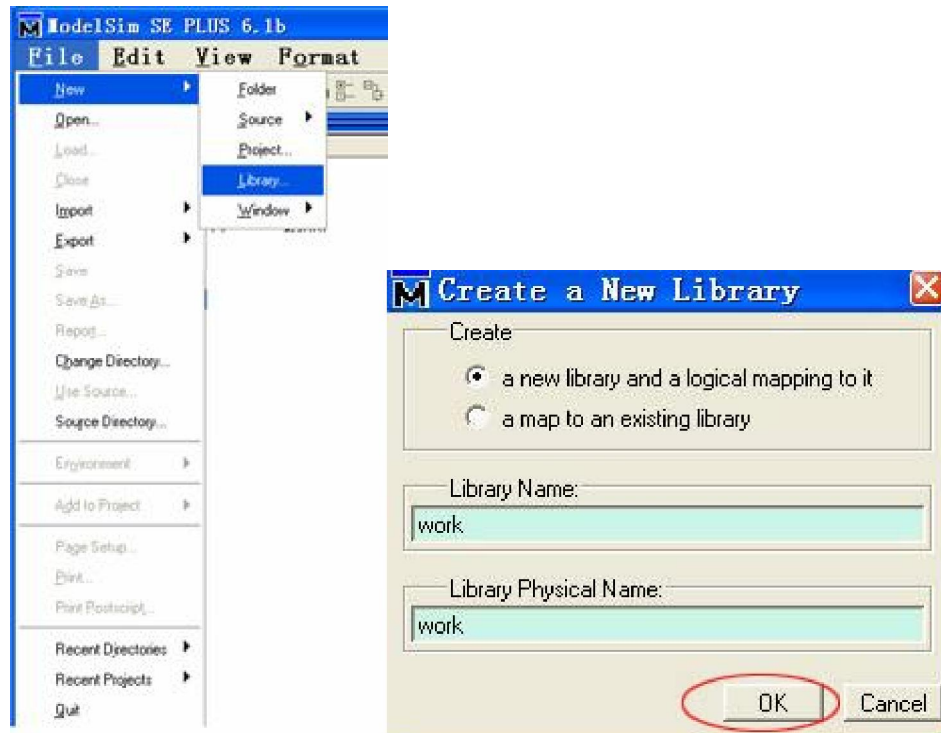
ModelSim 能够对 VHDL、Verilog、SystemVerilog、SystemC 和混合语言设计的仿真和验证。

有三种仿真模式

(1) 基本仿真流程，这是最简单的仿真方法，不用建立工程



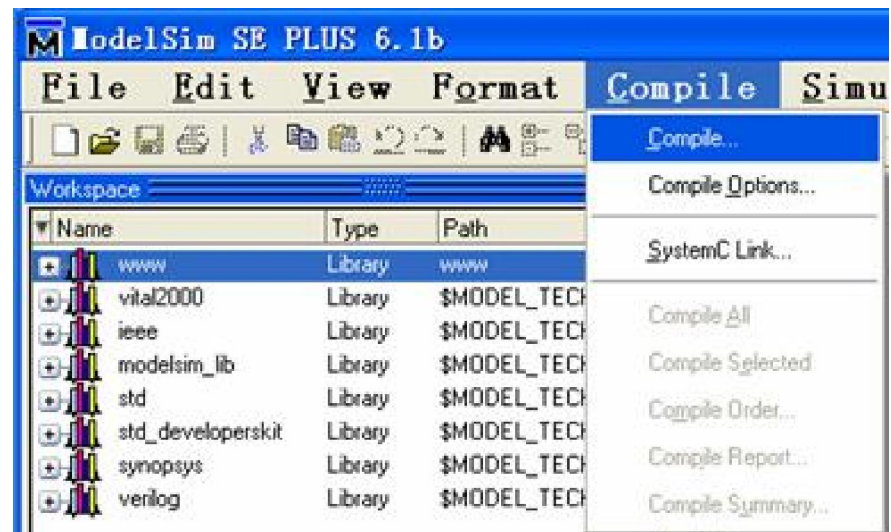
创建 work 库：打开 modelsim，在 file 菜单下，点 new-library

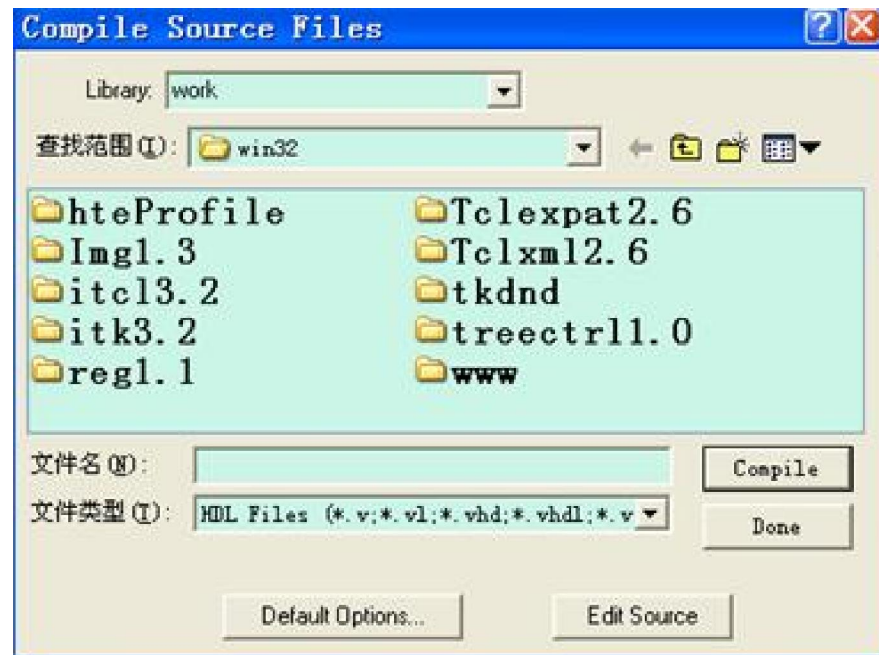


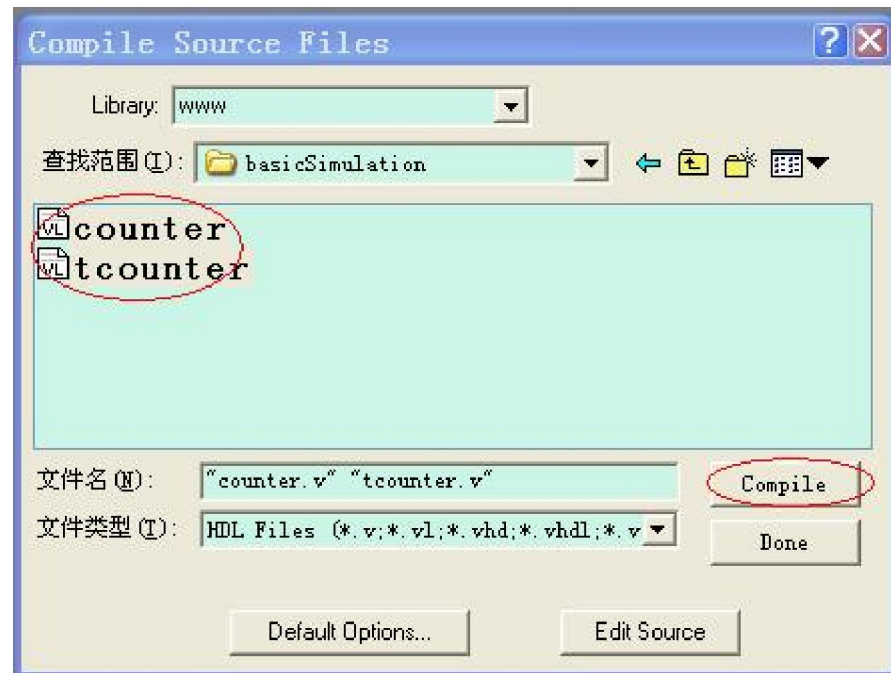
Work 是 modelsim 默认的库，也可以改成自己有含义的名字， 也可以通过输入命令建立库 如在 modelsim> vlib www 回车，则建立了 www 库

编译文件

建立库完成后，你该把你的设计文件在库里面进行编译，方法有菜单操作和命令输入两种菜单操作：在 copile 菜单下点 compile 选项，或 在 modelsim> 下输入 vcom ， 回车。

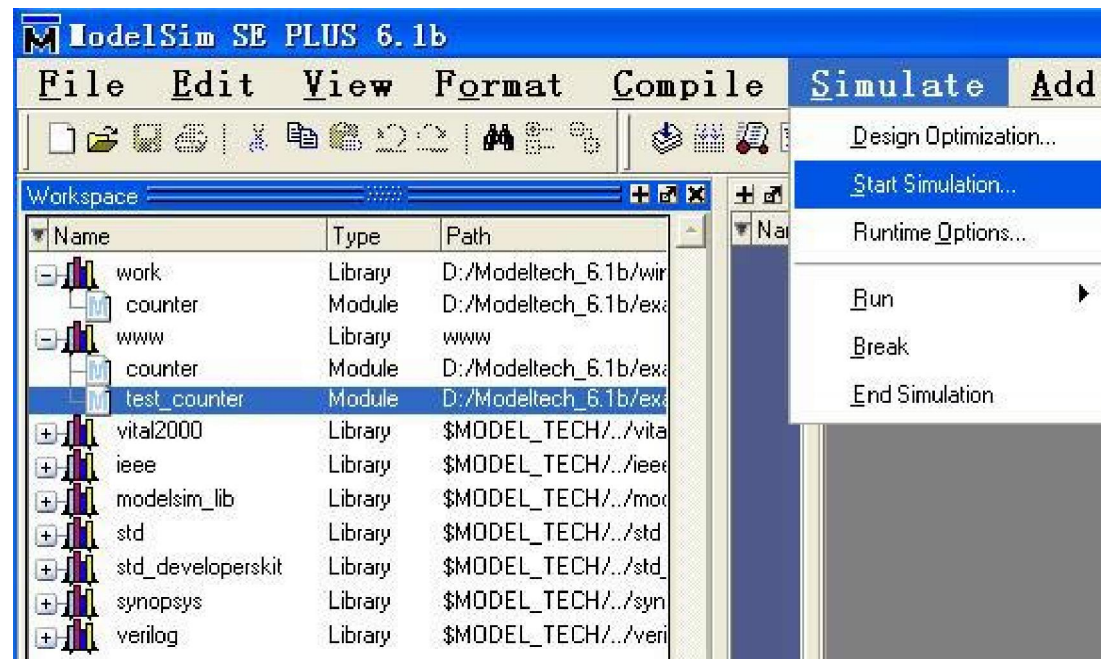


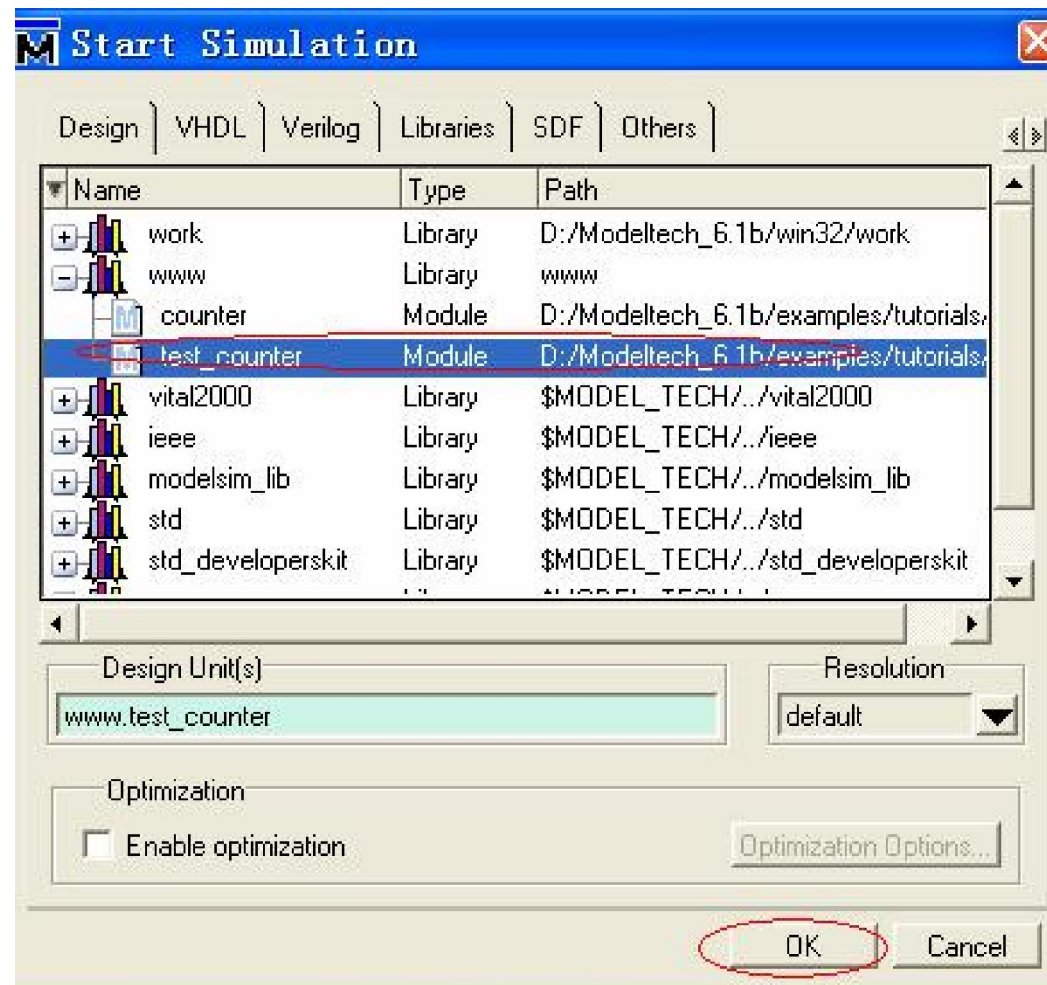




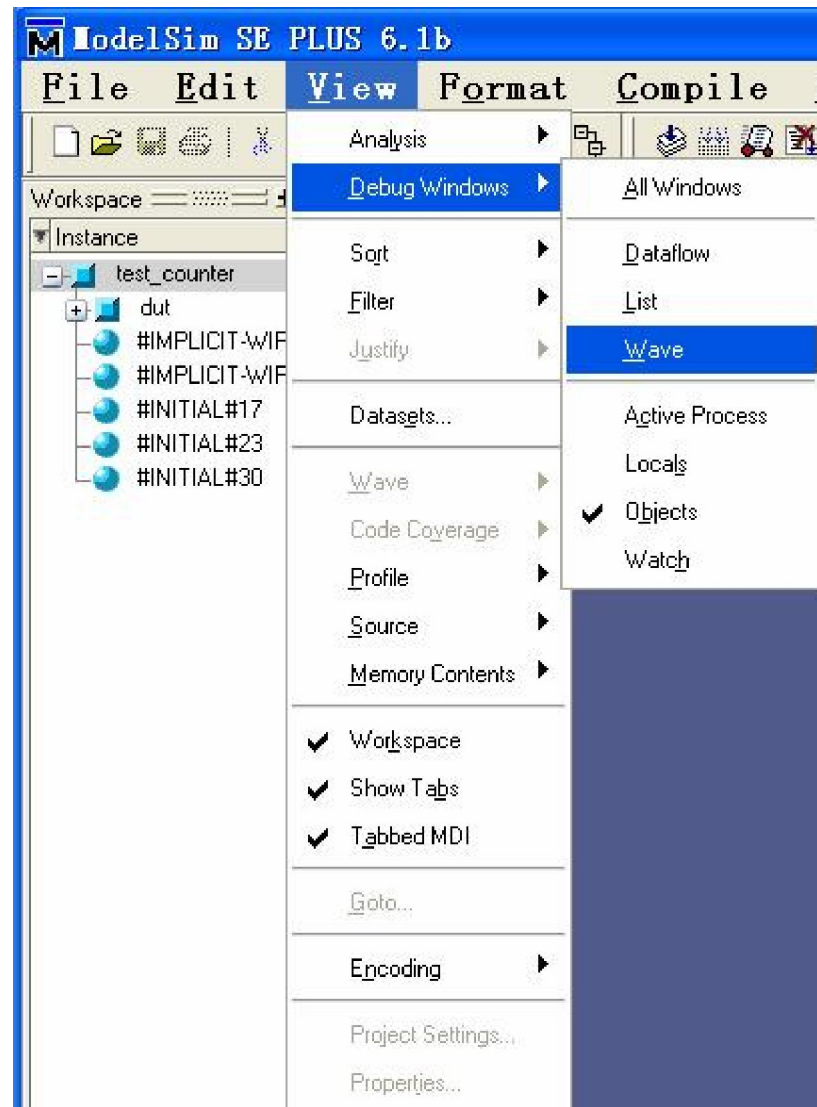
运行仿真

编译完成后，唤醒 testbench 文件进行仿真，在菜单 simulate 菜单下点击 start simulate....按钮或在命令行输入 Vsim 命令，回车

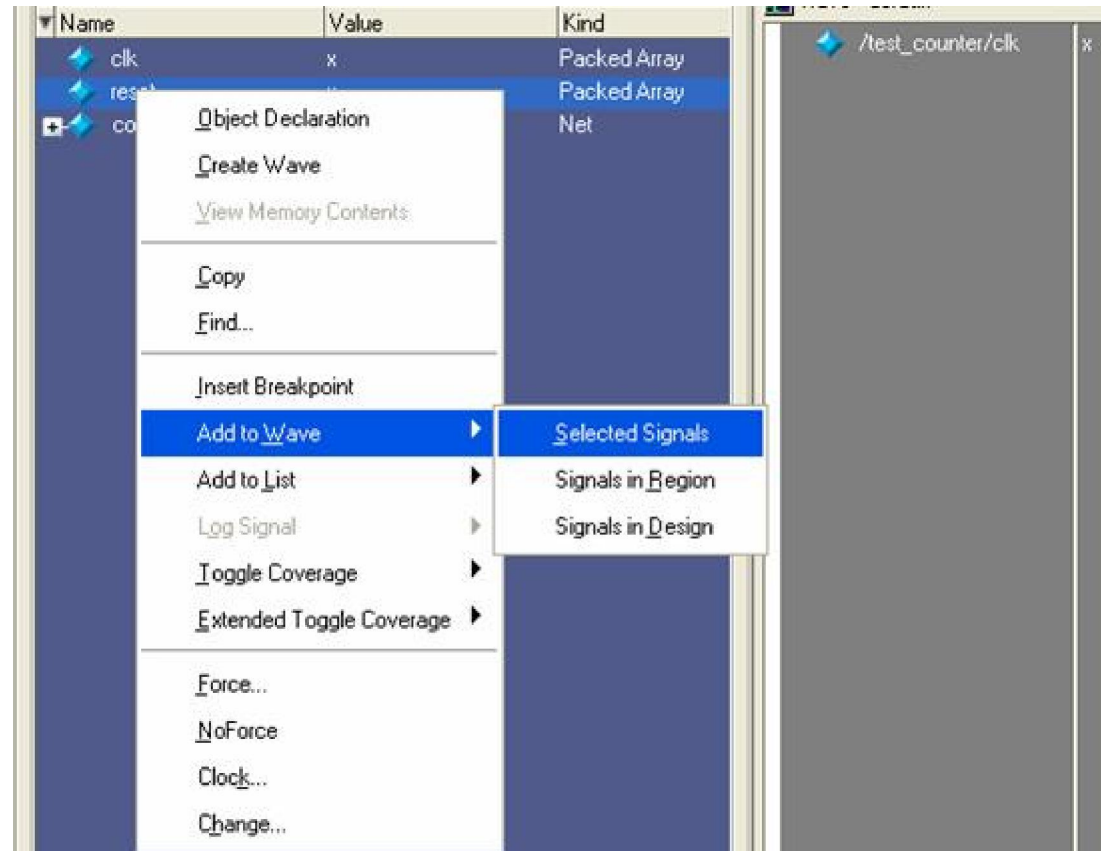




在菜单栏，点击 view- Debug Windows -Wave，打开 wave 窗口，

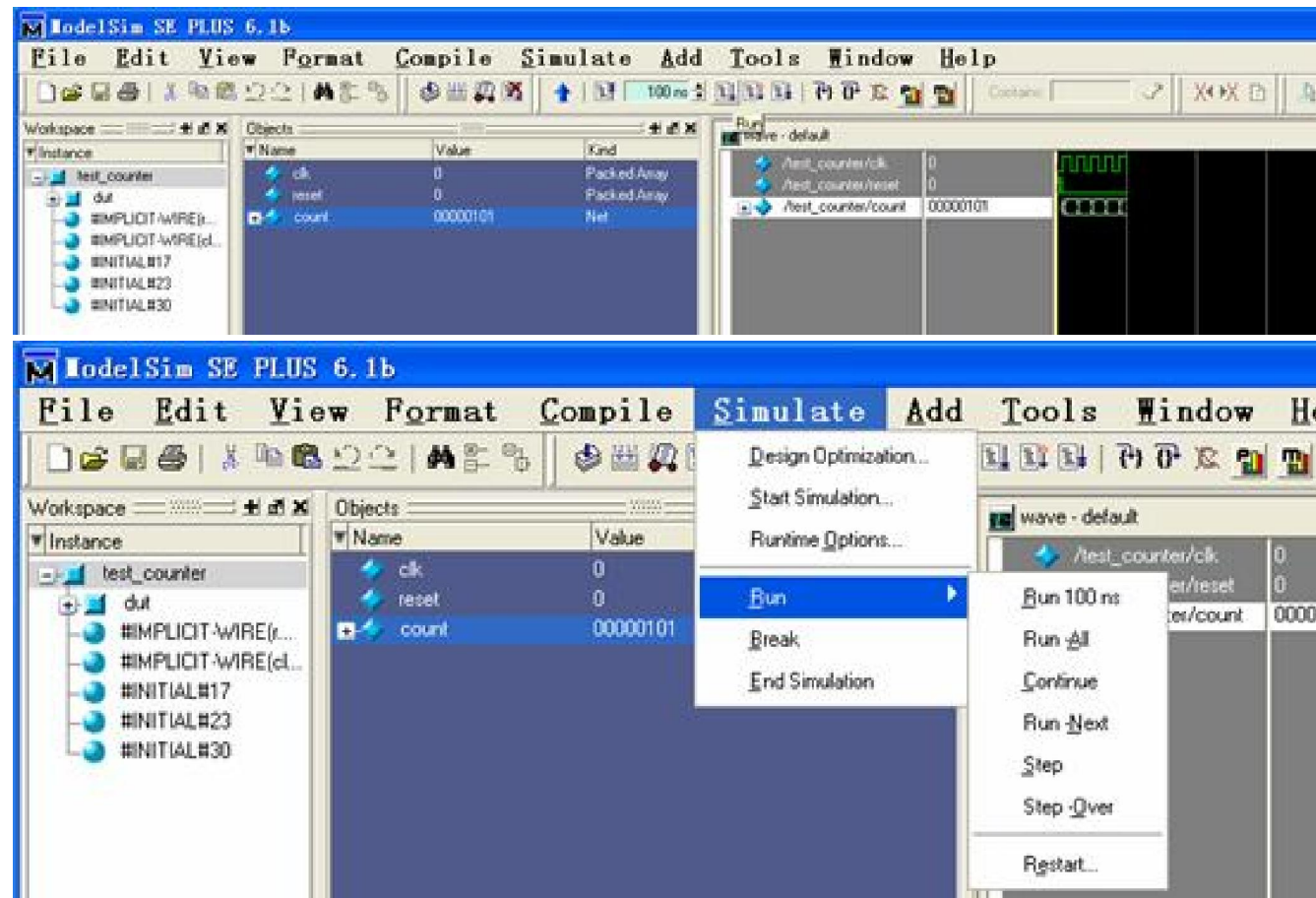


添加需观测的信号进入波形文件。可以右键添加，也可以用鼠标直接拖进 wave 中

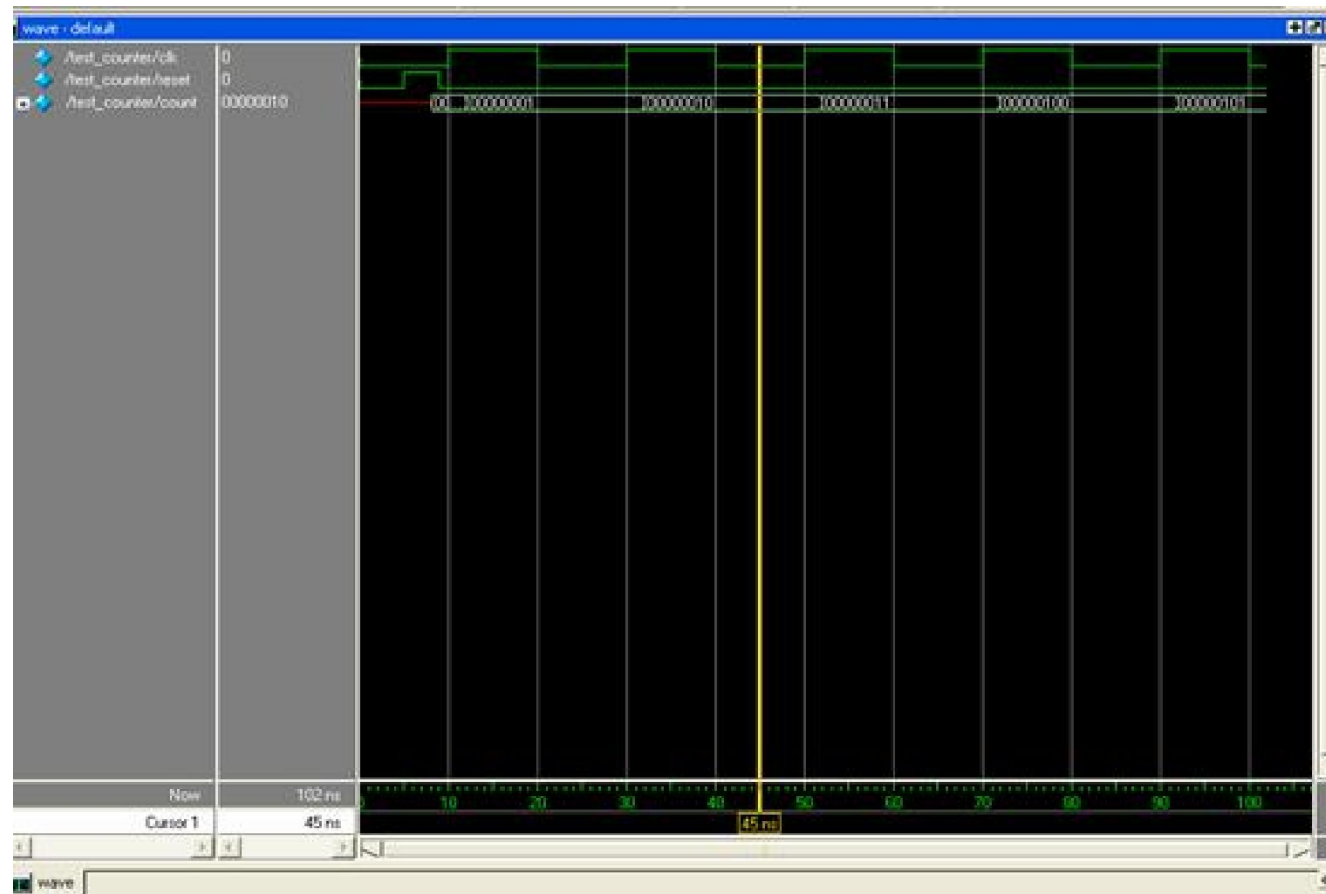


运行

输入 run 100ns 回车 或 simulate—run—run 100ns 或

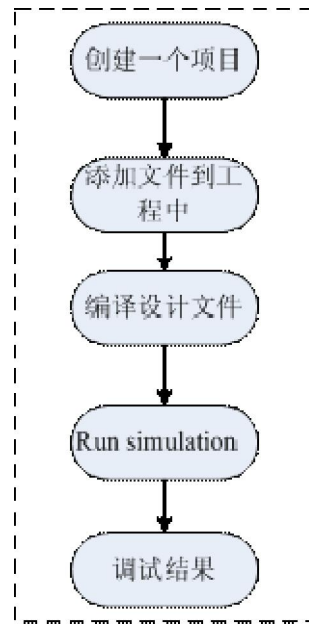


观看仿真波形

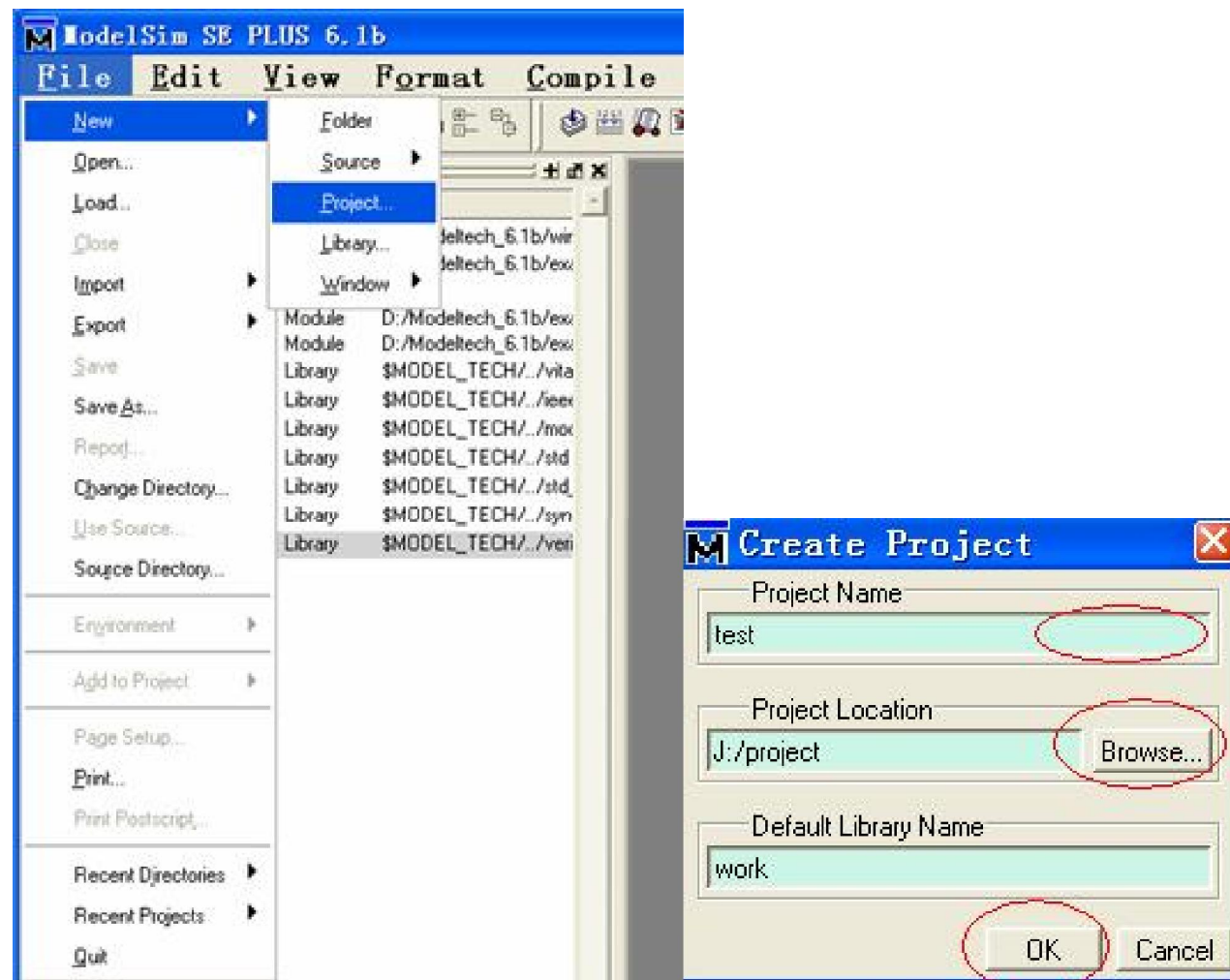


(2) 通过建立项目进行仿真

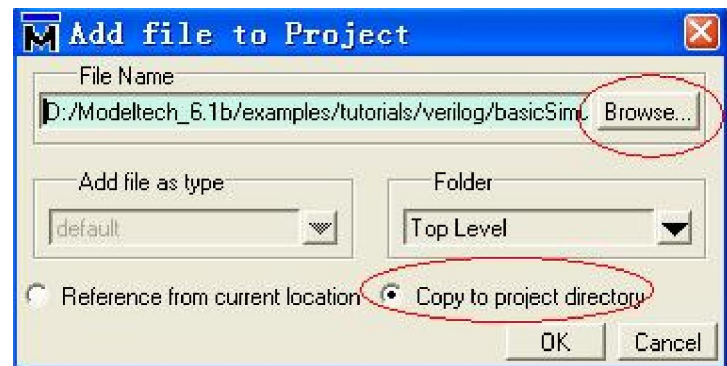
仿真流程如下图

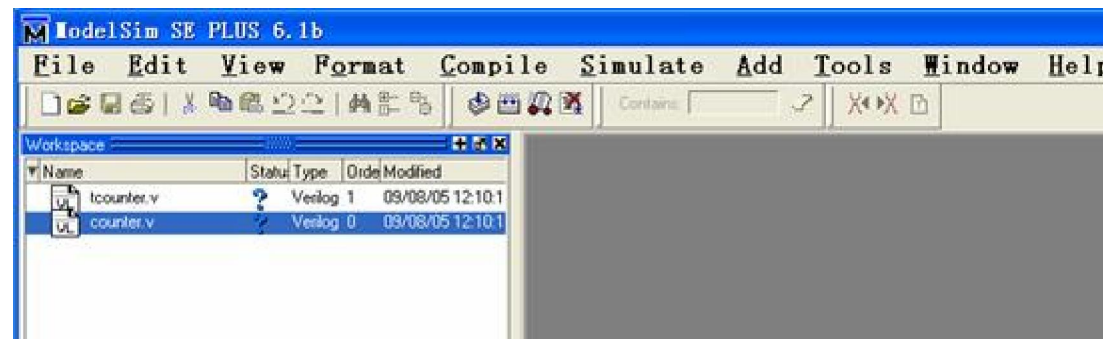


首先建立一个工程



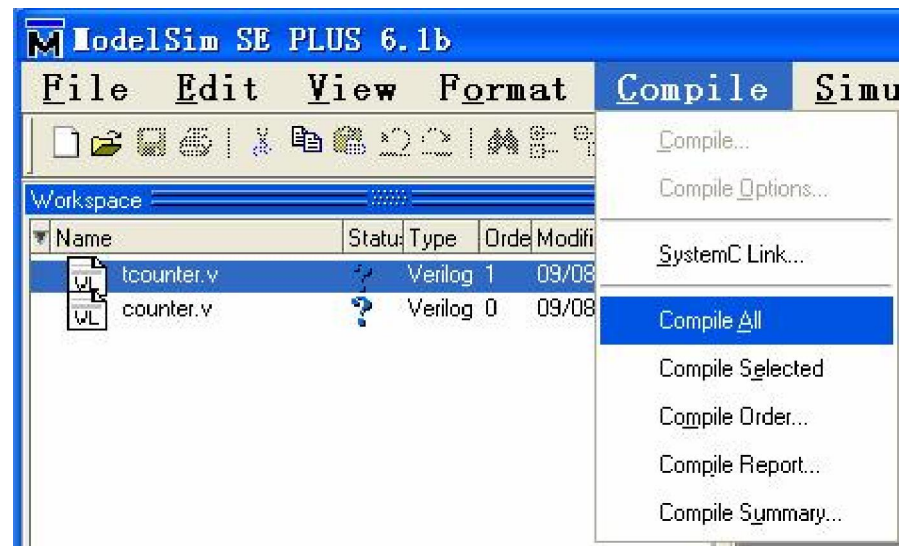
添加文件





编译文件

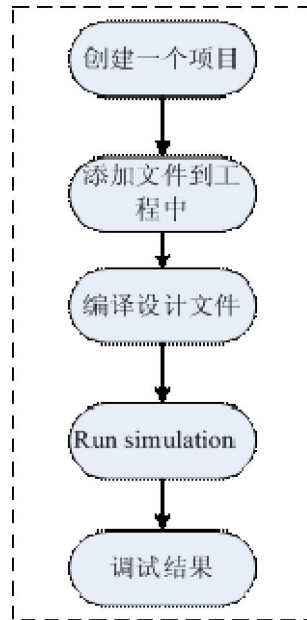
菜单操作：在 compile 菜单下点 compile all 选项，或 在 modelsim> 下输入 vcom ，回车在工程目录下编译文件



运行仿真，此过程同前面相同添加信号进入波形文件 运行 上面三过程均与前面相同。

（3）多个库的仿真流程

在 modelsim 仿真中，也可以使用多个库进行仿真，仿真流程如下。



前两个步骤与前面相同，链接资源库，在命令栏输入 Vlog，回车，然后选择要编译的源库。