**Экзамен по схемотехнике**

**Ответы на вопросы**

1. **Регистры**

Регистр – это устройство, предназначенное для кратковременного хранения и преобразования многоразрядных двоичных чисел.

В качестве запоминающих элементов в регистрах используются триггеры. Кроме того, в состав регистров могут входить вспомогательные логические элементы для ввода и вывода информации, для преобразования кода числа, хранящегося в регистре, для сдвига числа влево или вправо на определенное число разрядов, для преобразования последовательного кода числа в параллельный и наоборот и т.д.

По способу ввода и вывода информации регистры подразделяются на:

* параллельные;
* последовательные (регистры сдвига);
* параллельно-последовательные.

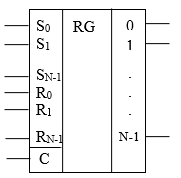
По способу ввода и вывода информации различают регистры однофазные и парафазные. В однофазных регистрах информация вводится (выводится) либо в прямом, либо в инверсном коде, а в парафазных – в том и другом коде.

С точки зрения схемотехники, регистр – это совокупность триггеров с общим входом синхронизации.

**Параллельные регистры**

Регистры на базе RS-триггеров

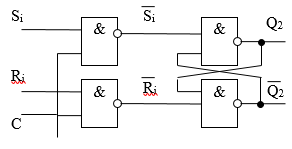
УГО(Условное Графическое Обозначение):



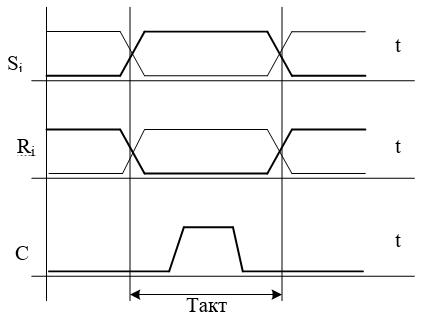
Информация в регистр записывается при поступлении импульса синхронизации C.

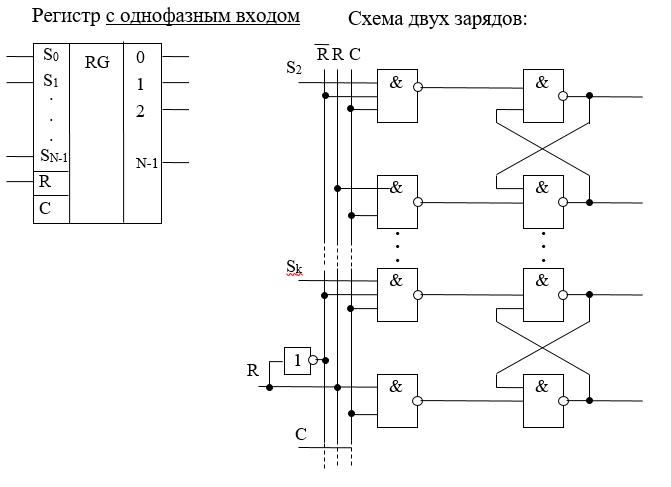
Это регистр с парафазным входом, т.к. на входах каждого разряда при записи информации информация должна подаваться в прямом и инверсном виде.

Каждый разряд в таком регистре может быть выполнен на базе RS-триггера по следующей схеме:

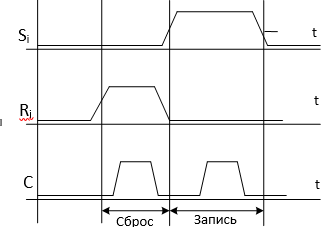


Запись информации производится за 1 такт:





Такой регистр имеет почти в два раза меньше входов, но запись информации производится за два такта. В 1-м такте все триггеры сбрасываются в 0, а во 2-м такте записывается входная информация.



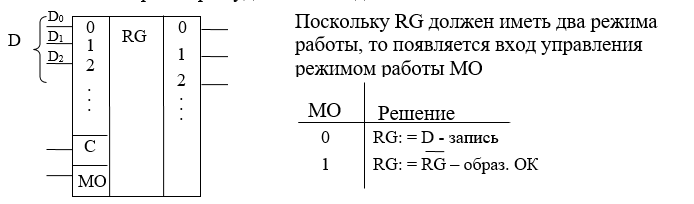
Инвертор находим для формирования сигнала R, запрещающего прохождение сигналов S во время сброса, чтобы не возникло запрещенных комбинаций на входах триггеров.

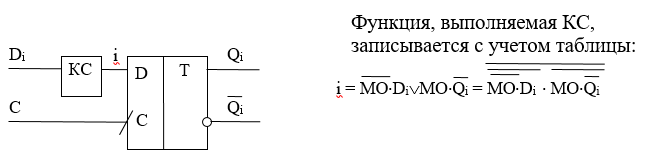
Регистры на RS-триггерах просты по схемотехнике, имеют небольшое время задержки установки информации (~3τзд.эл.), но им необходим или двухтактный режим работы, или большое количество входов для получения парафазного кода. В связи с этим также регистры применяются внутри БИС (Большие Интегральные Схемы), а в виде отдельных микросхем регистров не выпускаются. Большинство микросхем регистров строится на базе D-триггеров.

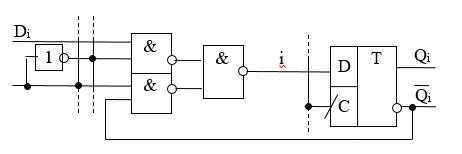
**Регистр на D-триггерах**

Рассмотрим построение регистра на D-триггерах, выполняющего, кроме функции записи и хранения, логическую функцию образования обратного кода.

УГО такого регистра будет иметь вид:



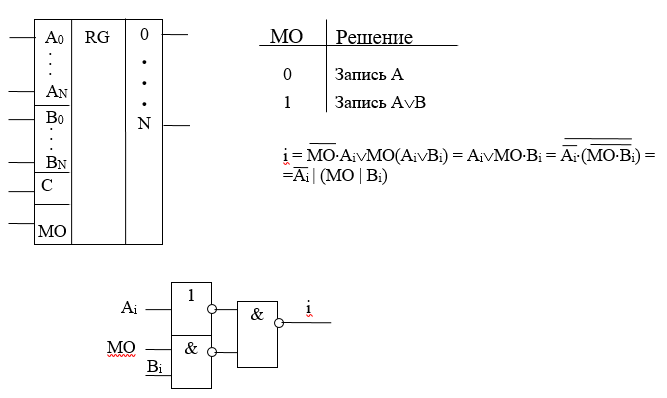
Каждый разряд регистра будет представлять из себя D-триггер с комбинационной схемой на входе D. 



Мы рассмотрели образование ОК(Обратного Кода) в регистре.

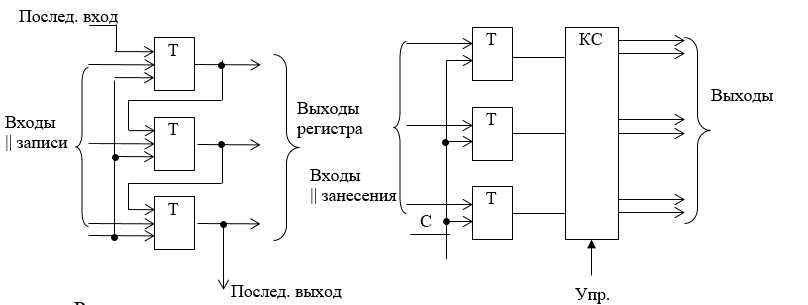
Аналогично можно создать регистр, выполняющий некоторые другие логические операции.

Попробуем создать регистр, выполняющий логическую операцию «или». Регистр должен иметь два набора входных переменных Ai и Bi.



1. **Реализация сдвигов**

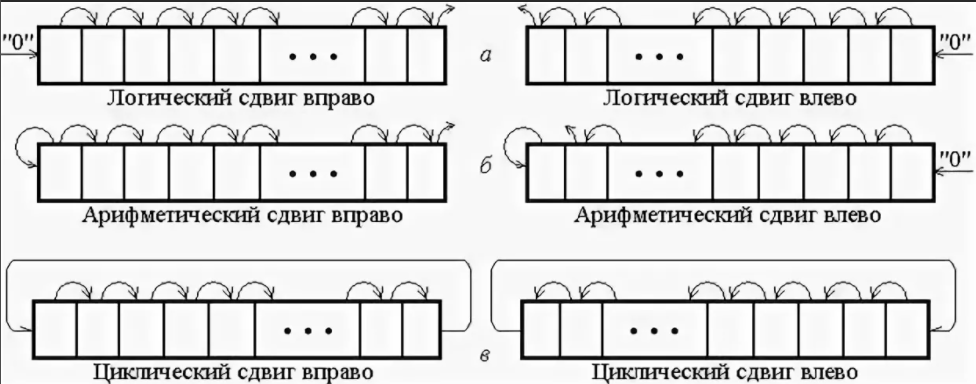
Сдвиг – перемещение кода (информации) в регистре на заданное количество разрядов (1, 2 и т.д.). Следует не путать сдвиг и передачу информации с перекосом разрядов. В последнем случае перемещение информации в регистре не происходит.



Различают сдвиги в сторону младших разрядов и в сторону старших разрядов.

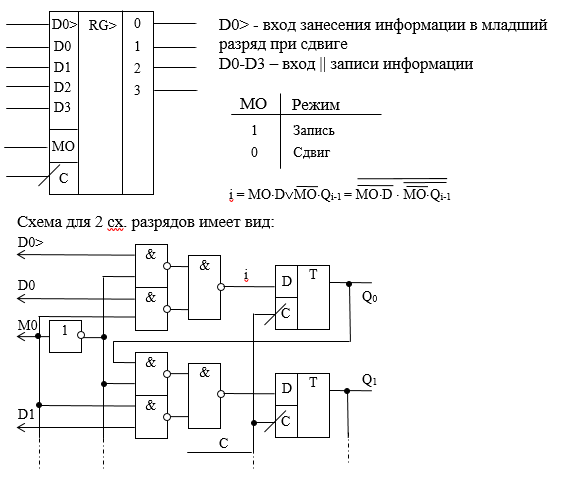
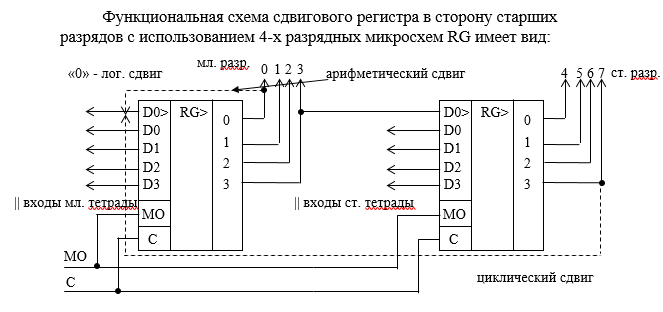
Сдвиги могут быть:

* логическими (в освободившийся разряд заносится 0),
* арифметическими (происходит распространение значения старшего (<), либо младшего (>) разряда),
* циклическими.



Для построения сдвиговых регистров большой разрядности могут быть использованы универсальные микросхемы сдвиговых регистров, которые могут хранить 4, 8 и т.д. разрядов информации в корпусе.

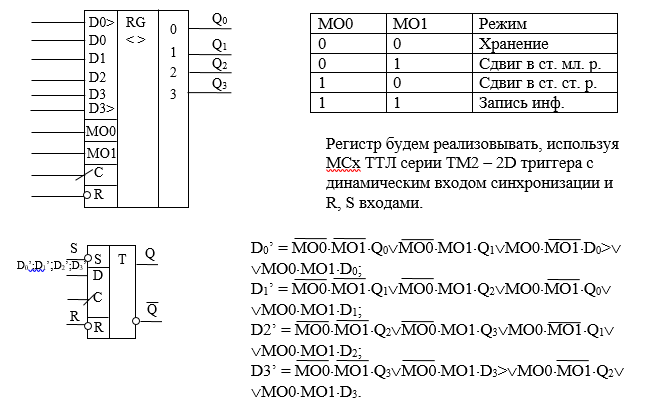
Рассмотрим построение сдвигового регистра на 4 разряда в сторону старших разрядов.



\* - если вы хотите управлять видом сдвига (лог., ар., цикл.), для этого необходимо добавить не очень сложную КС. Подавая на упр. Входы КС соответствующие сигналы, можно изменять вид сдвига.

**Формальный метод синтеза регистра.**

1. По заданному условно-графическому обозначению регистра выбирается наиболее подходящий тип триггера, на котором будет реализовываться RG.
2. Составляются функции возбуждения, производится их оптимизация и перевод в нужный базис.
3. Строятся функциональная, а затем принципиальные схемы.

Рассмотрим использование формального метода синтеза регистра на примере создания универсального реверсивного 4-х разрядного регистра сдвига. Вход сброса имеет наивысший приоритет.

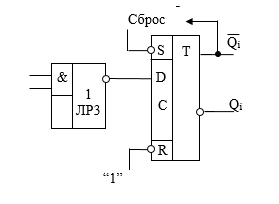
Попробуем изобразить функциональную схему проектируемого регистра.

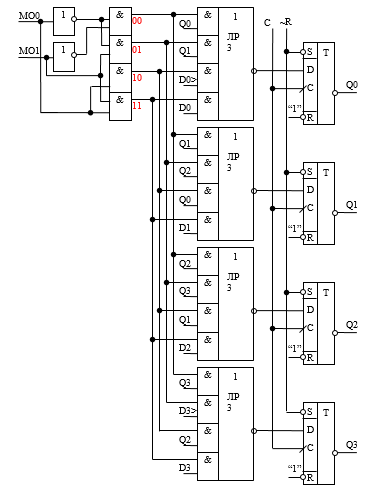
При переходе от функциональной схемы к принципиальной схеме следует учитывать наличие реально существующих микросхем. Микросхем, содержащих четыре 3-входовых схем И, объединенных по ИЛИ нет.

Существует микросхема 155 ЛР3:

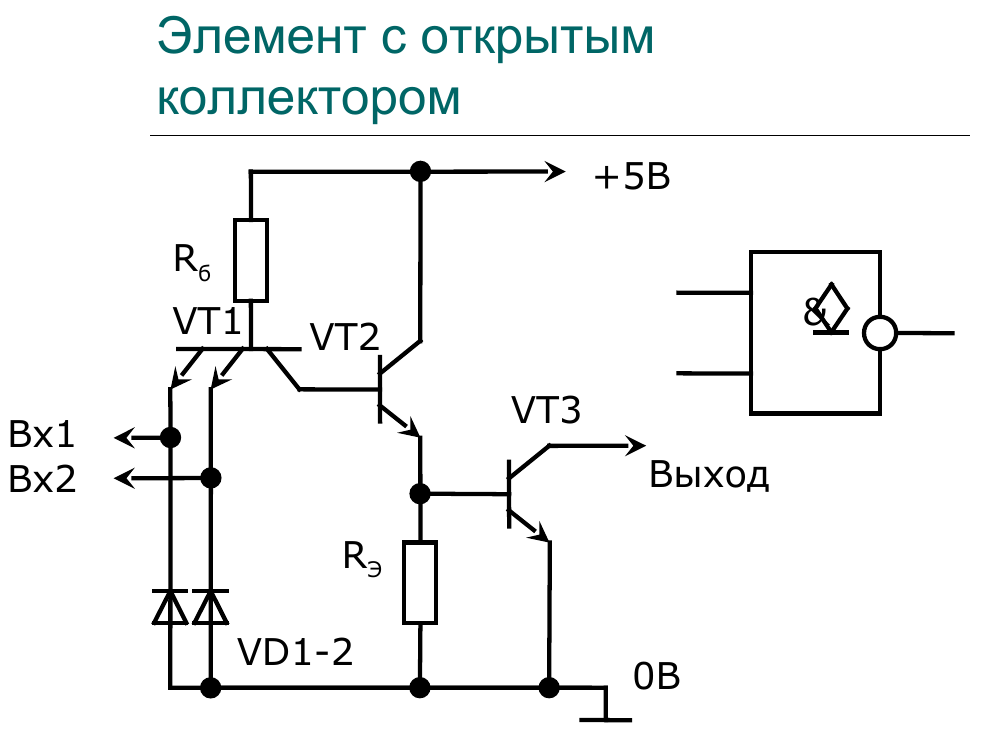


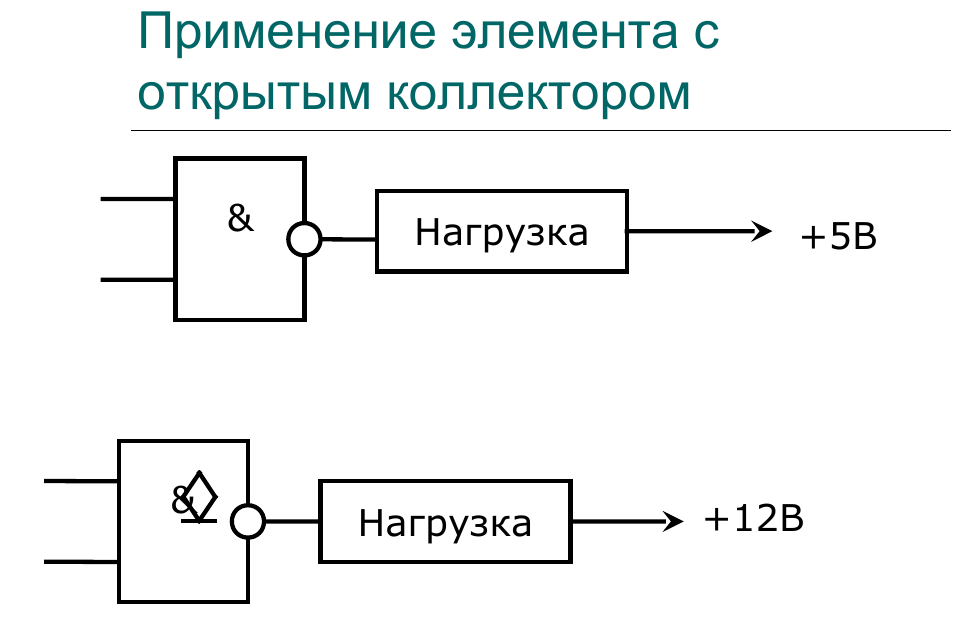
При этом следует учитывать, что, в отличие от функциональной схемы, с ЛР3 данные поступают в инверсном виде, поэтому у триггера надо использовать инверсный выход, а вход сброса завести не на вход R, а на вход S. На вход R подать «1».

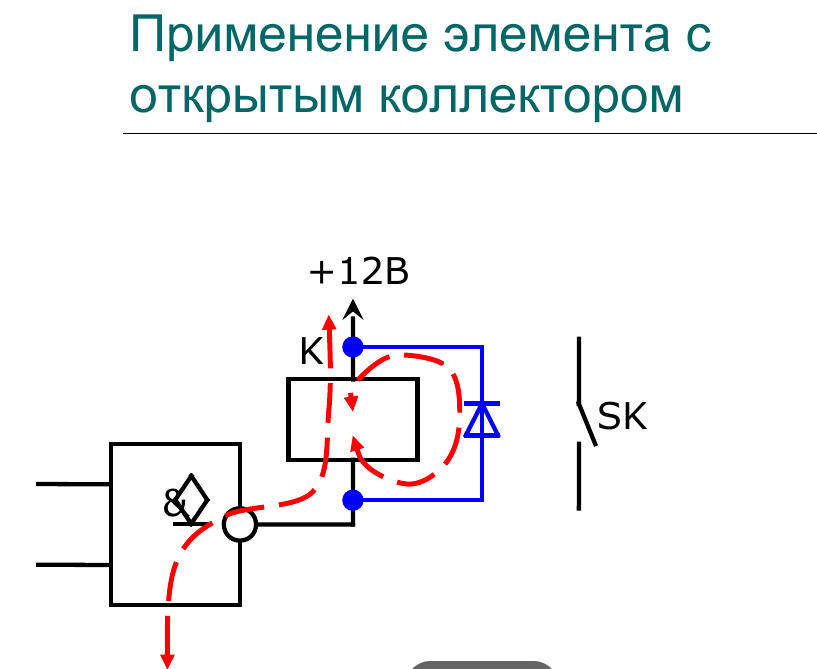




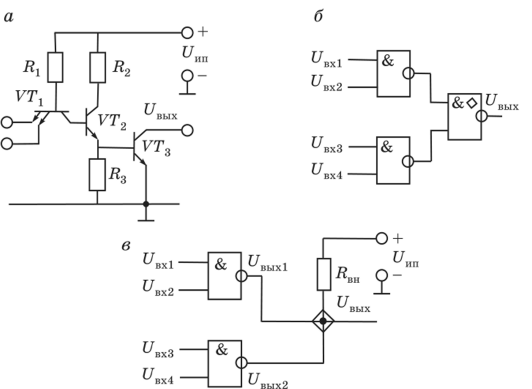
**27. Элементы с открытым коллектором**







Для расширения функциональных возможностей у отдельных микросхем выходы выполнены так, что верхний выходной транзистор и относящиеся к нему элементы отсутствуют. Такие логические элементы называют элементами со свободным (открытым) коллектором (рис. 10.23, *а).*



*Рис. 10.23.* Логический элемент ТТЛ с открытым коллектором: *а* — принципиальная электрическая схема; *б, в* — графическое обозначение

Верхний транзистор обычной транзисторной выходной пары отсутствует, а вывод имеет коллектор нижнего транзистора *VT3.*Если хотя бы один из входных сигналов равен 0, транзистор *VT3*закрыт, на выходе схемы формируется напряжение низкого уровня. Такой выходной каскад не способен сам по себе сформировать на выходе высокий уровень напряжения. На практике коллектор транзистора *VT3* такой микросхемы подключается внешним монтажом к дополнительному источнику напряжения через нагрузочное сопротивление. Нагрузочным сопротивлением может быть резистор, реле, элементы индикации (светодиод, лампа накаливания), коаксиальный кабель, вход усилителя мощности и др. Напряжение, к которому подключается внешняя нагрузка, может значительно превышать напряжение питания микросхемы.

Микросхемы с открытым коллектором позволяют:

* быть переходным звеном от логической части устройства к элементам вывода информации, т.е. используются для управления внешними устройствами;
* обеспечить реализацию дополнительной логической функции при непосредственном соединении между собой выходов нескольких микросхем.

Объединение выходов нескольких функциональных узлов называют монтажной (проводной) логикой. При таком соединении, если на выходе одного или нескольких элементов будет низкий потенциал (логический 0 в положительной логике), то низкий потенциал будет на выходе всей схемы. При наличии логической единицы на всех выходах на общем объединенном выходе будет также значение логической единицы.

Параллельное подключение нескольких открытых коллекторов к общей нагрузке создает систему, выполняющую логическую операцию И (монтажное И):

https://studref.com/htm/img/39/9941/587.png

Каждый из логических элементов в свою очередь выполняет логическую операцию И-НЕ:

https://studref.com/htm/img/39/9941/588.png

Следовательно, выходная логическая функция системы есть:

https://studref.com/htm/img/39/9941/589.png

При работе схем с монтажной логикой необходимо учитывать, что каждый компонент схемы утрачивает самостоятельность и действует как элемент общей системы. Графическое обозначение рассмотренной функции представлено на рис. 10.23, б, *в.* Включение логических выходов на общую нагрузку (монтажная логика) условно изображается в виде логического элемента, выполняющего соответствующую логическую функцию (рис. 10.23, б). А на то, что это не реальная микросхема, а способ соединения выводов, указывает добавленный к символу выполняемой операции условный знак — О (ромб) в поле микросхемы или в точке соединения выводов (рис. 10.23, *в).* Примерами элементов с открытым коллектором являются микросхемы К155ЛА7; К155ЛА11.

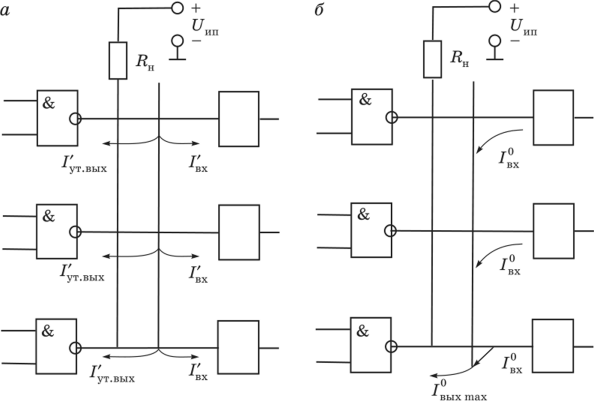
Подавая разные значения напряжения питания в схемах с открытым коллектором, можно получать разные уровни выходного сигнала. Это позволяет осуществлять согласование микросхем серии ТТЛ с другими сериями, имеющими другие значения логических нулей и единиц, не используя дополнительных преобразователей уровней.

Максимальное число объединяемых элементов и максимальное значение Rmax ограничиваются соотношением значения этого сопротивления и токов утечки выходных транзисторов. Когда все транзисторы закрыты, падение напряжения на сопротивлении *RH* от суммарного тока утечки не должно снижать высокий уровень на выходе ниже допустимого (рис. 10.24, *а).* Значение Rн min ограничено максимально допустимым током открытого выходного транзистора (рис. 10.24, *б).*

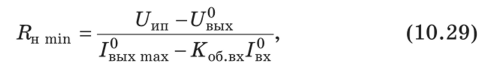
Сопротивление Rн mах находят из условия обеспечения большого выходного напряжения *Uвых* (рис. 10.24, *а):*

https://studref.com/htm/img/39/9941/590.png

где Коб вых — число объединенных выходов; Iут.вых — ток утечки на выходе; *Коб вх* — число подключенных входов.



*Рис. 10.24.* **Структурная схема ТТЛ с открытым коллектором для минимального (а) и максимального (б) выходных токов**

Минимальное сопротивление *Rn* min находят из условия получения минимального выходного напряжения — логического нуля (рис. 10.24, *б): *

где Iвыx max — максимальный допустимый выходной ток одного элемента при обеспечении логического нуля на его выходе.

Конкретное значение *RH* выбирают из условия требуемого быстродействия при наименьшей потребляемой мощности. Максимальное быстродействие достигается, когда величина *RH* близка к минимальному значению. С повышением значения *RH* увеличивается время заряда паразитных емкостей при высоком уровне выходного напряжения и уменьшается потребление тока при низком уровне.

**3. Счетчики**

**Определение и классификация счетчиков. Условные обозначения**

Счетчик – устройство, способное запоминать количество импульсов сигналов, поступивших на его вход. При этом на выходах счетчика – двоичный код количественного значения поступивших сигналов.

Различают:

1. прямые, обратные и реверсивные счетчики.

Прямые – увеличение двоичного значения кода.

Обратные – уменьшение двоичного значения кода.

Реверсивные – в зависимости от управляющего сигнала, либо входа +, - могут работать как на увеличение, так и на уменьшение значения кода;

1. с последовательным и ускоренным переносом;
2. по коэффициенту пересчета.

Счетчики строятся на основе счетных триггеров, т.е. обладающих способностью изменять свое состояние на противоположное после прохождения каждого СхС. Примером такого триггера является JK-триггер в состоянии “1” на J и K входах при подаче серии СхС.

J

C

K

TT

+5В

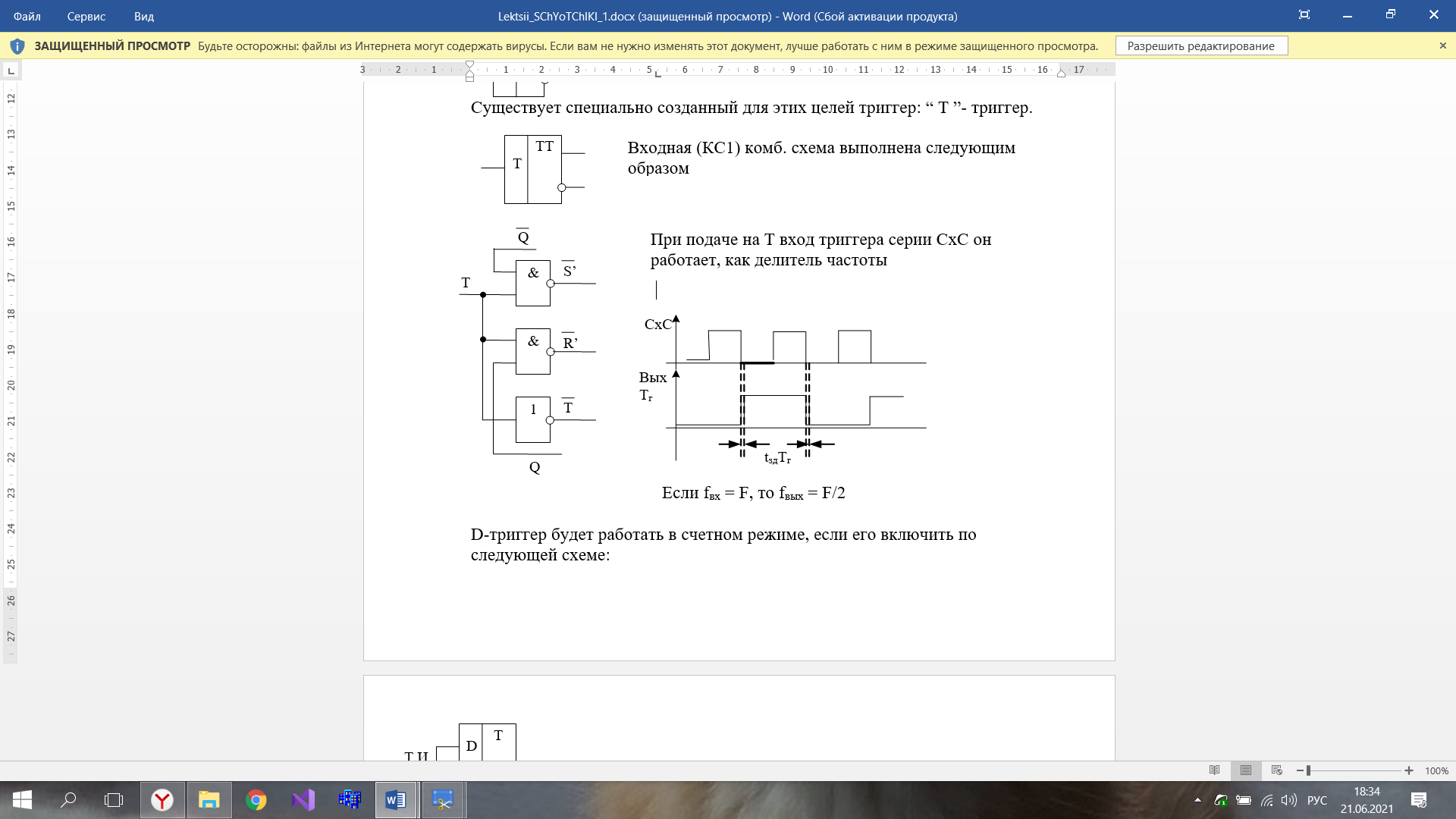
Т.И

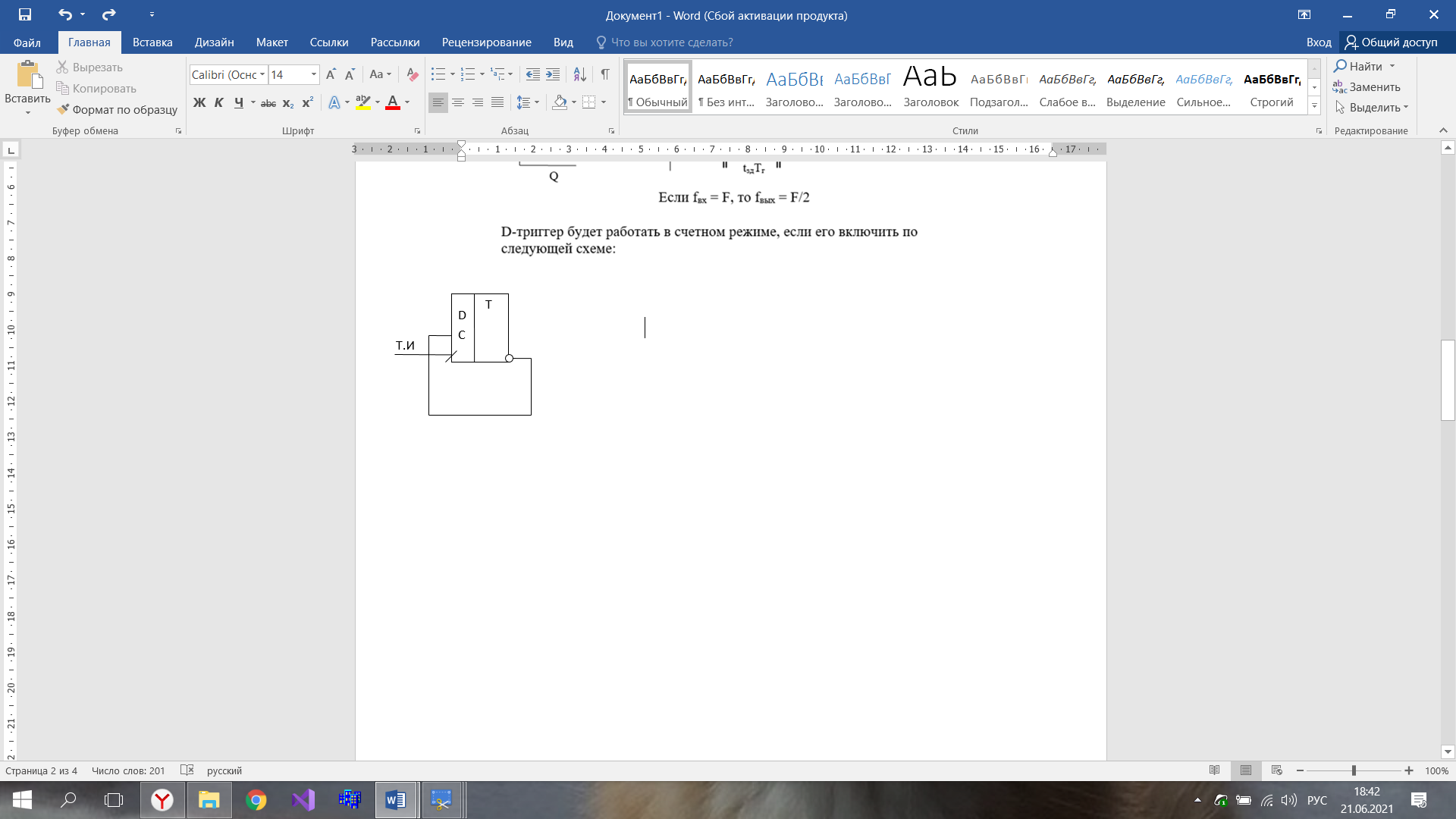
Существует специально созданный для этих целей триггер: “ Т ”- триггер.

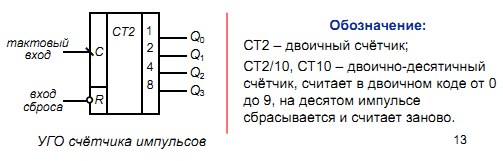
Входная (КС1) комб. схема выполнена следующим образом

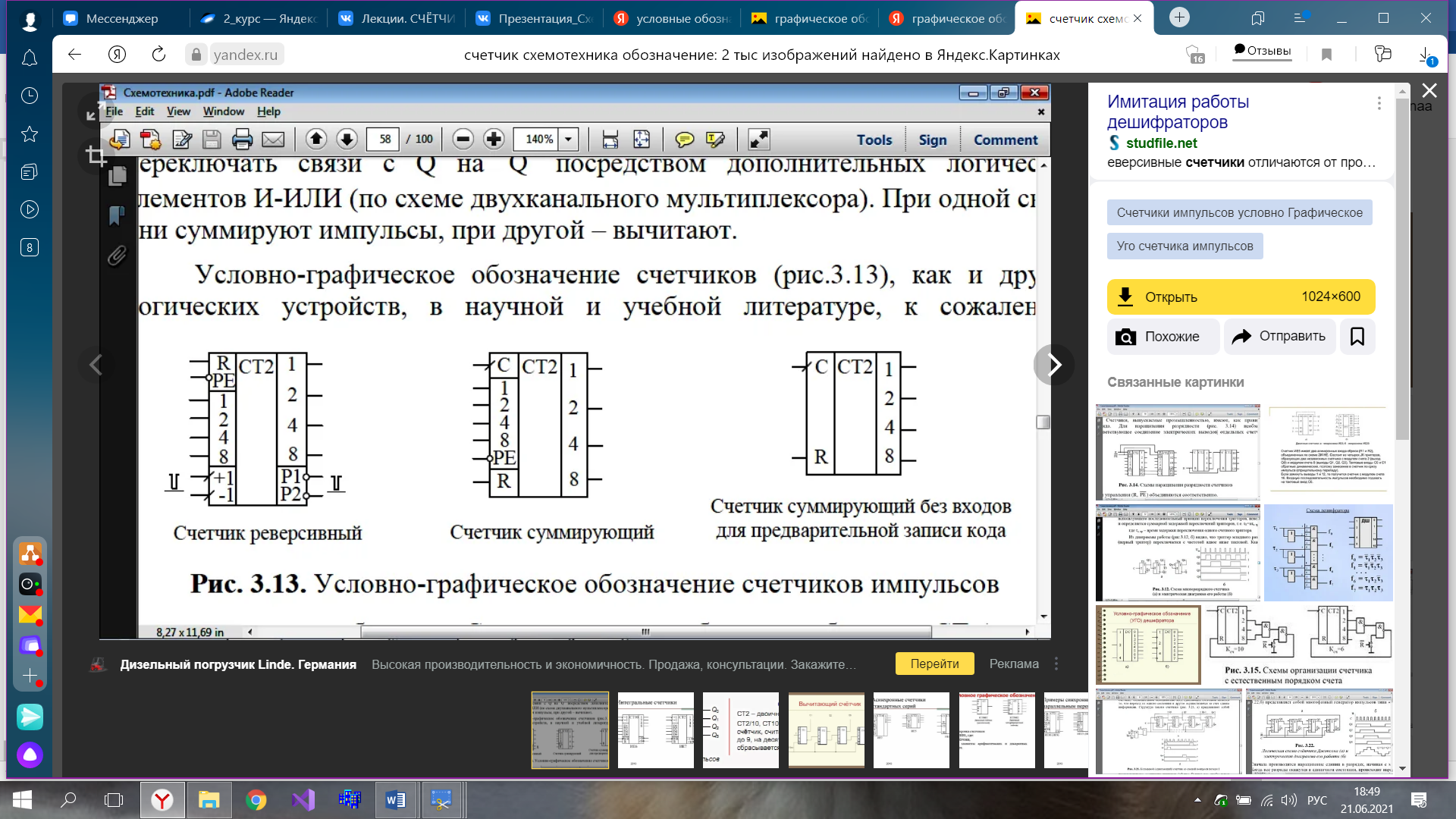
TT

T









1. **Счетчики с последовательным переносом: прямые, обратные, реверсивные**

Счетчик с последовательным переносом строится на основе рассмотренных выше счетных триггеров по схеме – выход триггера младшего заряда соединяется со следующим по старшинству входом триггера.

Такие счетчики, как правило. Используются в качестве делителей частоты, а также в схемах, не критичных к быстродействию.

TT

T

TT

T

TT

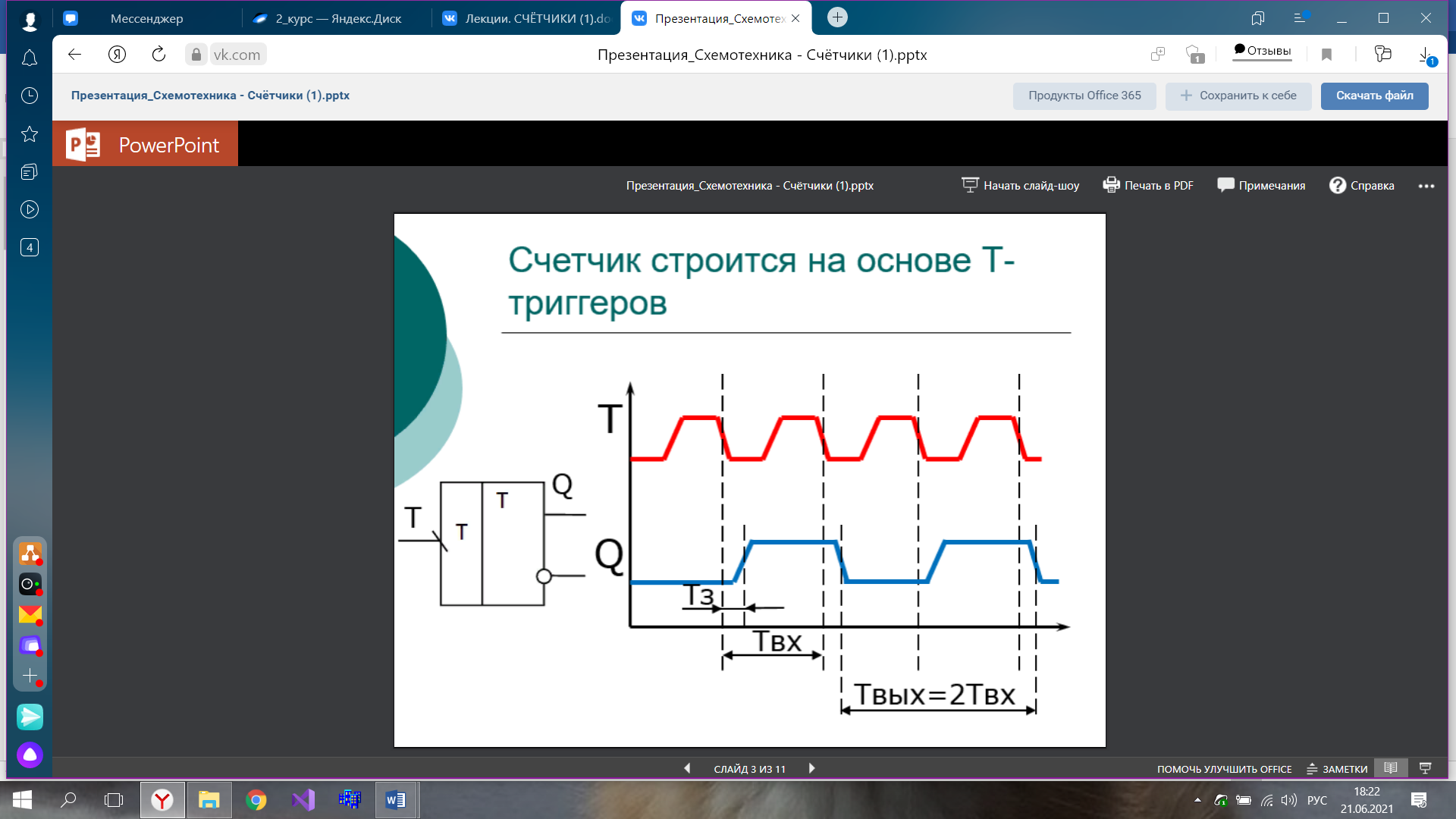
T

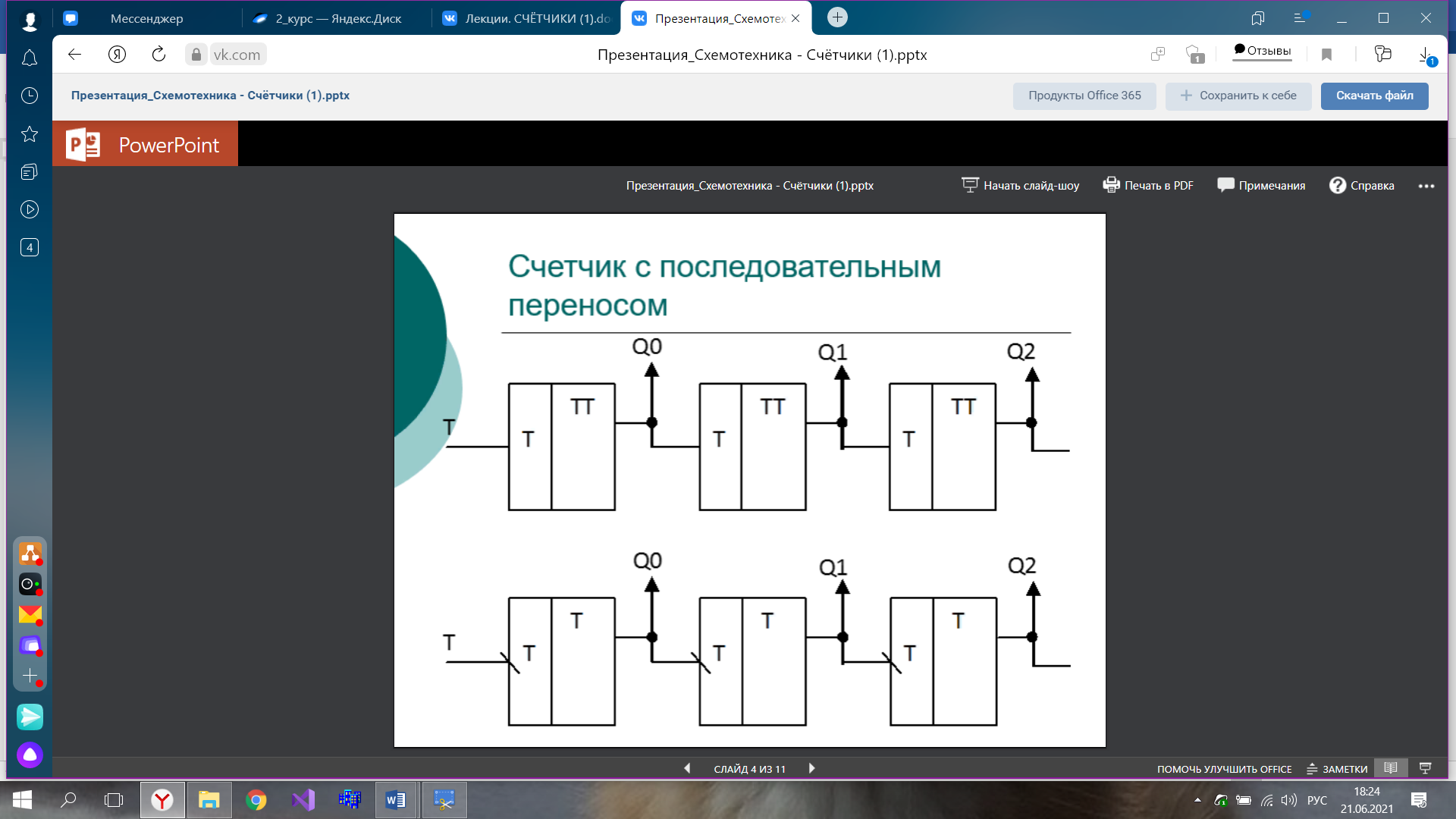
T.И

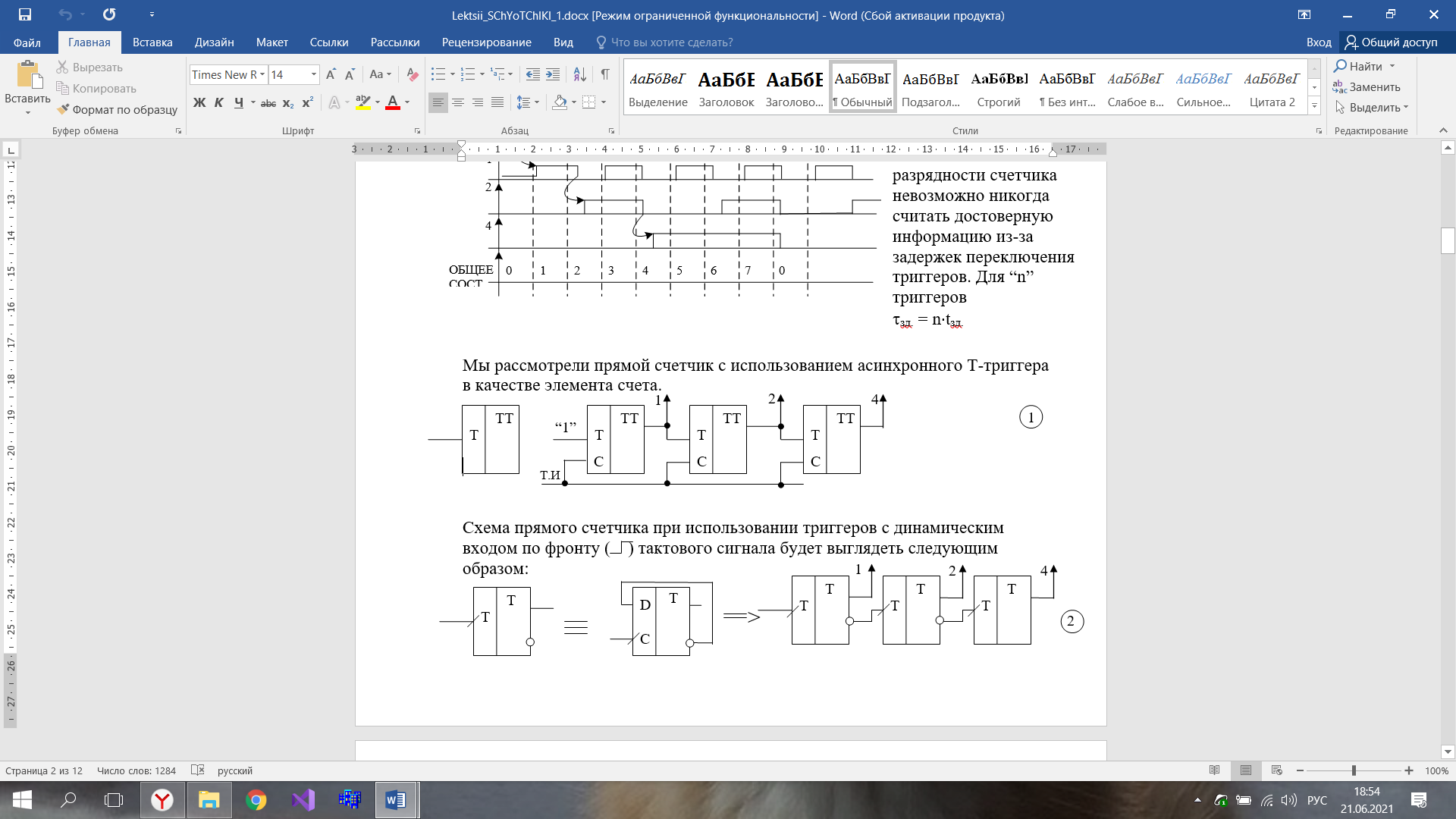
1

2

4







Обратные счетчики

Счетчик на статических триггерах (это схема 2).

4

2

1

Т.И

TT

TT

TT

T

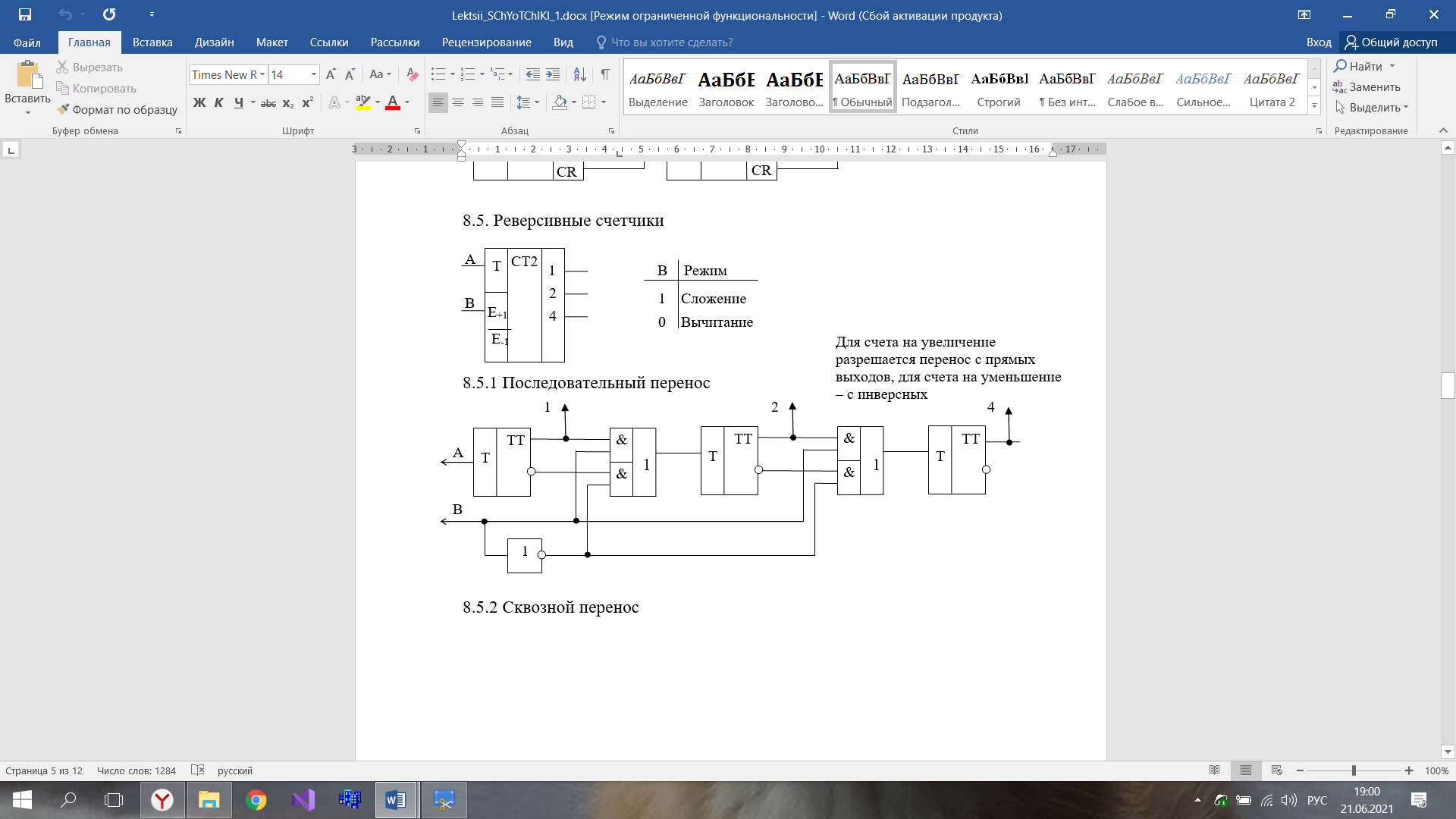
T

T

Вычитающий счётчик с последовательным переносом имеет обратный порядок смены состояний: с приходом очередного счётного импульса содержащееся в счётчике число уменьшается на единицу

+Другая особенность вычитающего счётчика с последовательным переносом: триггер каждого последующего разряда переключается в противоположное состояние при изменении уровня на выходе триггера предыдущего разряда от 0 к 1, т.е. при сигнале займа, обратном сигналу переноса в суммирующем счётчике.

Синтезируется вычитающий счётчик с последующим переносом так же, как суммирующий счетчик, но с тем отличием, что со входом каждого последующего триггера соединяется инверсный выход предыдущего триггера,



Реверсивные счетчики (имеют режимы суммирования и вычитания) должны иметь управляющие сигналы(л) которые меняют направление счета.

счетчики прямого и обратного счета различаются лишь точкой съема сигнала, подаваемого с предыдущего разряда на последующий.

Управляющими сигналами являются сигналы Тсум (суммирование), Твыч (вычитание).

Управляющие сигналы одновременно поданы быть не могут, т.е. при подаче сигналов управления необходимо соблюдать условие:

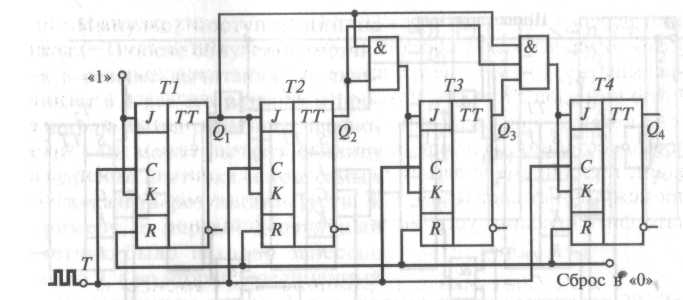
+Тсум \* Твыч = 0.

1. **Счетчики с параллельным переносом: прямые, обратные и реверсивные**

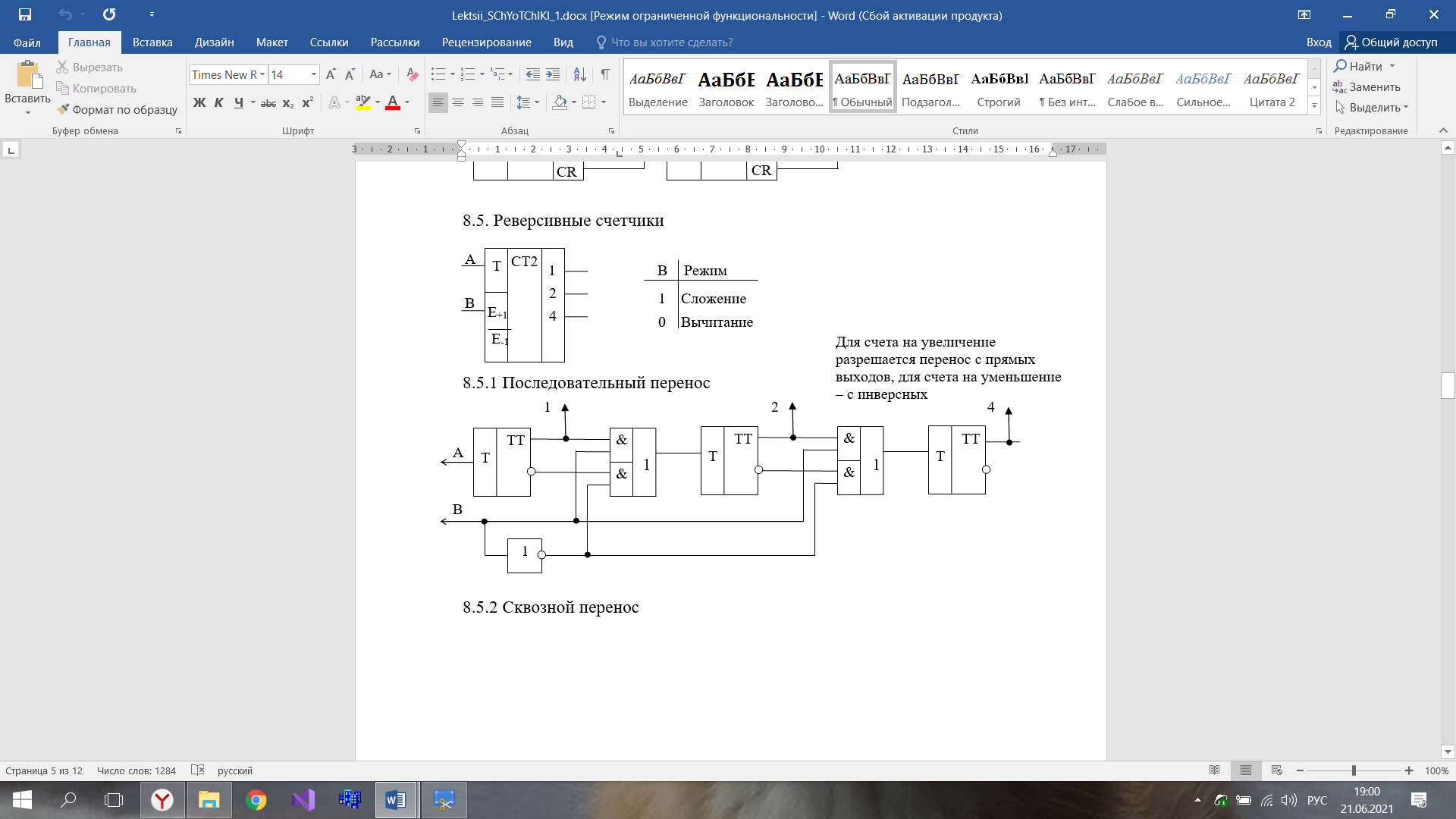
Ко всем разрядам такого счетчика информация о состоянии предыдущих разрядов поступает параллельно, также одновременно поступают к ним счетные (входные) импульсы. При этом переключающиеся разряды пере ходят в новые состояния одновременно.

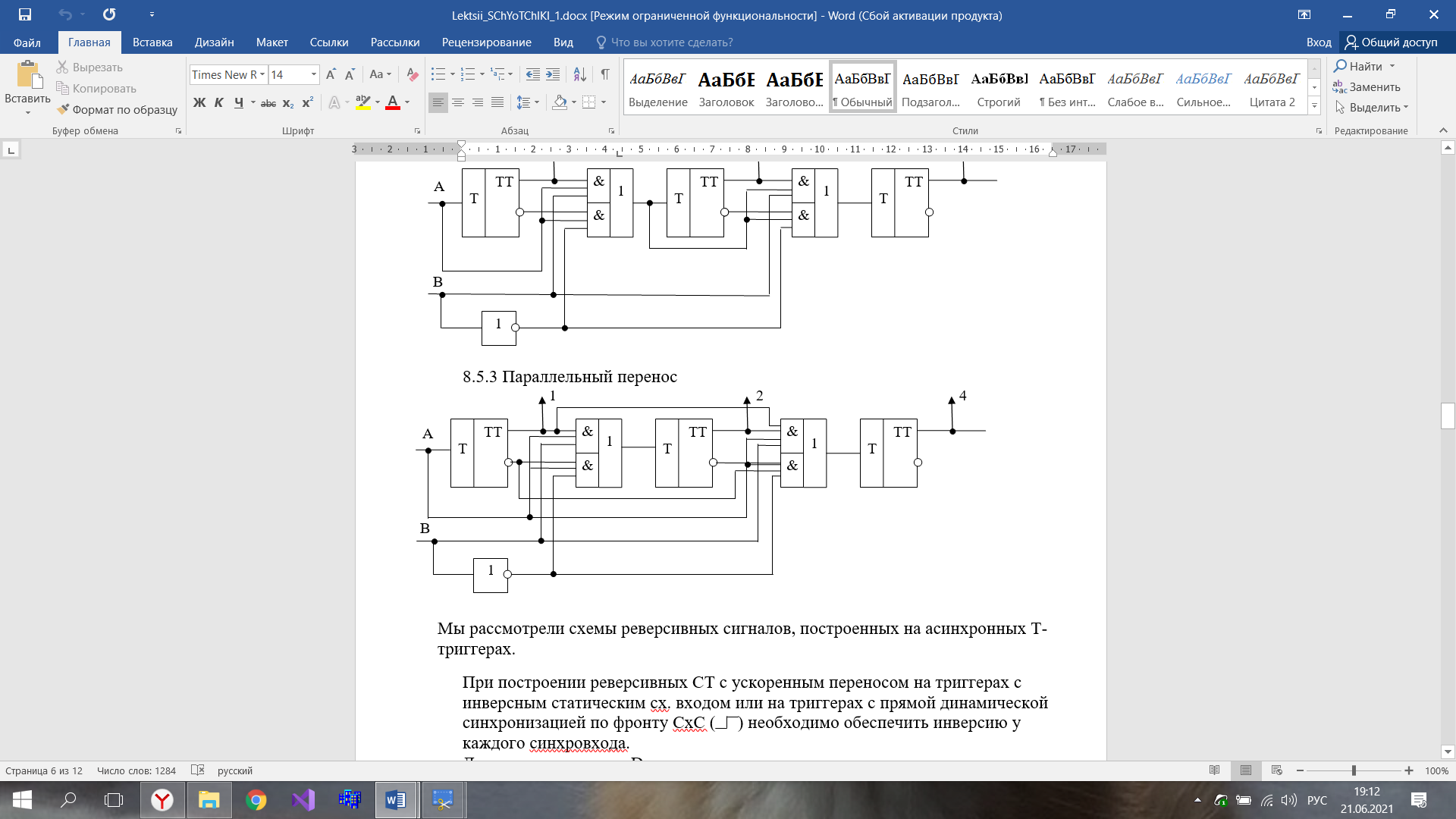
**Структура прямого счетчика.** очередной разряд суммирующего счетчика должен переключаться входным импульсом в 1, когда все предыдущие разряды уже находятся в этом состоянии. Такое условие выполнится, если на информационный вход каждого триггера подать конъюнкцию сигналов с прямых выходов предыдущих триггеров. Действительно, с конъюнктора на ин­формационный вход триггера поступит разрешающая переключение 1, если все предыдущие триггеры находятся в 1, и по сигналу на счетном входе он переключится.

На рис. 4.3.5 представлена функциональная схема 4-разрядного счетчика с параллельным переносом на *JK*-триггерах. На тактовые входы С всех триггеров счетные импульсы поступают одновременно со входа Т. Информационные входы *J* и *К* каждого триггера объединены, что создает предпосылку для его установ­ки в счетный режим. Триггер *T1* переключается каждым счетным импульсом, так как на его входы *J*и *K*постоянно подается лог. 1. Каждый из последующих триггеров переключается счетным импульсом, когда на его объединенные входы*J* и *К* с прямых выходов предыдущих триггеров поступает лог. 1, устанавливая его в счетный режим. Заносимое в счетчик число читается по выходам Q4, Q3,Q2,Q1.



Обратный **счетчик** **с** **параллельным** **переносом** строится так же, как и суммирующий, но сигналы **переноса** снимаются с инверсных, относительно используемых в суммирующем **счетчике**, выходов триггеров.





1. **Счетчики со сквозным переносом**

[**https://studopedia.ru/9\_29824\_schetchiki-so-skvoznim-perenosom.html**](https://studopedia.ru/9_29824_schetchiki-so-skvoznim-perenosom.html)

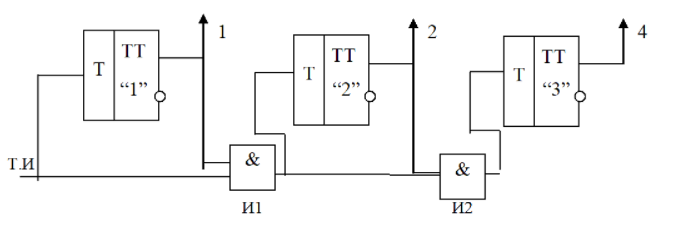
Счетчик – устройство, способное запоминать количество импульсов сигналов, поступивших на его вход. При этом на выходах счетчика – двоичный код количественного значения поступивших сигналов.

Прямые – увеличение двоичного значения кода.

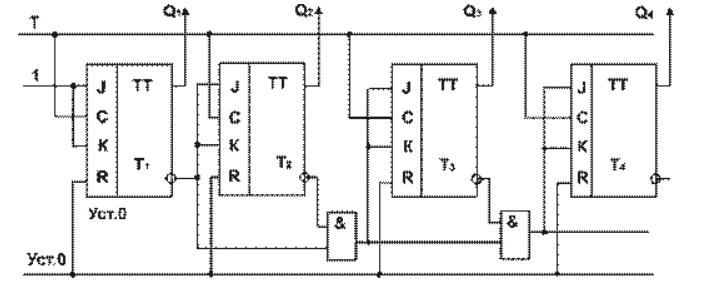
Обратные – уменьшение двоичного значения кода.

Реверсивные – в зависимости от управляющего сигнала, либо входа +, - могут работать как на увеличение, так и на уменьшение значения кода;

Для ускорения процесса счета в счетчике необходимо, чтобы изменения состояний отдельных разрядов происходило не последовательно, а непосредственно вслед за приходом очередного сигнала счета. Как правило, такие счетчики строят на синхронных двухступенчатых *Т*-триггерах. При этом счетные сигналы подаются по шине a на синхронизирующие входы триггеров всех разрядов одновременно. Сигнал же на входе *Т* каждого триггера формируется логической схемой в зависимости от состояний всех триггеров счетчика. Синтез такого счетчика можно провести на основании кодированной таблицы переходов трехразрядного счетчика и таблицы функций возбуждения.

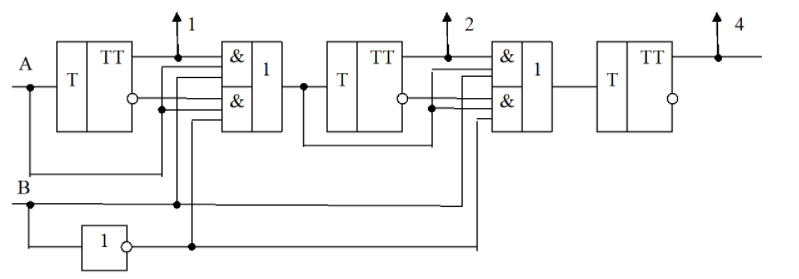
Прямой

Обратный



(справка – JK-триггера инвертировать свое состояние при одновременной подаче единичных сигналов на входы ***J*** и ***К.*** Таким образом, для превращения JK-триггера в Т-триггер достаточно соединить входы ***J*** и ***К*** и подавать на них счетные сигналы)

Реверсивый



**6. Счетчики с коэфф пересчета**

Необходимо построить реверсивный счетчик, например, с К=6, т.е. он будет считать:

|  |  |
| --- | --- |
| Q3 Q2 Q1 Q0  0 0 0 0  0 0 0 1  0 0 1 0  0 0 1 1  0 1 0 0  0 1 0 1 | Будем использовать 4-разрядный счетчик с возможностью параллельной записи информации.  Схема должна содержать логику обеспечивающую:   1. При прямом счете разрешать обычную работу счетчика от 0000 до 0101; 2. Обеспечивать переход из 0101 в 0000 при прямом счете, т.е. при комбинации 0101 разрешить занесения нулей; |

1. При обратном счете – переход из 0000 в 0101.

&

1

CT2

1

2

4

8

D2

D4

D1

D8

E+1

M

C

R

1

1

1

&

1

T

E+1

сброс

При Е+1 = 1, счетчик считает на увеличение, при

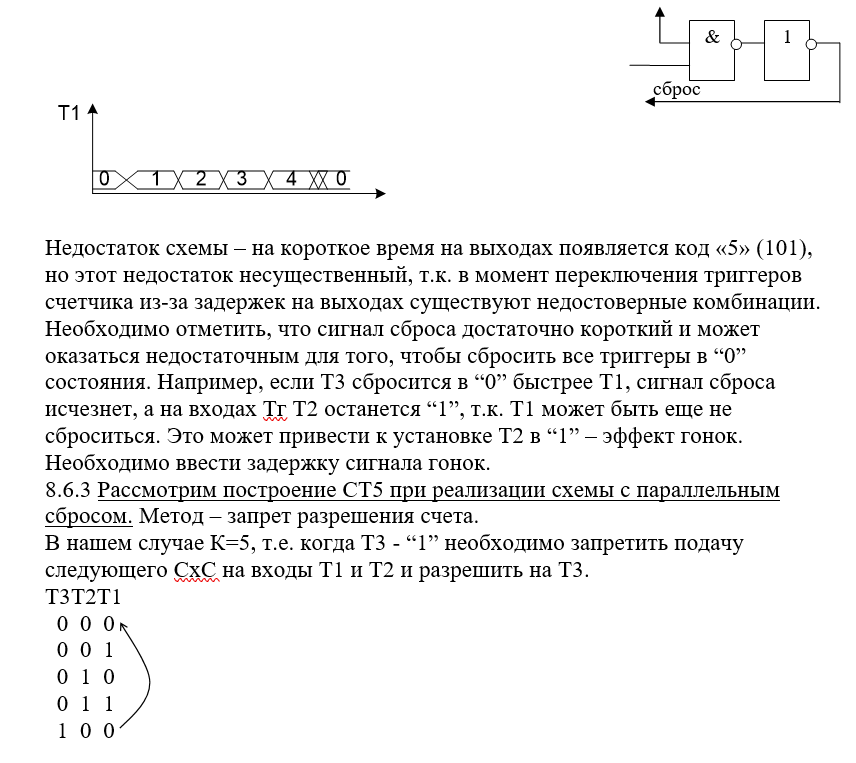
Е+1 = 0, счетчик считает на уменьшение.

При М = 0 обеспечивается параллельная запись, при

М= 1 – хранение.

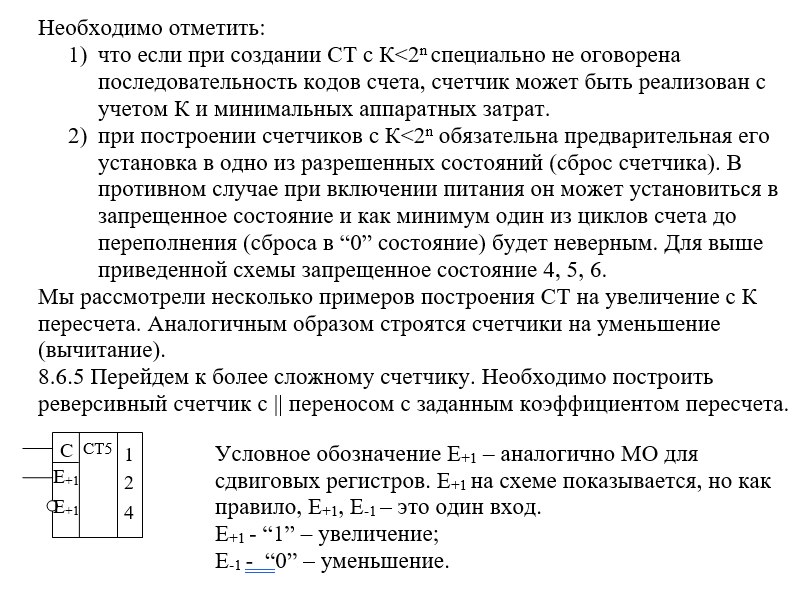
Реально используемые микросхемы могут отличаться от примененной нами, поэтому при построении счетчиков надо учитывать эти особенности.

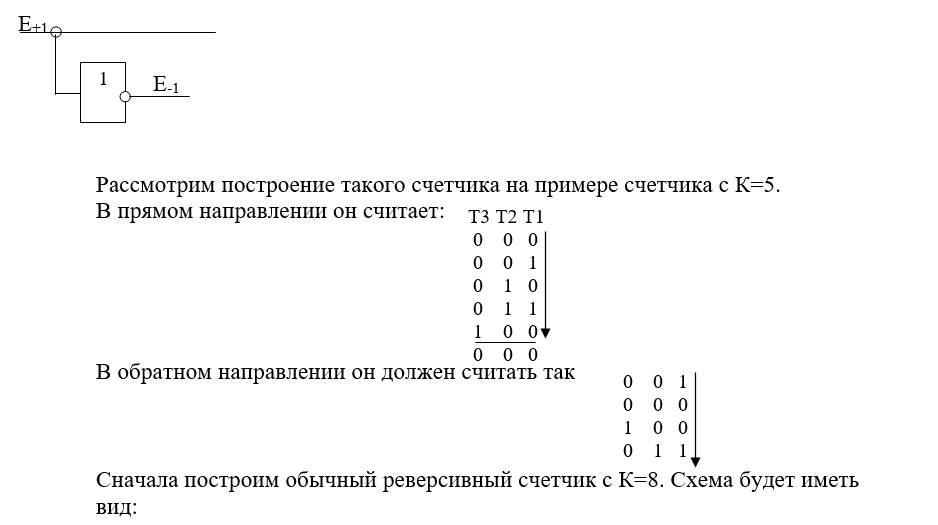


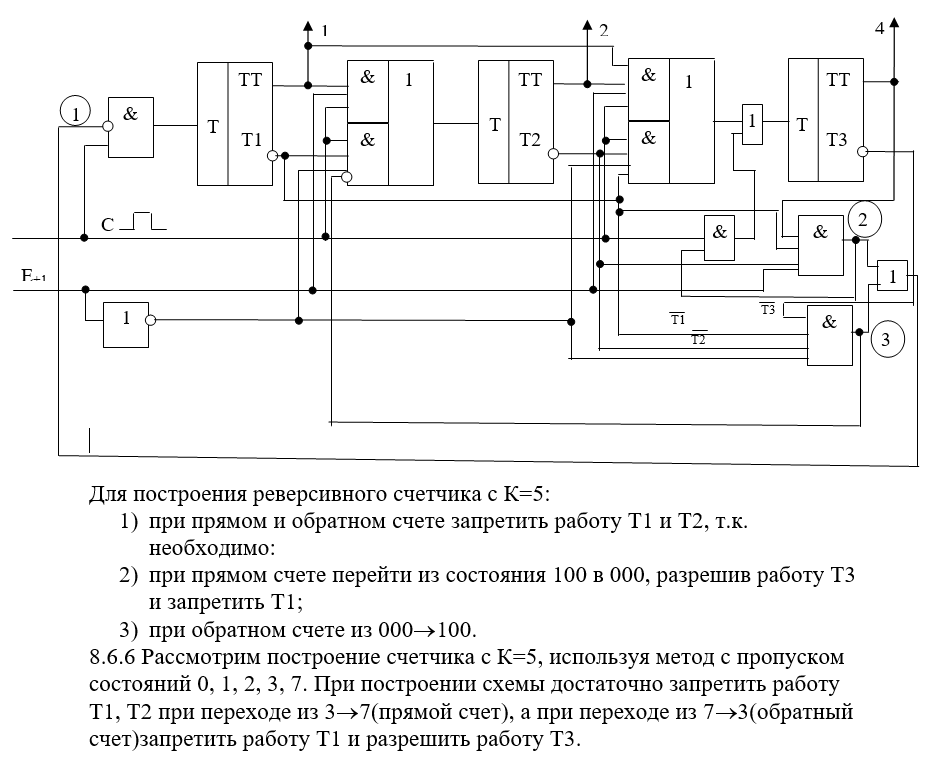


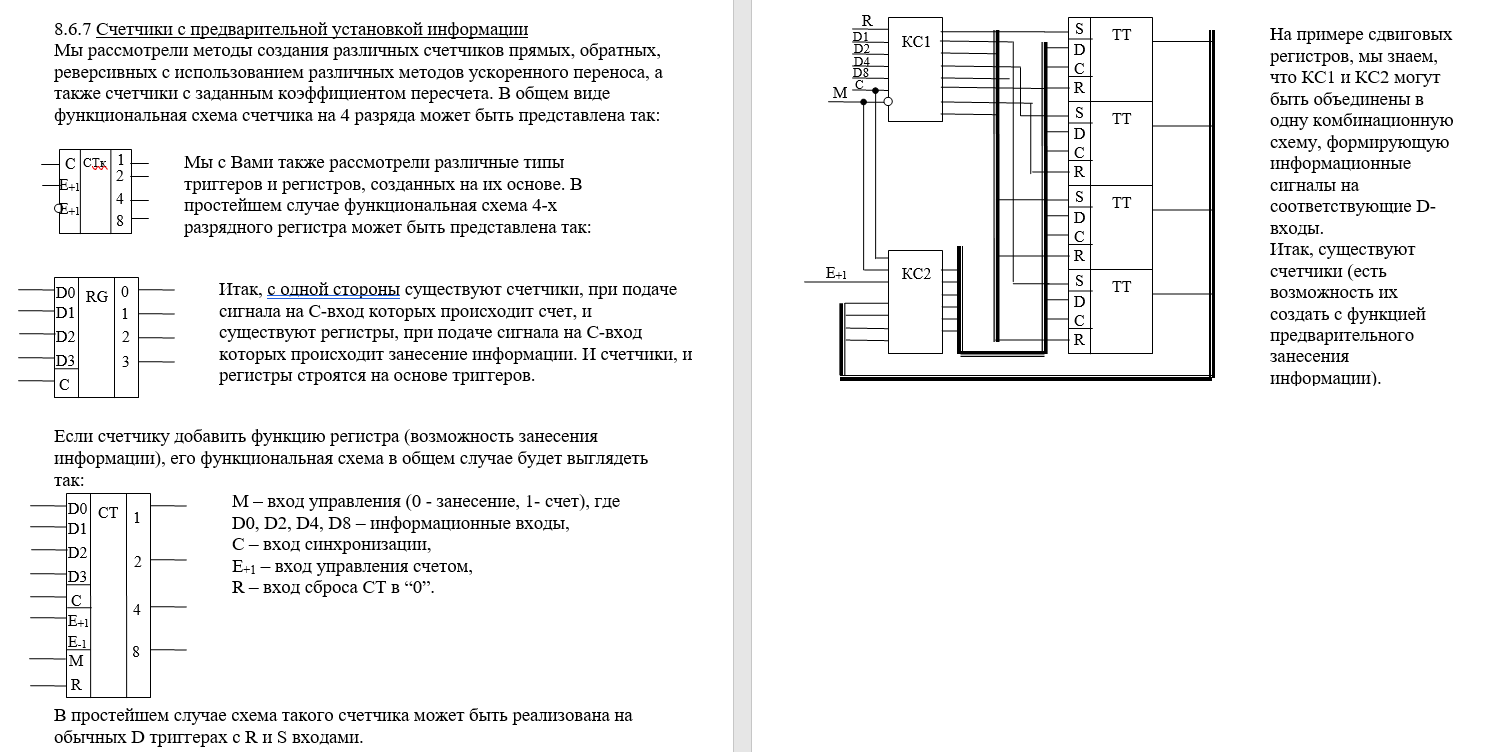












1. ***Формализованный метод синтеза счетчиков***

***https://studopedia.ru/8\_185662\_sintez-schetchikov.html***

Структурная схема n-разрядного счетчика может быть представлена в виде n триггеров и комбинационной схемы:

КС

Т2

Т1

Т4

1

Е+1

2

3

4

1

2

3

1

4

2

4

3

4

1

2

3

С

На вход КС подается счетный сигнал синхронизации и сигнал управления направлением счета.

В качестве триггеров могут использоваться статические счетные триггеры, имеющие вход разрешения счета Т.

|  |  |  |
| --- | --- | --- |
| Т  С  TТ | В этом триггере счет разрешается при наличии единицы на входе Т | |
| Или двухступенчатые D-триггеры: | | D  C  D  C  TТ |

Вышеуказанные триггеры могут быть реализованы на базе D-триггеров с динамической синхронизацией по фронту С:

&

T

C

D

E

C

Т-триггер:

1

T

C

D

C

D-триггер:

D

Т.е. в счетчике должны применяться триггеры, срабатывающие по концу входного сигнала C (заднему фронту С)

Метод синтеза счетчиков состоит в следующем:

1. Записывается таблица переходов;
2. Составляется функция возбуждения триггеров для перевода их в следующее состояние (по Т-входам для Т-триггеров и по D-входам для D-триггеров);
3. По формулам строится функциональная, а затем и принципиальная схема.

**Пример:**

Необходимо построить реверсивный счетчик с К=5.

Составим таблицу переходов для счетчиков на базе Т-триггеров и на базе D-триггеров:

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Е+1 | | Состояния триггеров | | | Функции возбуждения | | | | | |
| T4 | T2 | T1 | T4’ | T2’ | T1’ | D4’ | D2’ | D1’ |
| Прямой счет | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 |  |  |  |  |  |  |
| Обратный счет | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 |  |  |  |  |  |  |

Примечания:

1. Для Т-триггеров на входы Т подаются такие сигналы, чтобы получилась очередная необходимая комбинация.
2. Для D-триггеров по D-входам заносится следующая комбинация.

Сначала построим счетчик на Т-триггерах. Составим карты Карно для сигналов Т4’, T2’, T1’.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| T4’ | | | | |  | T2’ | | | | |  | T1’ | | | | |
| T2,T1 | E+1, T4 | | | |  | T2,T1 | E+1, T4 | | | |  | T2,T1 | E+1, T4 | | | |
| 00 | 01 | 11 | 10 | 00 | 01 | 11 | 10 | 00 | 01 | 11 | 10 |
| 00 | 1 | 1 | 1 | 0 | 00 | 0 | 1 | 0 | 0 | 00 | 0 | 1 | 0 | 1 |
| 01 | 0 | \* | \* | 0 | 01 | 0 | \* | \* | 1 | 01 | 1 | \* | \* | 1 |
| 11 | 0 | \* | \* | 1 | 11 | 0 | \* | \* | 1 | 11 | 1 | \* | \* | 1 |
| 10 | 0 | \* | \* | 0 | 10 | 1 | \* | \* | 0 | 10 | 1 | \* | \* | 1 |

T4’ = T4 v E∙T2∙T1 v E∙T2∙T1 = T4∙E∙T2∙T1∙E∙T2∙T1

T2’ = E∙T4 v E∙T1 v E∙T2∙T1 = E∙T4∙E∙T1∙E∙T2∙T1

T1’ = E∙T4 v E∙T4 v T2 v T1 = E∙T4∙E∙T4∙T2∙T1

Построим функциональную схему, учитывая в формулах подобные члены.

&

T

S

D

&

T

S

D

&

T

S

D

TM2

T1

TM2

T2

TM2

T4

&

&

&

&

&

&

&

&

&

&

1

1

&

&

8

5

7

6

2

4

7

1

3

2

8

3

4

C

7

8

1

2

3

4

5

6

E∙T4

T2’

T4’

E∙T4

E∙T1

E∙T1

E∙T1

E

Построим счетчик на D-триггерах.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| D4’ | | | | |  | D2’ | | | | |  | D1’ | | | | |
| T2,T1 | E+1, T4 | | | |  | T2,T1 | E+1, T4 | | | |  | T2,T1 | E+1, T4 | | | |
| 00 | 01 | 11 | 10 | 00 | 01 | 11 | 10 | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 0 | 0 | 00 | 0 | 1 | 0 | 0 | 00 | 0 | 1 | 0 | 1 |
| 01 | 0 | \* | \* | 0 | 01 | 0 | \* | \* | 1 | 01 | 0 | \* | \* | 0 |
| 11 | 0 | \* | \* | 1 | 11 | 1 | \* | \* | 0 | 11 | 0 | \* | \* | 0 |
| 10 | 0 | \* | \* | 0 | 10 | 0 | \* | \* | 1 | 10 | 1 | \* | \* | 1 |

D4’ = E∙T4∙T2∙T1 v E∙T2∙T1

D2’ = E∙T4 v E∙T2∙T1 v E∙T2∙T1 v E∙T2∙T1

D1’ = E∙T4 v T2∙T1 v E∙T4∙T1

&

7

6

T

C

D

S

R

TM2

T1

T

C

D

S

R

TM2

T2

T

C

D

S

R

TM2

T4

&

3

2

&

8

5

&

7

&

1

3

&

8

&

7

1

1

&

1

&

7

4

&

8

2

&

&

1

7

8

E

2

6

4

C

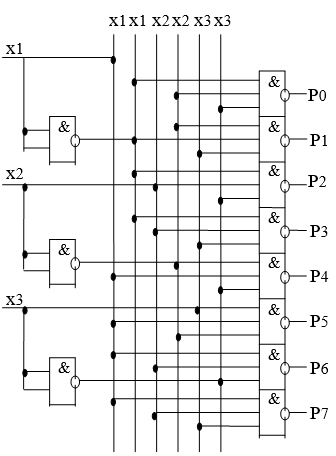
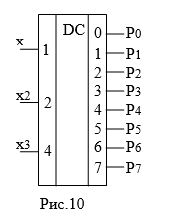
Итак, были рассмотрены БЭ ТТЛ, на его основе создавали T, RG и CT. На этом перечень схем, используемых для создания средств вычислительной техники, не заканчивается, перейдем к рассмотрению следующих типов схем.

**8. Дешифраторы: определение, обозначение, классификация. Дешифратор линейного типа.**

**https://studref.com/447723/informatika/deshifratory**

Д е ш и ф р а т о р (DC) - это комбинационная схема, которая преобразует код, подаваемый на его входы, в единичный сигнал на одном из выходов, то есть преобразует n-раз-рядное входное слово в 2n-разрядный унитарный код.

Обозначение



Классификация

В зависимости от входного сигнала:  
1) с прямыми входами 2) с инверсными входами

В унитарном коде только на одной позиции разряд принимает активное значение: на одной позиции 1, на остальных - 0 (в дешифраторах с прямыми выходами) или на одной позиции 0, на остальных - 1 (в дешифраторах с инверсными выходами).

В зависимости от соотношения входов и выходов:

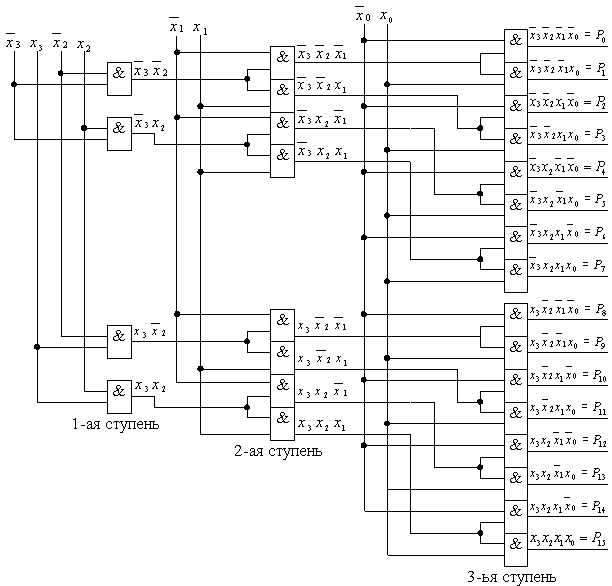
1. Полные (Xвых=2n) 2) неполные(Xвых<2n)

По структурной организации:

1. Линейный
2. Пирамидальный
3. Матричный(прямоугольный)

**9. Дешифратор линейного типа** (обычный который описан выше) **Дешифратор пирамидального типа**

Пирамидальные дешифраторы, так же как и прямоугольные, относятся к разряду многоступенчатых дешифраторов, особенностью которых является применение во всех ступенях дешифрации двухвходовых элементов *И* с обязательным подключение выхода элемента *i*-ой ступени ко входам только двух элементов *(i+1)*-ой группы. Число ступеней (*N*) в таком дешифраторе на единицу меньше разрядности (*K*) дешифрируемого слова, т.е. *N=K-1*, а число элементов *И* в каждой из ступеней определяется из выражения *B=2i+1*, http://ok-t.ru/studopedia/baza11/99430756756.files/image268.gif- номер ступени пирамидального дешифратора. Принцип построения пирамидального дешифратора наглядно виден из примера построения такого дешифратора на 16 выходов.



Такие дешифраторы строятся следующим образом. Вначале получаются все произведения двух аргументов: http://ok-t.ru/studopedia/baza11/99430756756.files/image270.gifЗатем получаются все конъюнкции 3-х аргументов, путем умножения каждого из полученных произведений 2-х аргументов на http://ok-t.ru/studopedia/baza11/99430756756.files/image271.gifНа следующем этапе получаются все конъюнкции 4-х аргументов. Другими словами, каждая функция системы (1) формируется поэтапно.

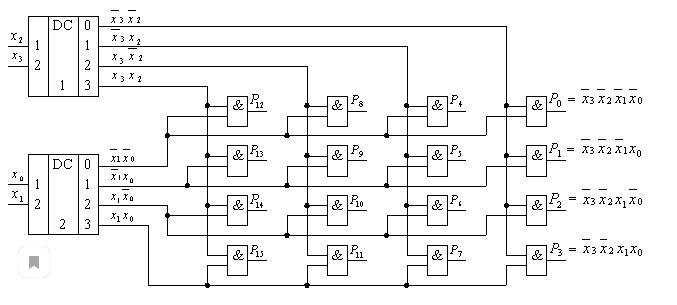
Недостатком пирамидального дешифратора следует считать большое число ступеней, снижающих быстродействие дешифратора.

**10. Дешифратор прямого типа**

При большом числе разрядов дешифрируемого слова более удобным и экономичным оказывается прямоугольный дешифратор, который является многоступенчатым. Количество ступеней зависит от числа групп, на которое разбивается многоразрядное дешифрируемое слово. В первой ступени такого дешифратора содержатся несколько линейных дешифраторов, число которых зависит от числа ступеней. На второй ступени дешифратора, которая может быть оконечной или промежуточной, образуются произведения сигналов, поступающих из линейных дешифраторов первой ступени. В качестве примера рассмотрим прямоугольный двухступенчатый дешифратор на 4-е разряда. Все четырехразрядное слово в таком дешифраторе разбивается на 2 группы по 2 разряда в каждой группе. Каждая группа разрядов числа дешифрируется линейным дешифратором. Во второй ступени формируются выходные сигналы дешифратора.

Прямоугольные (матричные) дешифраторы содержат первую ступень из нескольких линейных декодеров, на каждом из которых дешифруется группа разрядов входного кода.

Число линейных дешифраторов определяется числом групп, на которые разбивается многоразрядное входное двоичное число (слово). Во второй ступени прямоугольного дешифратора осуществляется перемножение выходных сигналов в матричных схемах.



**11. Построение DC в большой разрядности на базе микросхем DC небольшой разрядности.**

**Задача.** Требуется построить DC на 4 входа на основе DC на 2 входа.

DC

3

0

2

1

X1

X2

SE

1

2

DC

3

0

2

1

SE

1

2

DC

3

0

2

1

SE

1

2

DC

3

0

2

1

SE

1

2

15

DC

3

0

2

1

X8

X4

SE

SE

1

2

0

Это микросхема ИД3

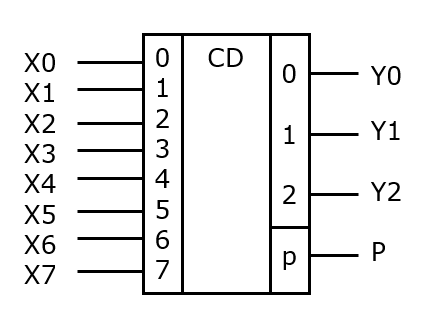
Следует обратить внимание на наличие инверсии на входе SE

DC можно рассматривать как демультиплексор, т.е., схема, которая направляет входной сигнал SE на один из выходов y0…y15 в зависимости от двоичного кода выхода, подаваемого на входы х1, х2…х4.

**12. Шифраторы: определение, обозначение, классификация. Построение шифратора.**

Шифраторы – это КС, которая преобразует сигнал, поданный на один из его входов, в двоичный код этого входа.

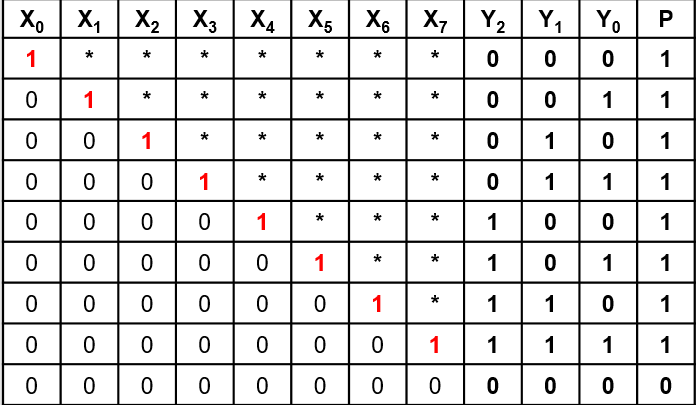
Обозначение:



Классификация:

Приоритетный

В приоритетных шифраторах сигналы могут подаваться одновременно более чем на один вход. Шифратор в соответствии с фиксированными приоритетами выбирает, какому входу будет соответствовать код на выходе. В большинстве приоритетных шифраторов порядок приоритетов устанавливается в соответствии со старшинством разрядов на входе. Если, например, в приоритетном шифраторе 4 в 2 сигнал подать на входы А2 и А3, и приоритет имеет вход А3, то на выходе появится число 11 (Х1Х0=11).



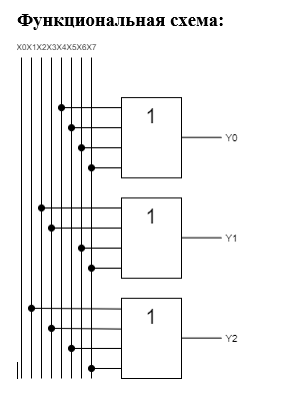


1. Неприоритетный

Таблица истинности(где пустые там 0)

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| X0 | X1 | X2 | X3 | X4 | X5 | X6 | X7 | Y4 | Y2 | Y1 | p |
| 1 |  |  |  |  |  |  |  | 0 | 0 | 0 | 1 |
|  | 1 |  |  |  |  |  |  | 0 | 0 | 1 | 1 |
|  |  | 1 |  |  |  |  |  | 0 | 1 | 0 | 1 |
|  |  |  | 1 |  |  |  |  | 0 | 1 | 1 | 1 |
|  |  |  |  | 1 |  |  |  | 1 | 0 | 0 | 1 |
|  |  |  |  |  | 1 |  |  | 1 | 0 | 1 | 1 |
|  |  |  |  |  |  | 1 |  | 1 | 1 | 0 | 1 |
|  |  |  |  |  |  |  | 1 | 1 | 1 | 1 | 1 |
|  |  |  |  |  |  |  |  | 0 | 0 | 0 | 0 |

|  |  |
| --- | --- |
| y1 = x1 v x3 v x5 v x7  y2 = x2 v x3 v x6 v x7  y4 = x4 v x5 v x6 v x7 | p= x0 v x1 v x2 v x3 v x4 v x5 v x6 v x7 = x0 v y1 v y2 v y4  p – признак наличия сигнала на одном из входов(если с ним то добавить элемент) |



Микросхема ИB1 – это CD 8→3 с приоритетом старшего входа на случай неправильного появления нескольких единиц на входах.

Микросхема имеет строб-вход (EI) и дополнительный выход GS (групповой сигнал), который используется при наращивании разрядности CD.

**13. Мультиплексоры: определение, обозначение, классификация. Построение мультиплексоров.**

**Мультиплексоры** – КС, предназначенные для передачи одного из входных сигналов на выход в соответствии с кодом входа. В частном случае – это преобразователь параллельного кода в последовательный.

**Обозначения мультиплексоров**

MS

1

0

X0

y

y

3

2

5

4

7

6

A1

A4

A2

SE

DC

2

1

SE

1

0

3

2

5

4

7

6

4

A1

A4

A2

&

&

&

&

1

&

&

&

Код адреса

Строб

X7

&

X0

X1

X7

1

y

y

1

y

y

&

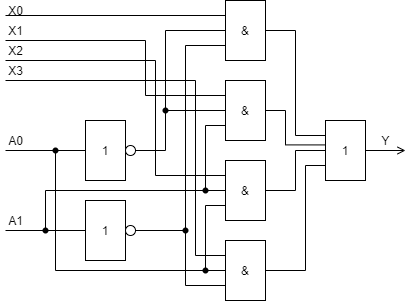
SE

**Классификация мультиплексоров**

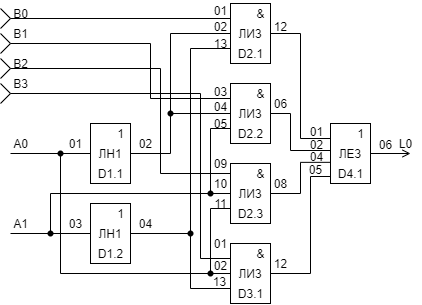
1. По области применения: локальные и магистральные
2. По технологии изготовления: объемные и планарные
3. По принципу разделения оптических каналов: последовательное и параллельное разделение оптических каналов
4. Аналоговые и цифровые

**Построение мультиплексора**

**Функциональная схема:**

****

**Принципиальная схема:**

****

|  |  |  |
| --- | --- | --- |
| D | 0 v | 5 v |
| D1 D2 D3 D4 | 07 | 14 |

**14. Наращивание разрядности и количества плеч мультиплексора.**

Наращивание разрядности мультиплексоров:

**Задача.** Надо сделать MS на 16 входов при наличии 4-входовых MS

MS

1

0

X0

3

2

A1

A2

SE

X1

X2

X3

A1

A2

D1

MS

1

0

X12

3

2

A1

A2

SE

X13

X14

X15

D4

.

.

.

MS

1

0

3

2

A1

A2

SE

.

.

.

A4

A8

SE

MS

0

15

A1

A2

SE

.

.

.

A4

A8

X0

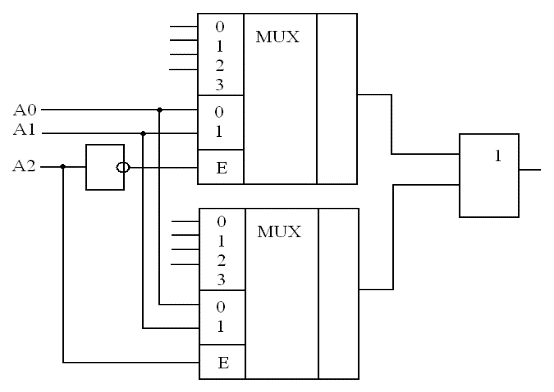
X15

SE

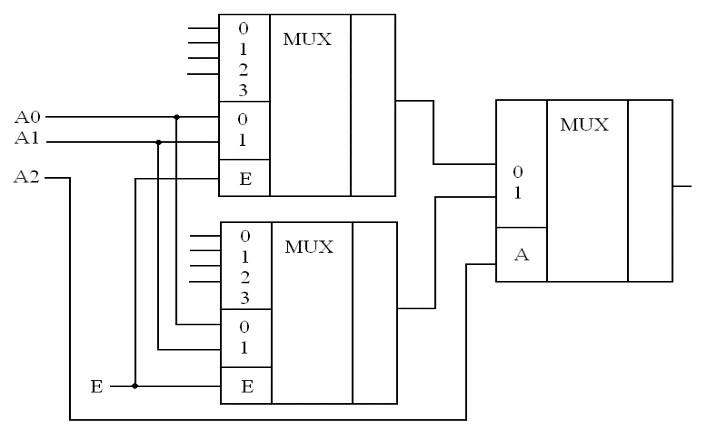
Мультиплексоры – это микросхемы КП (КП1, КП2, КП5, КП7, КП8…КП19), различающиеся по числу входов, способам адресации, наличием дополнительных входов разрешения и различных выходов (прямых, инверсных).

**Увеличение разрядности мультиплексора**

1. Используется **каскадирование** и основан он на использовании входа разрешения E



1. **Пирамидальное каскадирование**. С использованием только мультиплексора.

+

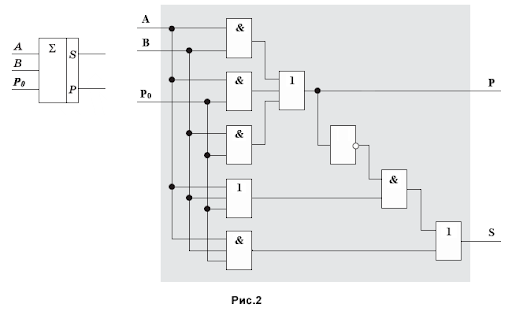
15. https://studopedia.ru/3\_177316\_shemi-sravneniya.html

16.

**17. Сумматоры: определение, обозначение, классификация. Построение одноразрядных полных сумматоров. Увеличение разрядности сумматора**.

https://life-prog.ru/1\_24092\_mnogorazryadnie-summatori.html

**Сумматор** - логический операционный узел ЭВМ, выполняющий арифметическое сложение кодов двух чисел. При арифметическом сложении выполняются и другие дополнительные операции: учёт знаков числа, выравнивание порядков слагаемых и т.п.



Сумматоры классифицируют по различным признакам.

**В зависимости от системы счисления** различают:

* двоичные;
* двоично-десятичные (в общем случае двоично-кодированные);
* десятичные;
* прочие (например, амплитудные).

**По количеству одновременно обрабатываемых разрядов складываемых чисел:**

* одноразрядные,
* многоразрядные.

**По числу входов и выходов одноразрядных двоичных сумматоров:**

* **четвертьсумматоры** (элементы “сумма по модулю 2”; элементы “исключающее ИЛИ”), характеризующиеся наличием двух входов, на которые подаются два одноразрядных числа, и одним выходом, на котором реализуется их арифметическая сумма;
* **полусумматоры,** характеризующиеся наличием двух входов, на которые подаются одноимённые разряды двух чисел, и двух выходов: на одном реализуется арифметическая сумма в данном разряде, а на другом — перенос в следующий (более старший разряд);
* **полные одноразрядные двоичные сумматоры**, характеризующиеся наличием трёх входов, на которые подаются одноимённые разряды двух складываемых чисел и перенос из предыдущего (более младшего) разряда, и двумя выходами: на одном реализуется арифметическая сумма в данном разряде, а на другом — перенос в следующий (более старший разряд).

**По способу представления и обработки складываемых чисел** многоразрядные сумматоры подразделяются на:

* последовательные, в которых обработка чисел ведётся поочерёдно, разряд за разрядом на одном и том же оборудовании;
* параллельные, в которых слагаемые складываются одновременно по всем разрядам, и для каждого разряда имеется своё оборудование.

Параллельный сумматор в простейшем случае представляет собой n одноразрядных сумматоров, последовательно (от младших разрядов к старшим) соединённых цепями переноса. Однако такая схема сумматора характеризуется сравнительно невысоким быстродействием, так как формирование сигналов суммы и переноса в каждом i-ом разряде производится лишь после того, как поступит сигнал переноса с (i-1)-го разряда. **Таким образом, быстродействие сумматора определяется временем распространения сигнала по цепи переноса. Уменьшение этого времени — основная задача при построении параллельных сумматоров.**

Для уменьшения времени распространения сигнала переноса применяют: **конструктивные решения**, когда используют в цепи переноса наиболее быстродействующие элементы; тщательно выполняют монтаж без длинных проводников и паразитных ёмкостных составляющих нагрузки и (наиболее часто) структурные методы ускорения прохождения сигнала переноса.

**По способу организации межразрядных переносов параллельные сумматоры, реализующие структурные методы**, делят на сумматоры:

* с последовательным переносом;
* с параллельным переносом;
* с групповой структурой;
* со специальной организацией цепей переноса.

Три первых структуры будут подробно рассмотрены в последующих статьях. **Среди сумматоров со специальной организацией цепей переноса можно указать:**

* сумматоры со сквозным переносом, в которых между входом и выходом переноса одноразрядного сумматора оказывается наименьшее число логических уровней [1];
* сумматоры с двухпроводной передачей сигналов переноса [1, 2];
* сумматоры с условным переносом (вариант сумматора с групповой структурой, позволяющий уменьшить время суммирования в 2 раза при увеличении оборудования в 1,5 раза) [3];
* асинхронные сумматоры, вырабатывающие признак завершения операции суммирования, при этом среднее время суммирования уменьшается, поскольку оно существенно меньше максимального.

Сумматоры, которые имеют постоянное время, отводимое для суммирования, независимое от значений слагаемых, называют **синхронными**.

**По способу выполнения операции сложения и возможности сохранения результата сложения** можно выделить три основных вида сумматоров:

* комбинационный, выполняющий микрооперацию “S = A плюс B”, в котором результат выдаётся по мере его образования (это комбинационная схема в общепринятом смысле слова);
* сумматор с сохранением результата “S = A плюс B”;
* накапливающий, выполняющий микрооперацию “S = S плюс B”.

Последние две структуры строятся либо на счётных триггерах (сейчас практически не используются), либо по структуре “комбинационный сумматор – регистр хранения” (сейчас наиболее употребляемая схема).

**Важнейшими параметрами сумматоров** являются:

* разрядность;
* статические параметры: Uвх, Uвх, Iвх и так далее, то есть обычные параметры интегральных схем;
* динамические параметры. Сумматоры характеризуются четырьмя задержками распространения:
* от подачи входного переноса до установления всех выходов суммы при постоянном уровне на всех входах слагаемых;
* от одновременной подачи всех слагаемых до установления всех выходов суммы при постоянном уровне на входе переноса;
* от подачи входного переноса до установления выходного переноса при постоянном уровне на входах слагаемых;
* от подачи всех слагаемых до установления выходного переноса при постоянном уровне на входах слагаемых

**Одноразрядный полный сумматор**

Связь между двоичной арифметикой и алгеброй логики позволяет реализовать логические схемы основных элементов процессора и памяти компьютера.

*Сумматор - это устройство, предназначенное для сложения двоичных чисел.*

Рассмотрим сначала более простое устройство – полусумматор.

Построим таблицу истинности для устройства реализующего арифметическую операцию сложения. Операция «+» бинарная, поэтому полусумматор должен иметь два входа (A и B). В результате сложения двух одноразрядных двоичных чисел может получиться двухразрядное число (с переносом в следующий разряд). Значит, устройство должно иметь два выхода (P - перенос в следующий разряд, S - результат, остающийся в текущем разряде).

|  |  |  |  |
| --- | --- | --- | --- |
| **A** | **B** | **P** | **S** |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

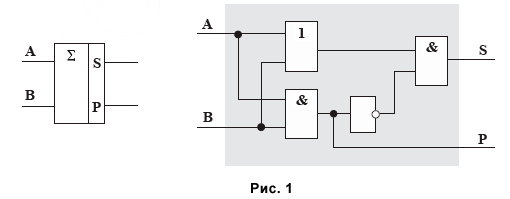
По данной таблице истинности построим СДНФ:

1. Для переноса в старший разряд: P = A ∧ B
2. Для текущего разряда: S = ¬ A ∧ B ∨ A ∧ ¬ B

Преобразуем логическую формулу для S:  
(¬ A • B) + (A • ¬ B) = (¬ A • A) + ( ¬ A • B) + (A • ¬ B) + (¬ B • B) =  
= ¬ A • (A + B) + ¬ B • (A + B) = (A + B) • ¬ (A • B)

С учетом формулы для переноса имеем:  
S = (A + B) • ¬ (A • B) = (A + B) • ¬ P

Таким образом, полусумматор можно построить, используя четыре [простейших логических элемента](http://informatics-lesson.ru/logic/logic-elements.php): два конъюнктора, дизъюнктор и инвертор (см. рис.1, слева показано условное обозначение полусумматора):



Итак, получено устройство, реализующее суммирование одноразрядных двоичных чисел без учета переноса из младшего разряда.

Для реализации **полного одноразрядного сумматора** необходимо учесть перенос из младшего разряда (P0). Поэтому сумматор должен иметь три входа. Построим таблицу истинности для устройства с учетом третьего входа:

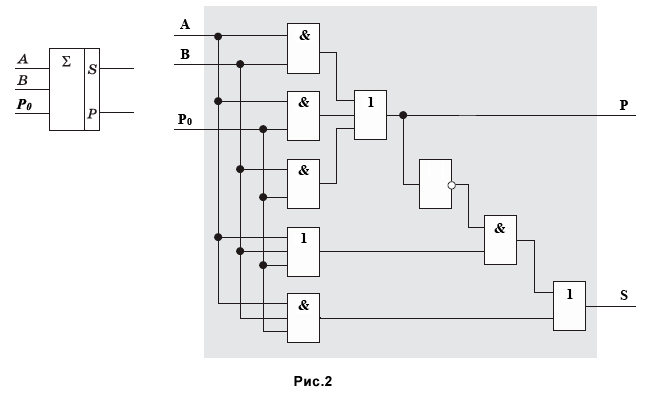
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** | **B** | **P0** | **P** | **S** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

Построим СДНФ для выхода P (перенос в старший разряд):  
P =(¬ A ∧ B ∧ P0) ∨ (A ∧ ¬ B ∧ P0) ∨ (A ∧ B ∧ ¬ P0) ∨ (A ∧ B ∧ P0)  
Преобразуем:  
1) (A ∧ B ∧ ¬ P0) ∨ (A ∧ B ∧ P0) = (A ∧ B) ∧ (¬ P0 ∨ P0) = A ∧ B  
Имеем, P = (¬ A ∧ B ∧ P0) ∨ (A ∧ ¬ B ∧ P0) ∨ (A ∧ B)  
2) (¬ A ∧ B ∧ P0) ∨ (A ∧ B) = B ∧(¬ A ∧ P0 ∨ A) = B ∧ (¬ A ∨ A ) ∧ (P0 ∨ A) =  
= B ∧ (P0 ∨ A) = (B ∧ P0) ∨ (A ∧ B)  
Имеем, P = (A ∧ ¬ B ∧ P0) ∨ (B ∧ P0) ∨ (A ∧ B)  
3) (A ∧ B) ∨ (A ∧ ¬ B ∧ P0) = A ∧ (B ∨ ¬ B ∧ P0) = A ∧ (B ∨ ¬ B)(B ∨ P0) =  
= A ∧ (B ∨ P0) = (A ∧ B) ∨ (A ∧ P0)  
Таким образом, для переноса в старший разряд получили:  
P = A ∧ B ∨ A ∧ P0 ∨ B ∧ P0

Проанализируем таблицу истинности для выхода S. Значение S отлично от нуля в том случае, если единица поступает ровно на один вход (при этом на двух других входах фиксируется ноль), или на все три входа сразу, т. е.:  
S = ¬ (A ∧ B ∨ A ∧ P0 ∨ B ∧ P0) ∧ (A ∨ B ∨ P0) ∨ (A ∧ B ∧ P0)

С учетом формулы для переноса в старший разряд, имеем:  
S = ¬ P ∧ (A ∨ B ∨ P0) ∨ (A ∧ B ∧ P0)

Таким образом, одноразрядный двоичный сумматор можно реализовать с помощью следующей схемы (см. рис. 2, слева показано условное обозначение сумматора), которая соответствует полученным логическим формулам (1) и (2).



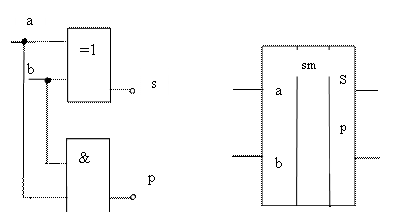
Заметим, что логические функции P и S можно выразить с помощью других формул. В таком случае для одноразрядного двоичного сумматора потребуется другая логическая схема.

**18. Принципы реализации ускоренного переноса. Оценка ускорения выполнения суммирования.**

**Сумматором** – называется комбинационное логическое устройство, предназначенное для выполнения операции арифметического сложения чисел в двоичном коде.  
Для начала получим ФАЛ, описывающие операции арифметического сложения.

Таблица истинности для сложения одноразрядных двоичных кодов.

|  |  |  |  |
| --- | --- | --- | --- |
| а | b | s | p |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

S реализовать через ИЛИ нельзя, т.к. существует отличие в четвертой строке.  
Результат сложения не может быть представлен двоичным кодом, разрядность которого равна разряду.  
  
Данный вид сумматора называют неполным или полусумматором.  
Полусумматор – комбинационное логическое устройство предназначенное для сложения двоичных одноразрядных чисел и не имеющие входа или выхода переноса.  
  
Полный сумматор – комбинационное логическое устройство для сложения чисел в двоичном коде, где есть вход переноса в младший разряд и выход переноса в старший разряд.  
Таблица истинности для полного одноразрядного сумматора.

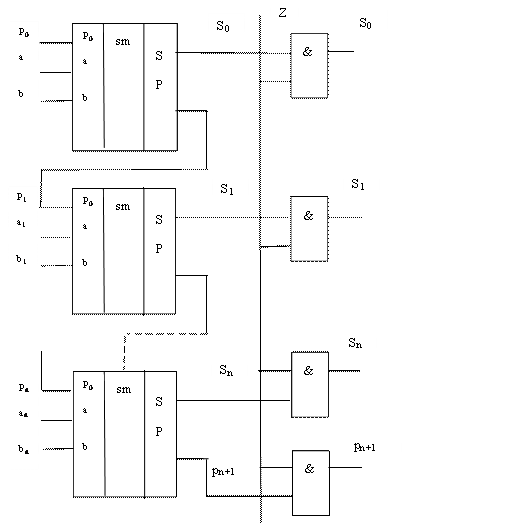
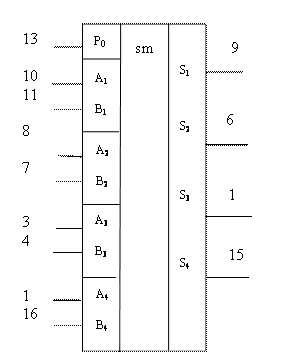
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Р0 | a | b | s | P1 |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

ФАЛ:  
  
В случае использования двух разрядных чисел:  
  


  
Функции «=1» и «≥2» можно реализовать в разных базисах И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ.  
≥2 функция мажоритарности, т.е. в импликанте 2 или больше единиц.

Многоразрядные сумматоры по принципу действия могут быть :  
- параллельные  
- последовательные

**Параллельные многоразрядные сумматоры**

Параллельно подаются разряды слагаемых, но перенос получается последовательно.  
Для исключения получения ложного результата на выходе схемы установлены логические элементы «И». Сигнал Z должен появляться на их входах не ранее, чем после последовательной передачи сигнала Р по всем разрядам сумматора.  
Типовая структурная схема:  
  
К 155 ИМ3 Построен на одноразрядных сумматорах.  
УГО SM  


**Последовательный многоразрядный сумматор**

Используют один одноразрядный сумматор, который последовательно разряд за разрядом, начиная с младшего, выполняет операцию сложения в соответствующих разрядах. Снижается быстродействие устройства, применяется калькулятор, где низкие требования к быстродействию.  
Строится на основе одноразрядного сумматора + необходимое тактирование и устройства для записи входной и выходной информации (регистр).  
Регистры не входят в состав сумматора.  
Каждый тактовый импульс обеспечивает подачу более старшего разряда слагаемых на входы одноразрядного сумматора из регистров и запись в регистр на выходе значений сумма всех разрядов последовательно.

**Повышение быстродействия параллельных сумматоров**

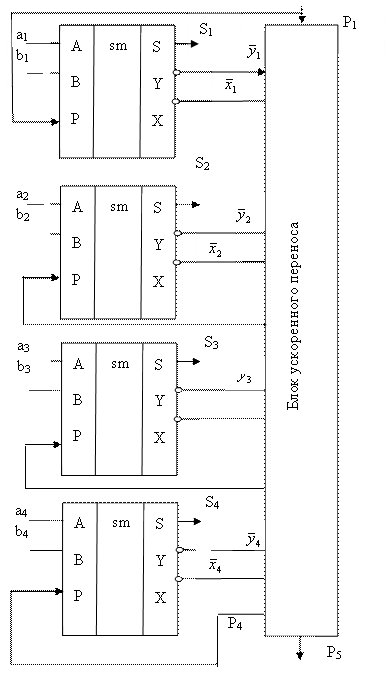
Трудность в достижении быстродействия связана с тем, что процесс распространения переносов носит последовательный характер. Следовательно задержка в распространении переносов увеличивается при получении последнего переноса.  
Пути понижения задержки распространения переноса:  
1.При построении схем одноразрядных сумматоров стремятся к уменьшению числа логических элементов в цепи между входом, на который поступает сигнал переноса рi и выходом, на котором формируется передаваемый в следующий разряд сигнал переноса рi+1.  
По таблице истинности можно составить функцию переноса в разных базисах:  
И-НЕ СДНФ   
ИЛИ-НЕ СКНФ     =>  *aibi*+ (*ai  +  bi)pi = ab*V*ap*V*bp*  
И-ИЛИ-НЕ  
СКНФ   
  
2.В цепях от *рi* к *рi+1* прим. логический элемент с повышенным быстродействием.  
3.В цепях от *рi* к *рi+1* сигналы с выхода каждого логического элемента должен поступать на возможно меньшее число других логических элементов, т.к. присоединение дополнительных логических элементов приводит к повышению задержки распространения сигнала следует понижение быстродействия.  
4. Пример устройства формирования переноса в параллельной форме (блок ускоренного переноса)  
Переносы из БУП поступают на все разрядные сумматоры одновременно. БУП встроен. БУП встроен в ИМС сумматора.  
При этом разрядные сумматоры не содержат цепей формирования переносов. Они формируют только ?*Si* и величины *xi* и *yi*для получения которой переносы не требуются.  
Величины*xi* и *yi*необходимы для формирования переносов в БУП.  
Они определяют следующие ситуации:  
*yi*= 1 : в i-том разряде перенос рi+1 в следующий (i+1) разряд надо формировать не зависимо от поступления рi переноса в данный разряд из предыдущего.  
*xi* = 1: : в i-том разряде перенос рi+1 должен формироваться только при условии поступления рi из предыдущего разряда.

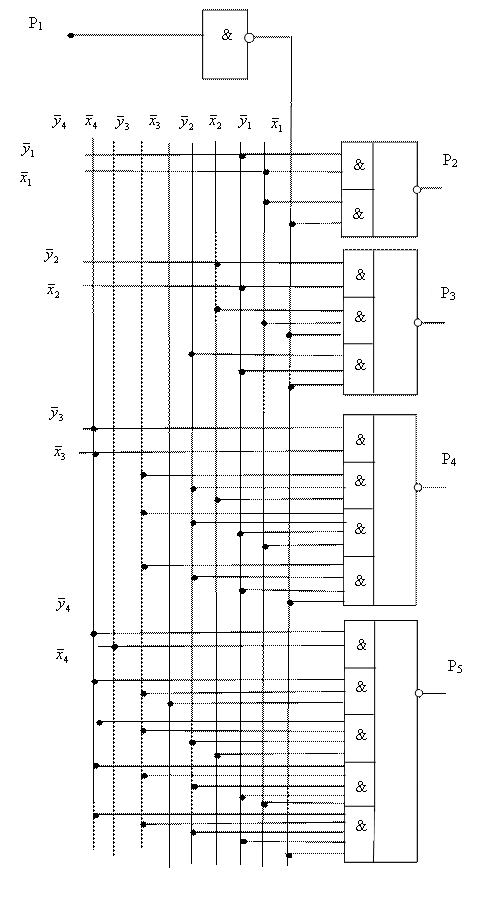
**Принцип построения БУП**

Перенос p2 должен формироваться при условии y*1* = 1 или при условии *x1* = 1 и  
*p1* = 1, т.е.    
   Аналогично  выражения для переносов можно построить и в другие разряды  
  
Можете самостоятельно убедится в справедливости:  
  
  
Имея эти выражения можно строить схемы

Величины *xi* и *yi*формируются одновременно, следовательно одновременно формируются *рi* -переносы. После поступления *рi* из БУП в разрядных сумматорах формируются суммы *Si* по выражениям:  

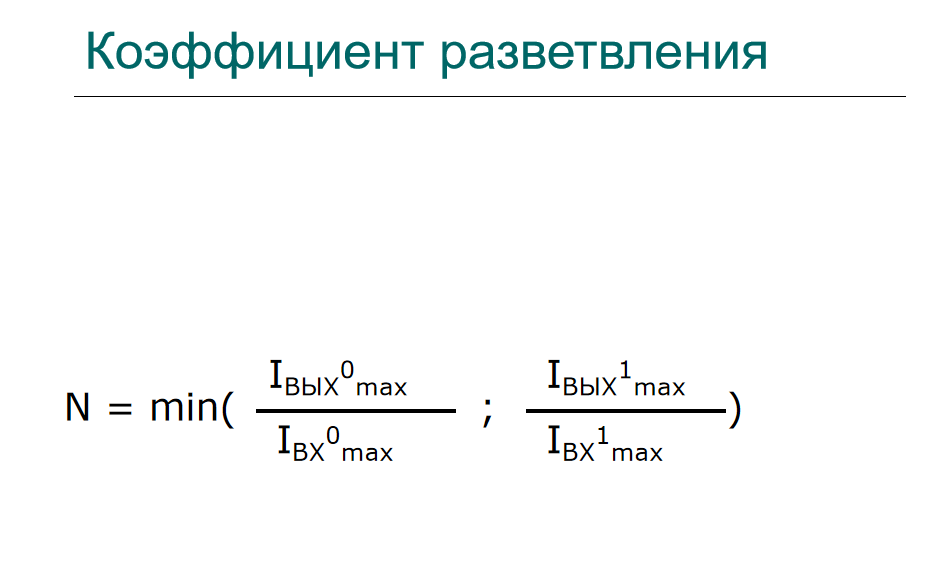


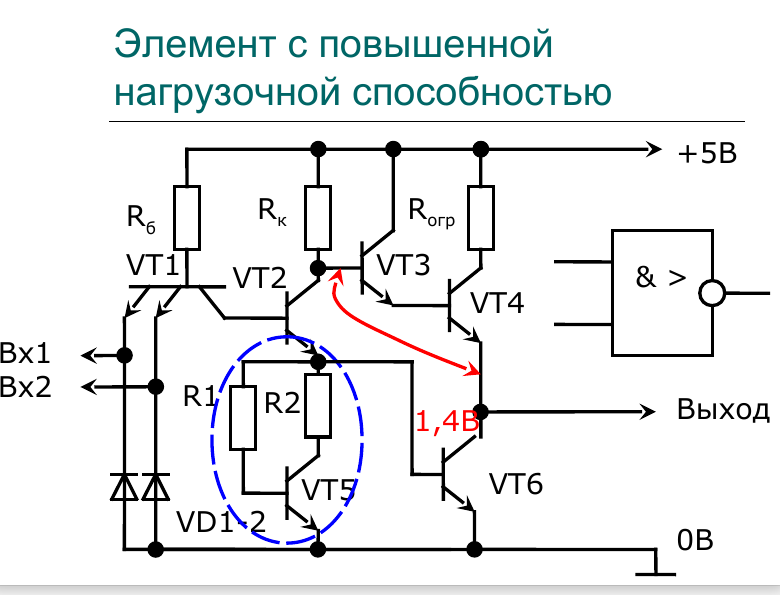

  




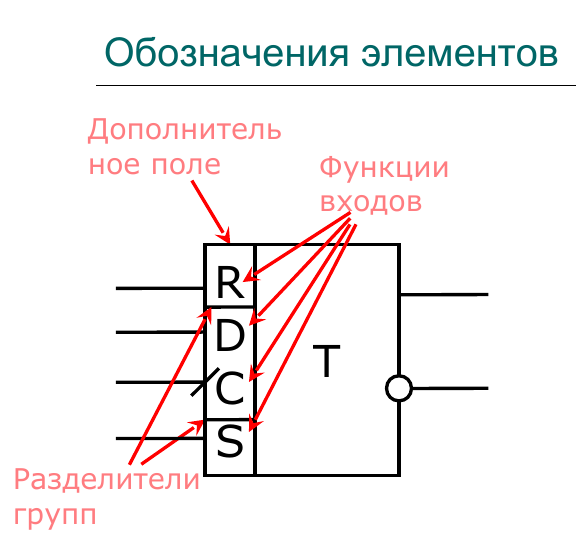
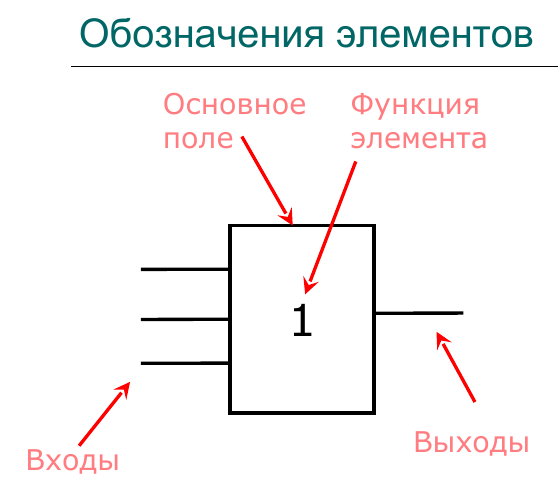
**19. Элемент ТТЛ с повышенной нагрузочной способностью**

Одним из важных параметров цифровых ИС является нагрузочная способность. Она характеризуется коэффициентом разветвления Nразв , равным числу микросхем той же серии, которые можно подключить к выходу рассматриваемого элемента. Для большинства микросхем ТТЛ нагрузочная способность Nразв = 10. Некоторые ТТЛ-микросхемы выпускают с повышенной нагрузочной способностью, обеспечивая Nразв = 30.

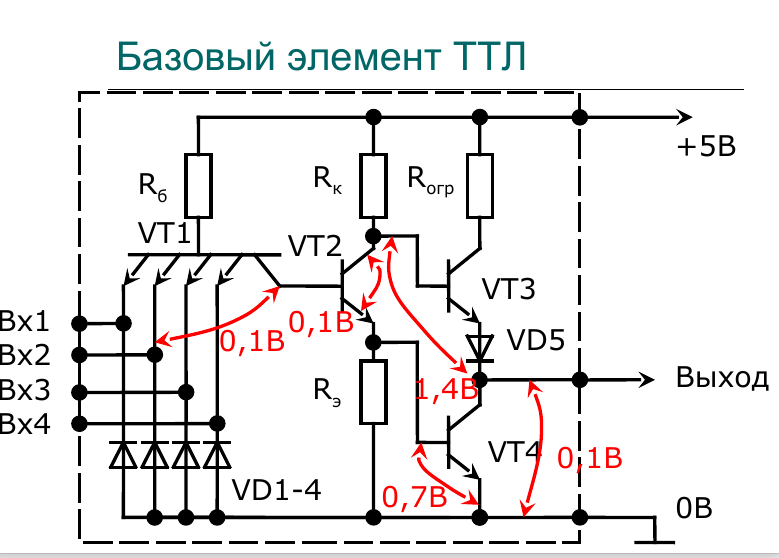




**20. Элементы ТТЛ. Базовый элемент ТТЛ.**

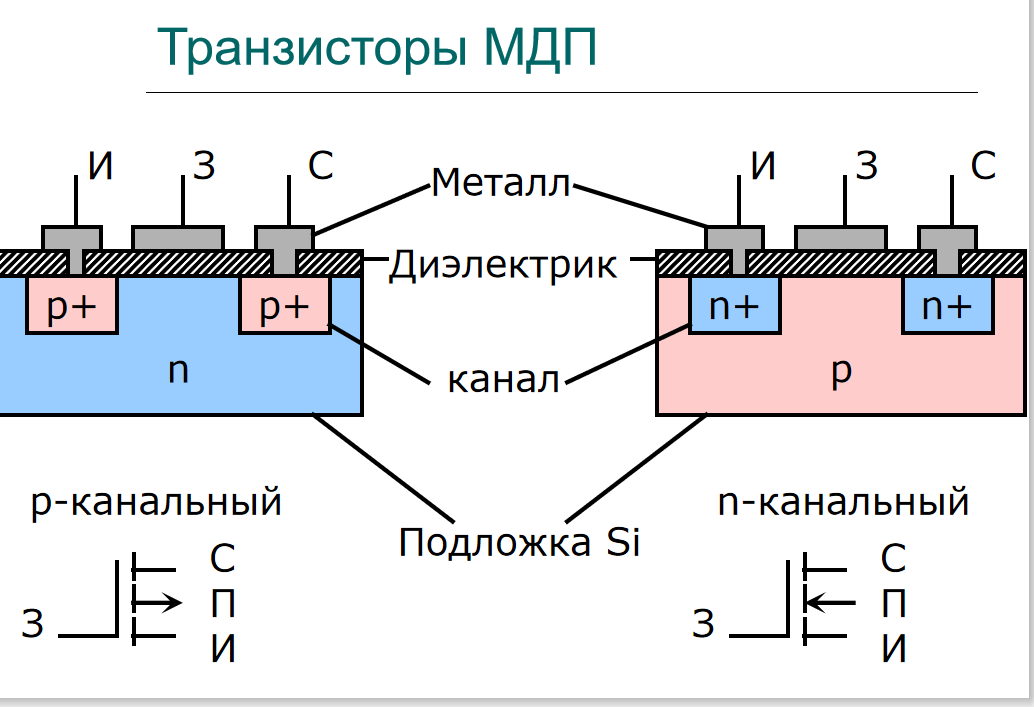






**21. Ключи на МДП-транзисторах. КМДП-инвертор. Основные параметры КМДП ИС.**

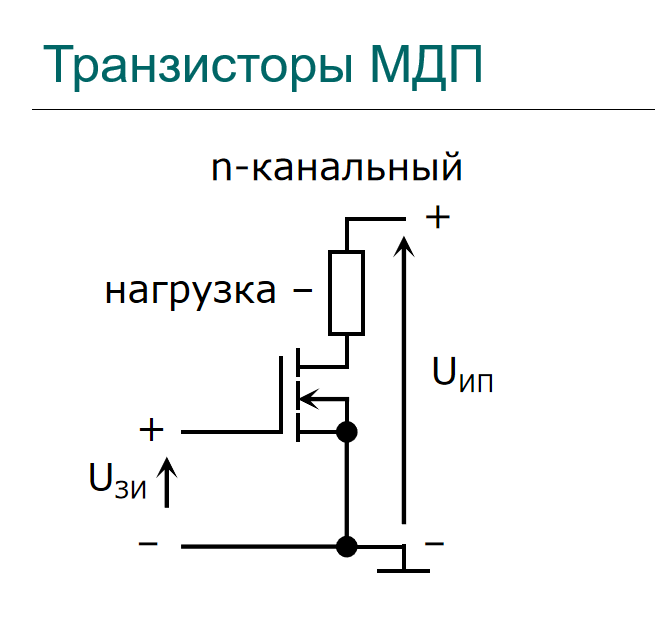
МДП - металл-диэлектрик-подложка



З - Затвор. Затвор является управляющим электродом, на него подают управляющее напряжение.

И - Исток. Исток аналогичен эмиттеру у биполярных транзисторов.

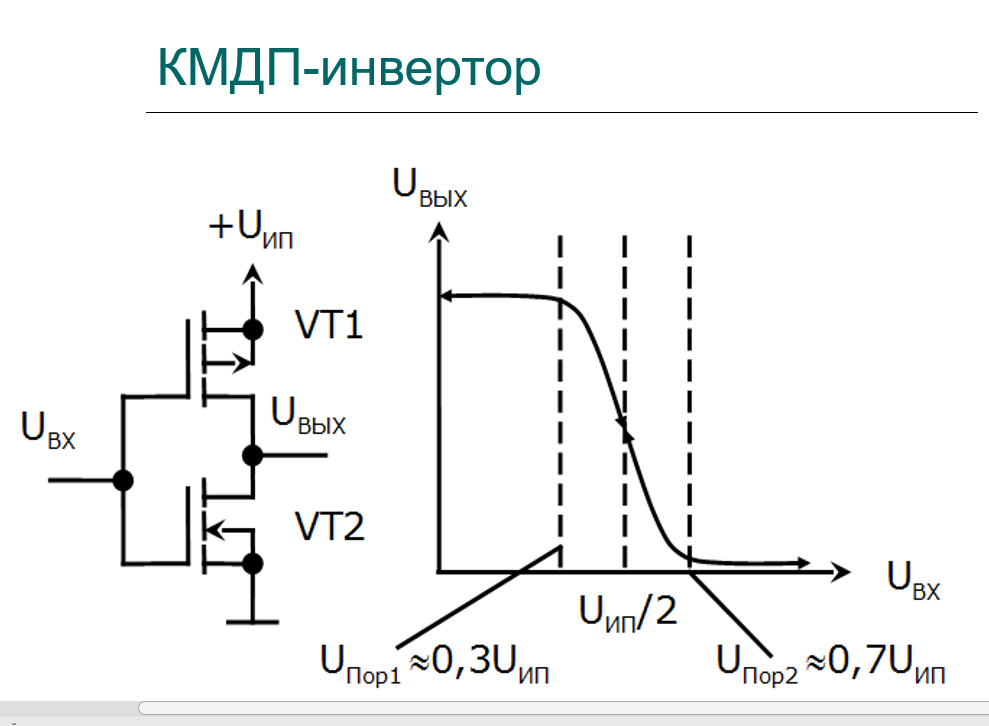
С - Сток.  Сток является выводом, с которого снимается выходной ток.



Ключи на МДП-транзисторах.

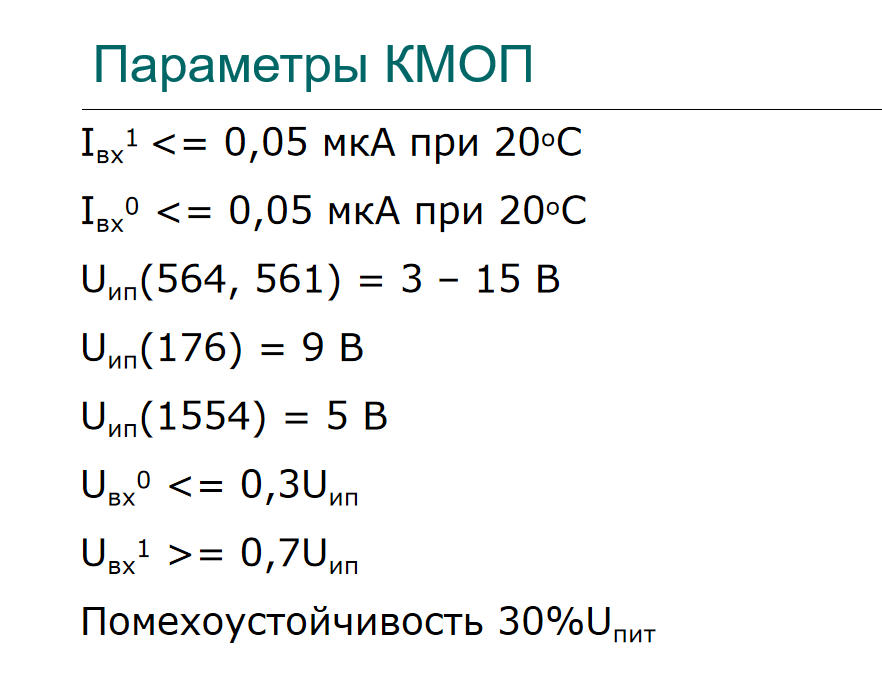


КМДП-Инвертор



Основные параметры КМДП ИС

Основными элементами микросхем на основе КМДП-технологии являются комплементарные полевые транзисторы с индуцированным каналом. Эти ИС характеризуются малым потреблением мощности в статическом режиме, большой помехозащищенностью по сравнению с ТТЛ. У КМДП ИС быстродействие существенно зависит от напряжения питания.



P.S. МОП и МДП почти одно и тоже, просто оксид - частный случай диэлектрика.

**22. Элементы ЭВМ. Классификация. Основные характеристики лог. элементов.**

**Элемент ЭВМ** – простейший в функциональном

смысле элемент, выполняющий какую-либо

элементарную функцию преобразования

сигналов.

**Узел ЭВМ** – совокупность функционально

связанных элементов.

*Узлы*, функционально связанные между собой,

образуют устройство (**блок**).

1. *S.На всякий случай добавлю из презентации про основные электронные элементы.*

***Основные электронные элементы и их свойства :***

*- резистор*

*- катушка индуктивности*

*- конденсатор*

*- диод*

*- транзистор*

**Классификация элементов ЭВМ:**

1. **По функциональному назначению**

•логические - преобразующие логическое

содержание информации;

•элементы памяти – осуществляющие хранение

информации в течение некоторого промежутка

времени;

•вспомогательные – преобразующие

электрические величины в электрические;

•специальные – преобразующие

неэлектрические величины в электрические и

наоборот.

1. **По физической реализации**

•полупроводниковые;

•магнитные;

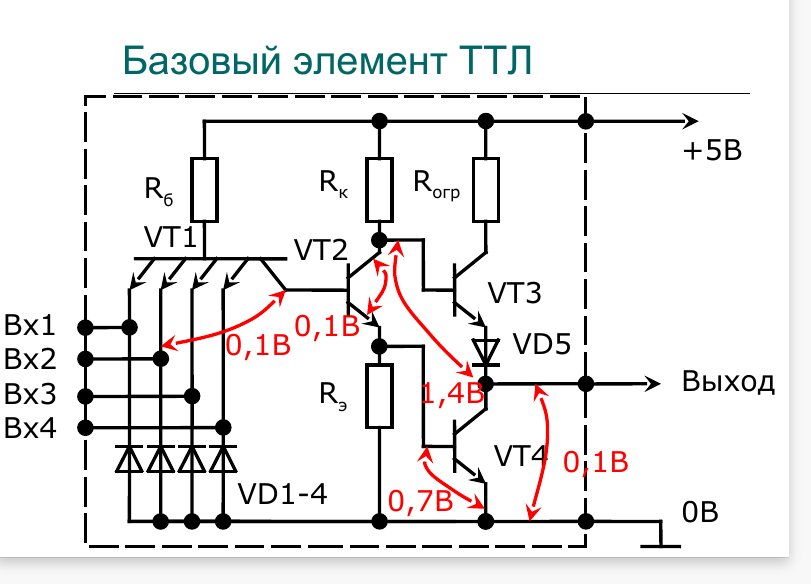
•оптические;

•электровакуумные;

И другие.

1. **По электрической схеме базового элемента**

•**ТТЛ** – транзисторно-транзисторная логика;



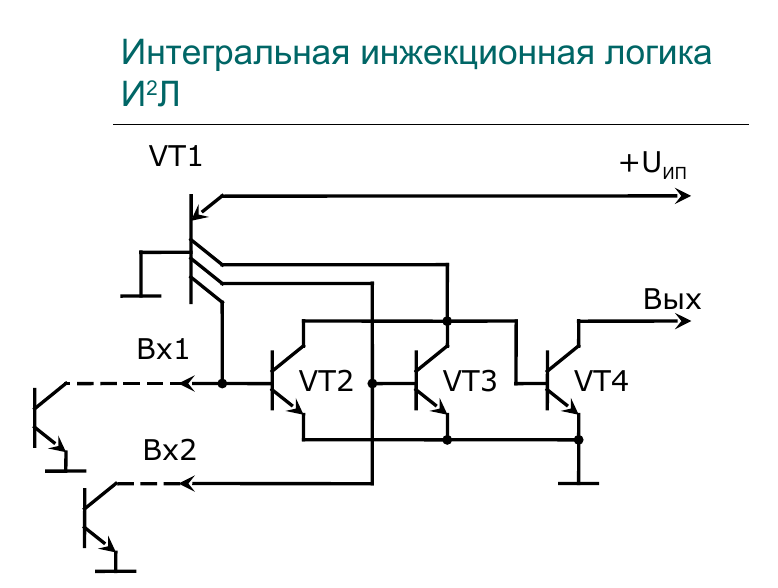
•**ТТЛШ** – ТТЛ с диодами Шоттки;

•**КМОП** – на комплементарных МОП-

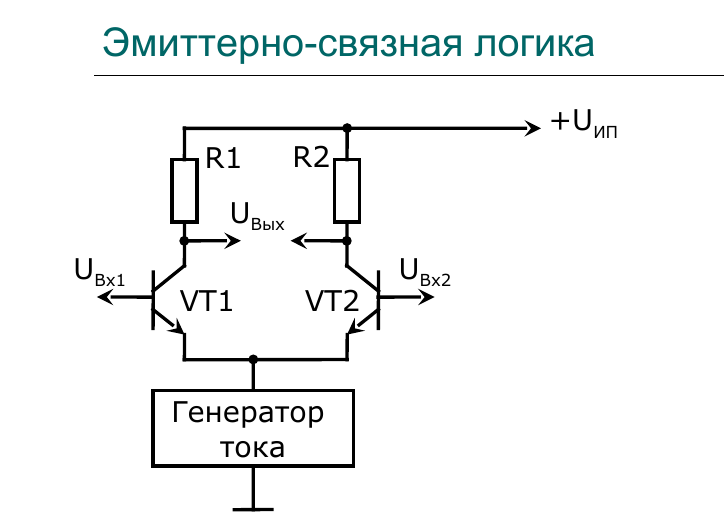
транзисторах;

МОП - Металл - Оксид - Полупроводник

•**И2Λ** – инжекционная логика;



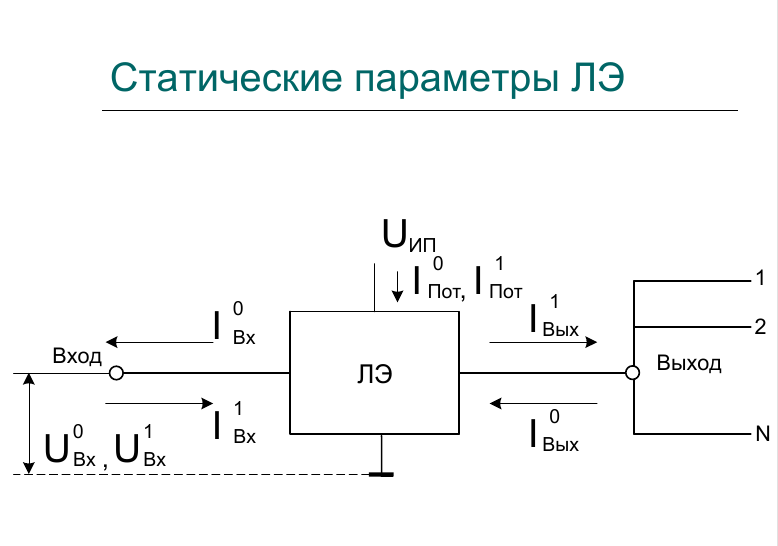
•**ЭСЛ** – эмиттерно-связная логика;

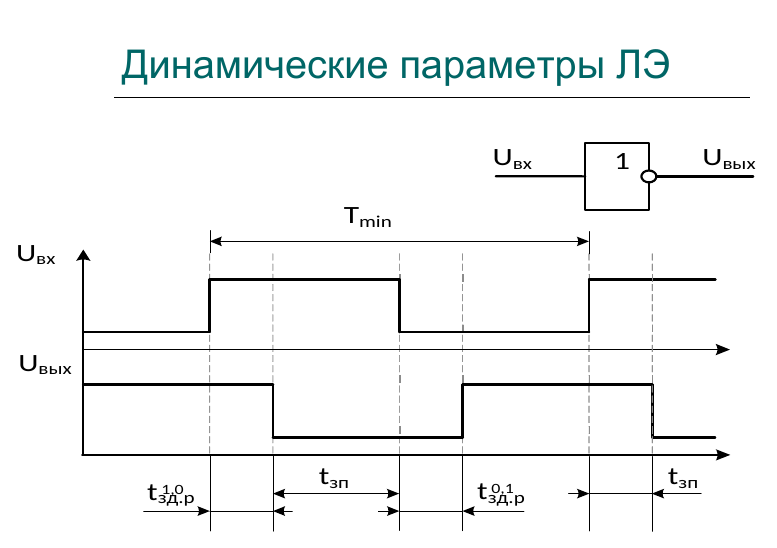


•ДТЛ, РТЛ, – Диодно-транзисторная логика, Резисторно- транзисторная логика

И другие.

**Основные характеристики лог. элементов.**







Основные характеристики:

- напряжение источника питания;

- уровни напряжений, соответствующие логическим нулю и единице;

- помехоустойчивость;

- потребляемая мощность;

- нагрузочная способность (N - коэф.разветвления) ;

- быстродействие (время задержки распростр. сигнала) ;

- энергия переключения.

**23. Триггеры. Классификация.**

Триггер — простейшее последовательностное устрой­ство, которое может находиться в одном из двух возмож­ных состояний и переходить из одного состояния в дру­гое под воздействием входных сигналов.

Триггер является базовым элементом последовательностных логических устройств. Триггеры нашли широкое распространение в вычислительной технике и составляют от 20 до 40% всего оборудования.

В качестве поясняющего символа для условного обозначения триггера применяют букву Т, которую помещают в верхней части основного поля графического обозначения.

Входы триггера разделяют на информационные и управляющие (вспомогательные). Это разделение в зна­чительной степени условно. Информационные входы используются для управления состоянием триггера. Управ­ляющие входы обычно используются для предварительной установки триггера в некоторое состояние и для синхро­низации.

**Классификация триггеров**

Триггеры классифицируют по различным признакам, поэтому существует достаточно большое число классифи­каций. К сожалению, эти классификации не образуют стройной системы, но инженеру необходимо их знать.

Триггеры классифицируют по следующим признакам:

• способу приема информации;

• принципу построения;

• функциональным возможностям.

По способу приема информации различают асинхронные и синхронные триггеры.

Асинхронный триггер изменяет свое состояние непо­средственно в момент появления соответствующего ин­формационного сигнала (рис.1.).

Синхронные триггеры реагируют на информационные сигналы только при наличии соответствующего сигнала на так называемом входе синхронизации С (от англ. clock). Этот вход также обозначают терминами «строб», «такт».

https://helpiks.org/helpiksorg/baza6/1408461233287.files/image008.jpg

Рис. 2. Синхронный RS - триггер

Синхронные триггеры в свою очередь подразделяют на триггеры со статическим (статические) и динамическим (динамические) управлением по входу синхронизации С. Статические триггеры воспринимают информационные сигналы при подаче на вход С логической единицы (пря­мой вход) или логического нуля (инверсный вход). Дина­мические триггеры воспринимают информационные сиг­налы при изменении (перепаде) сигнала на входе С от 0 к 1 (прямой динамический С-вход) или от 1 к 0 (инверсный динамический С-вход).

Статические триггеры в свою очередь подразделяют на одноступенчатые (однотактные) и двухступенчатые (двух­тактные). В одноступенчатом триггере имеется одна сту­пень запоминания информации, а в двухступенчатом — две такие ступени. Вначале информация записывается в первую ступень, а затем переписывается во вторую и по­является на выходе. Двухступенчатый триггер обозначают ТТ.

По функциональным возможностям триггеры разделя­ют на следующие классы:

• с раздельной установкой состояния 0 и 1 (RS - триггеры);

• универсальные (JK - триггеры);

• с приемом информации по одному входу D (D-триггеры, или триггеры задержки);

• со счетным входом Т (T - триггеры).

**RS триггеры**

Асинхронный RS триггер может быть реализован на двух элементах ИЛИ-НЕ или И-НЕ (рис. 3).

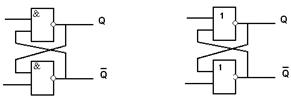


Рис.3. RS – триггеры на логических элементах

Одновременная подача сигналов на оба входа триггера на элементах ИЛИ-НЕ запрещена, так как после нее триггер оказывается в со­стоянии (1 или 0), предсказать которое заранее невозмож­но.

В асинхронном RS-триггере на элементах И-НЕ пере­ключение производится логическим «0», подаваемым на вход R или S. Запрещенная ком­бинация соответствует логическим «0» на обоих входах.

Синхронный RS-триггер, обозначаемый также буквами RST, имеет дополнительный С-вход (от англ. clock — часы), на который подают импульсы синхронизации. Синхронный триггер получают при подключении ко входу асинхронного RS-триггера двух дополнительных элементов «И».

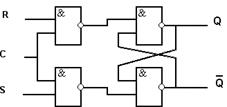


Рис.4. Синхронный RS – триггеры на логических элементах

Если на входе С — логический «0», то и на выходе верхнего входного элемента «И-НЕ», и на выходе нижнего будет ло­гическая «1». А это обеспечивает хранение информации. Таким образом, если на входе С — логический «0», то воздействие на входы R, S не приводит к изменению состояния триггера. Если же на вход синхронизации С подана логическая единица, то схема реаги­рует на входные сигналы точно так же, как и рассмотрен­ная ранее.

Синхронный RS триггер может изменять свое состояние в любой момент на интервале действия сигнала С=1. Такой триггер называют триггером со статическим входом синхронизации.

Наибольшее практическое распространение получили триггеры с динамическим (импульсным) входом синхронизации. Суть построения такого триггера заключается в обеспечении его переключения лишь на интервале изменения сигнала входа С, т. е. либо по фронту, либо по срезу импульса синхронизации. Такое решение позволяет значительно повысить надежность и помехозащищенность триггерных устройств, так как сводит к минимуму интервал, на котором возможна перезапись информации. Технически указанный режим работы достигается заменой дополнительных логических элементов, вспомогательными RS-триггерами (так называемая схема трех триггеров).

**JK-триггер**

JK-триггер (от англ. jump и keep), аналогичен RS-триггеру. Он имеет два информационных входа. Роль входов S и R играют соответственно входы J и K.



Рис. 5. JK – триггер

JK-тритгер имеет три входа: два информационных (J и K) и один синхронизирующий (С).

Отличие JK-триггера от RS-триггера заключается в том, что при наличии «1» на обоих входах (такая комбинация сигналов для JK-триггера не является запрещенной) его состояние переходит из предыдущего в последующее, т.е. если он находился в состоянии «0», то перейдет в состояние «1» и наоборот.

В остальном JK-триггер подобен RS-триггеру, причем роль входа S играет вход J, а роль входа R — вход К. ( JK - триггеры являются синхронными).

JK-триггер считается универсальным, на его базе путем ввода обратных связей можно получить другие виды триггеров.

Он легко реализуется на двух RST-триггерах с обратными связями.

**D-триггер**

D-триггер (от англ. delay— задержка), повторяет на своем выходе состояние входа и формирует выходной сигнал на Q-выходе с задержкой относительно управляющего воздействия на D-входе. Для этого его снабжают С-входом, возбуждение которого (статическое или импульсное) позволяет переключать триггер в состояние, соответствующее сигналу на D-входе.

Его можно образовать из любых RS- или JK-триггеров, если на их входы одновременно подавать взаимно инверсные сигналы. Хранение информации в D-триггерах обеспечивается за счет синхронизации, поэтому все реальные D-триггеры имеют два входа: информационный D и синхронизации С.

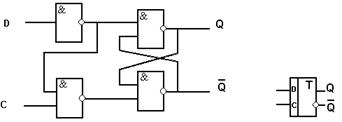


Рис 6. D - триггер

В этом триггере сигнал на входе по сигналу синхронизации записывается и передается на выход. Так как информация на выходе остается неизменной до при­хода очередного импульса синхронизации, D-триггер на­зывают также триггером с запоминанием информации или триггером-защелкой, триггером задержки. Триггер повторяет информационный сигнал только тогда, когда присутствует тактовый импульс «С» независимо от предыдущего состояния.

**Т-триггер**

Т-триггер (от англ. tumbler — опрокидыватель) изменяет свое логичес­кое состояние на противоположное по каждому активно­му сигналу на информационном входе Т.



Рис 7. Т - триггер

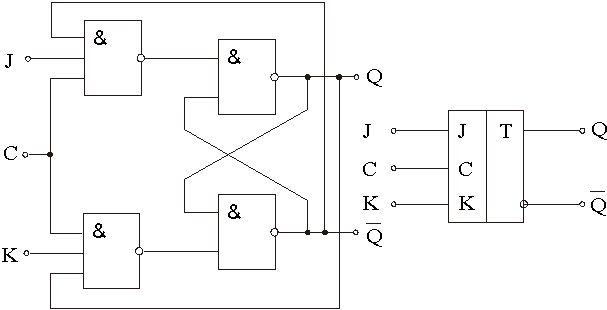
В этом триггере имеется один T-вход, при каждом воздействии на который (импульсом) происходит очередное переключение триггера из одного состояния в другое. Поэтому такой прибор именуют триггером со счетным входом (счет­ным триггером). Число переключений равно числу поступивших на вход импульсов.

Т.к. JK-триггер переходит в инверсное состояние каждый раз при одновременной подаче на оба входа логической 1, то на его основе можно создать Т-триггер, объединяя входы J и K.

Т-триггер находит широкое применение в счетчиках импульсов цифровых систем.

**24. Триггеры. JK триггер и его синтез. Синхронные JK и D триггеры**.

JK–триггер является одним из универсальных триггеров и имеет два информационных входа J и K. Для установки триггера в “1” необходимо подать синхроимпульс при наличии на входе J сигнала “1”, а на входе К – “0”. Поступление синхроимпульса при J = “0”, К = “1” приводит к переключению триггера в нулевое состояние.



 При одновременной подаче сигнала “1” на входы J и K по каждому синхроимпульсу JK–триггер изменяет свое состояние на противоположное, т.е. работает в счетном режиме.

JК-триггеры подразделяются на универсальные и комбинированные. Универсальный JК -триггер имеет два информационных входа J и К. По входу J триггер устанавливается в состояние Q = 1, https://www.kazedu.kz/images/referats/a53/159747/18.png= 0, а по входу К – в состояние Q = 0, https://www.kazedu.kz/images/referats/a53/159747/18.png = 1.

JК-триггер отличается от RS-триггера прежде всего тем, что в нем устранена неопределенность, которая возникает в RS-триггере при определенной комбинации входных сигналов.

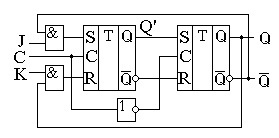
Универсальность JK-триггера состоит в том, что он может выполнять функции RS-, Т- и D-триггеров.

Комбинированный JК-триггер отличается от универсального наличием дополнительных асинхронных входов S и R для предварительной установки триггера в определенное состояние (логической 1 или 0).

Простейший JК-триггер можно получить из синхронного RS-триггера, если ввести дополнительные обратные связи с выходов триггера на входы, которые позволяют устранить неопределенность в таблице состояний. Если входы J, К и С объединить, то получим Т-триггер, который переключается каждым входным импульсом.

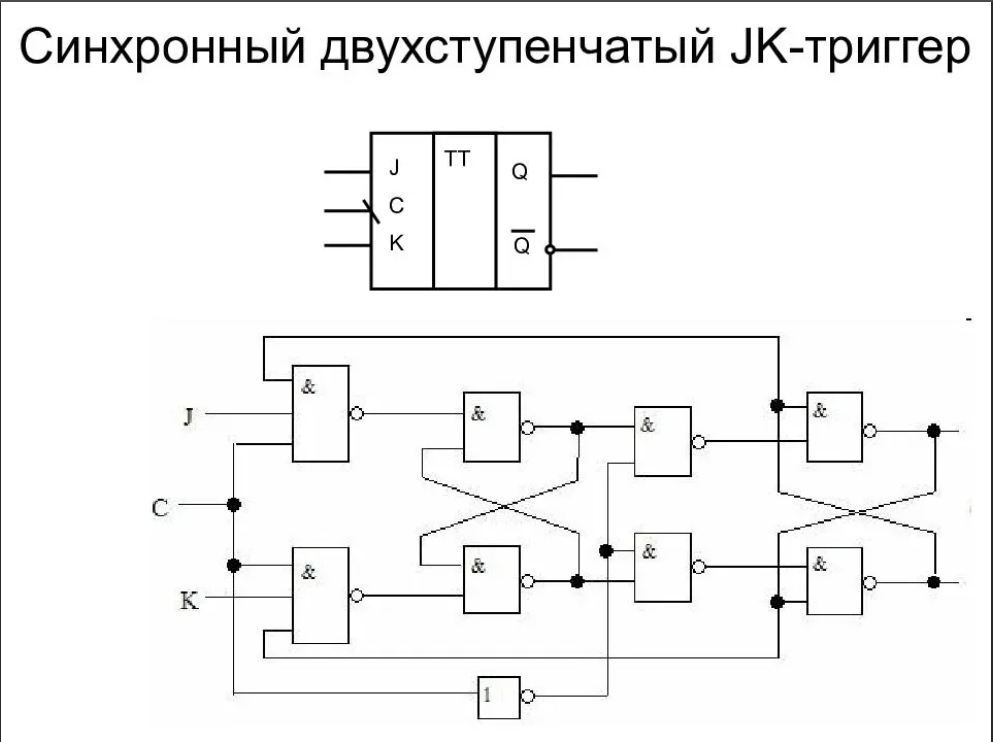
При входных сигналах J = К = 0 состояние триггера не изменяется, так как напряжение низкого уровня на одном входе элемента И-НЕ отменяет прохождение сигналов от других его входов и удерживает выходной сигнал на высоком уровне. Если на входы J и К подать взаимно противоположные уровни, то при подаче перепада напряжения на вход С выходы JК-триггера устанавливаются такие же состояния. При подаче на входы J и К одновременно напряжении высокого уровня триггер переключается в состояние, противоположное предыдущему, если на вход синхронизации С подать перепад напряжения.

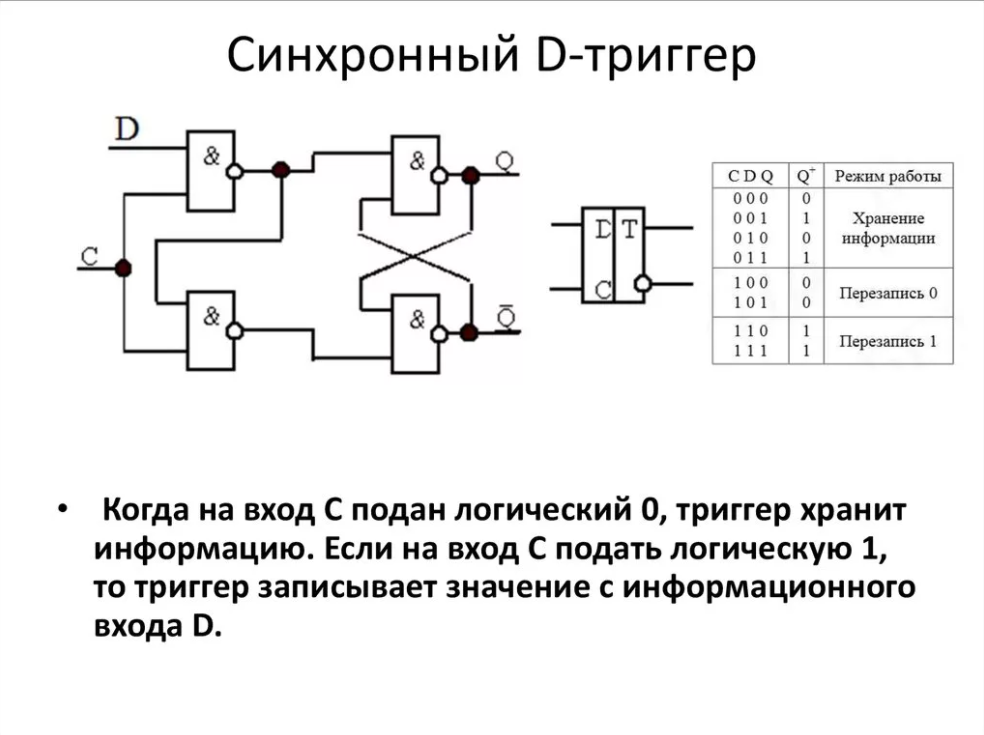
Один из вариантов внутренней схемы JK-триггера приведен на рисунке 1. Он построен по классической двухтактной схеме. Приведенная на рисунке 1 схема удобна для изучения принципов работы данного [триггера](https://digteh.ru/CVT/trigg/) в счетном режиме.

  
Рисунок 1. Внутренняя схема jk триггера

Для реализации счетного режима в схеме введена перекрестная обратная связь с выходов второго триггера на входы R и S первого триггера. Благодаря обратной связи на входах R и S первого триггера никогда не может возникнуть запрещенная комбинация, а то, что она перекрестная, вводит новый режим работы — счетный. При подаче на входы j и k логической единицы одновременно JK-триггер переходит в счетный режим, подобно T триггеру.

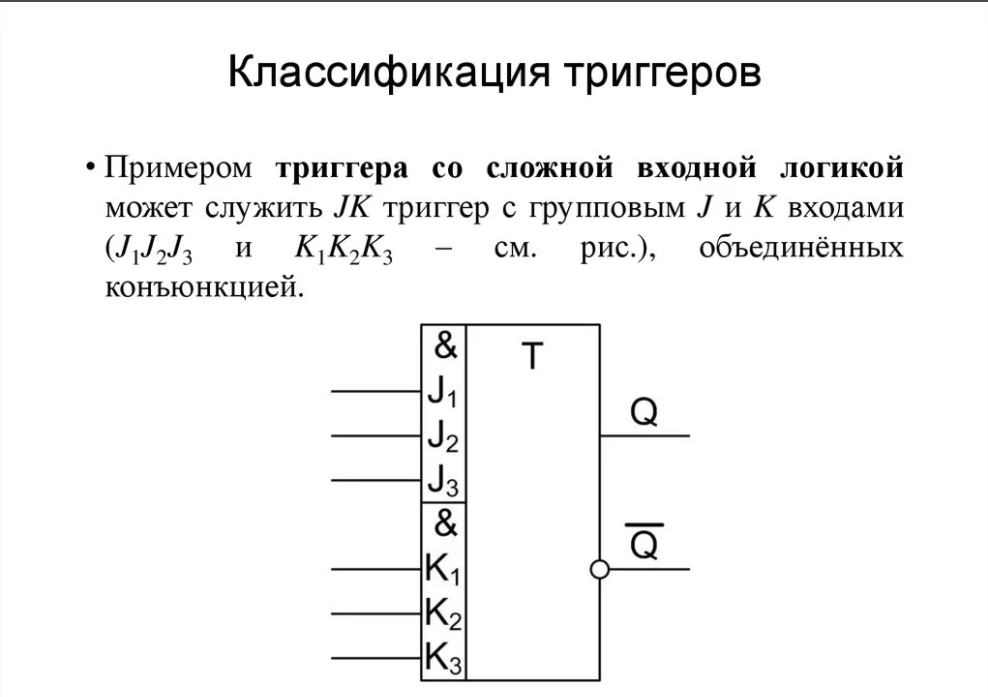
Синхронные триггеры срабатывают при наличии информационных сигналов в момент подачи сигнала синхронизации.

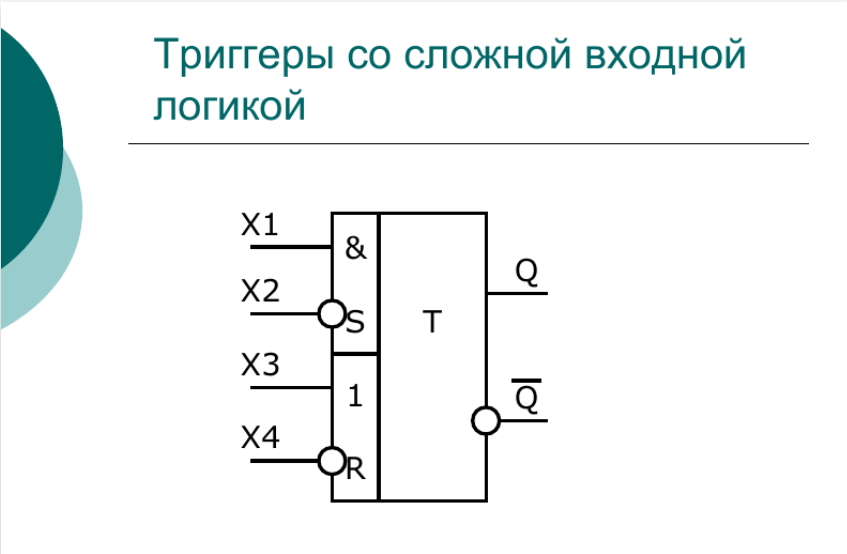
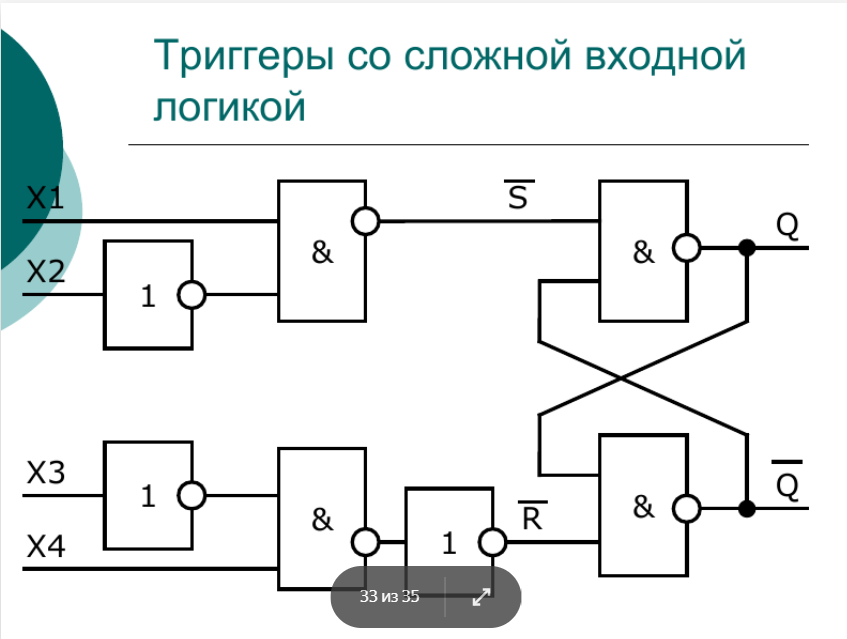




**25. Триггеры со сложной входной логикой.**

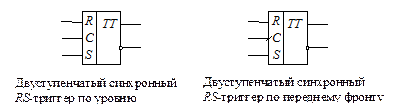
Триггеры со ложной входной логикой – триггеры с группами входов, связанных между собой логическими зависимостями.





**26. Двухступенчатые триггеры (RS, T, JK).**

Двухступенчатые триггеры имеют два элемента памяти, соединенные последовательно. Запись информации в них выполняется последовательно. Такая последовательность триггеров называется *MS*-структурой (Master-Slave (Мастер-Помощник)) или просто *MS*-триггерами. В условных обозначениях *MS*-триггеры обозначаются двумя буквами *ТТ* (рис.3.25).

 Рисунок 3.25 – Условные обозначения двухступенчатых *RS*-триггеров

Функциональные свойства схемы задаются первым триггером, а второй триггер, как правило, обычный синхронный *RS*-триггер. Двухступенчатые триггеры могут управлять двумя синхроимпульсами или одним.

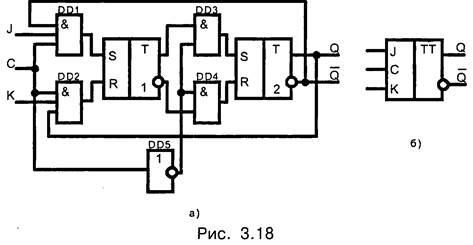
**JK-триггер**

JK-триггеры — это двухступенчатые универсальные синхронные триггеры. Универсальность заключается в том, что на их основе можно сделать любой другой тип логи­ческих триггеров *RS, D, Т.*Вход *J* аналогичен входу S уже рассмотренного RS- триггера, т.е. устанавливает в единичное состояние Q=1 при J=1.Вход *К* устанавливает JK-триггер в нулевое состояние, т. е. аналогичен входу *R:*Q = 0 при *К =* 1.

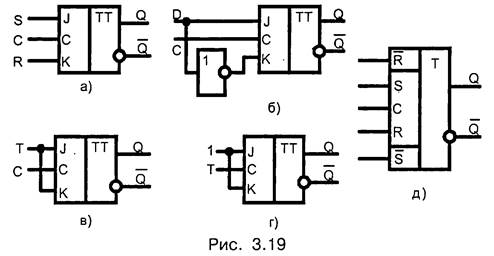
Отличие от RS-триггера заключается в том, что *JK-*триггер не имеет запрещенных входных комбинаций. Если на оба входа *J* и *К* подать активный логический уровень, то триггер перейдет в состояние, противоположное пре­дыдущему: *Qn+1=* 0, при *J = К =* 1.

Входной сигнал зависит не только от состояния вход­ных сигналов, но и от предыдущего состояния *JK-*тригге­ра.



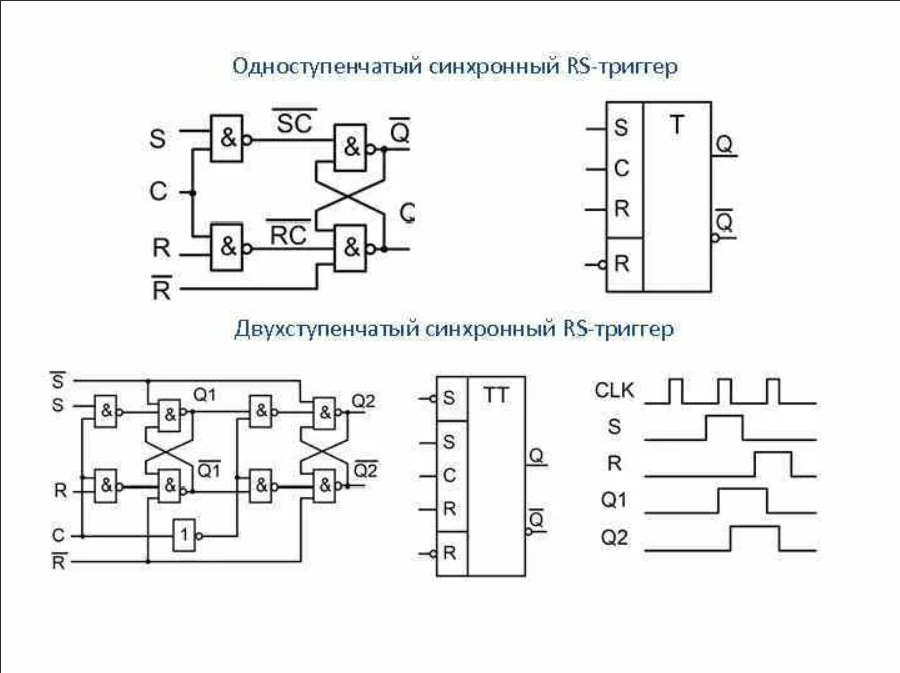


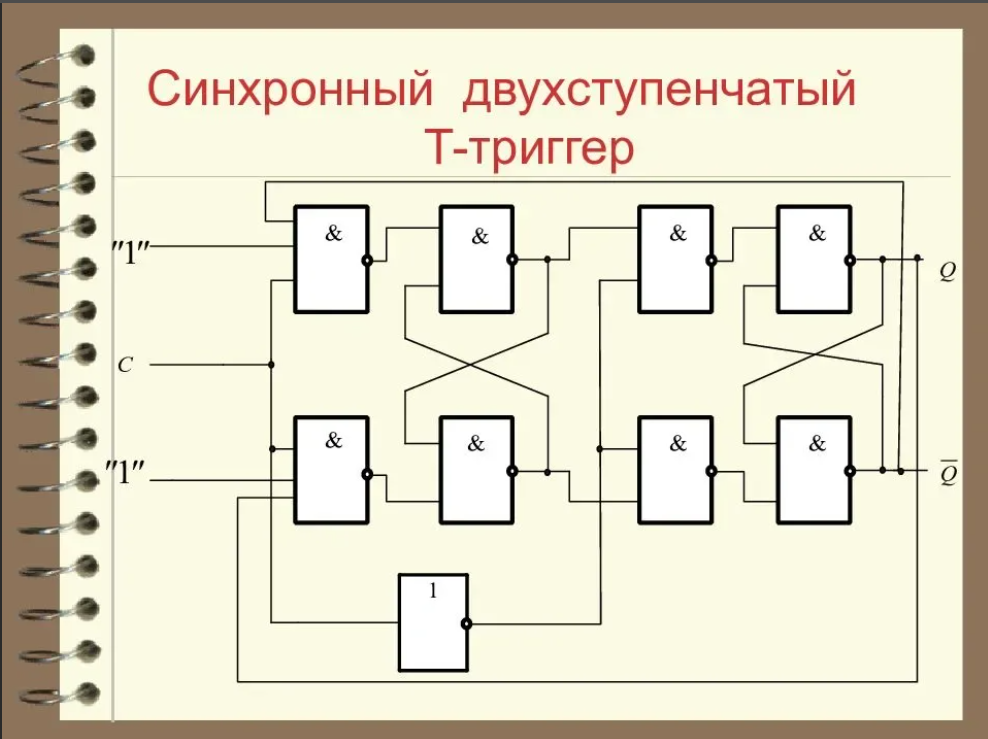
На основе JK-триггера может быть построен любой другой триггер (рис. 3.19). На рис. 3.19, а — синхронный RS-триггер, на рис. 3.19, б — D-триггер, на рис. 3.19, в — синхронный Т-триггер, на рис. 3.19, г — асинхронный Т-триггер.

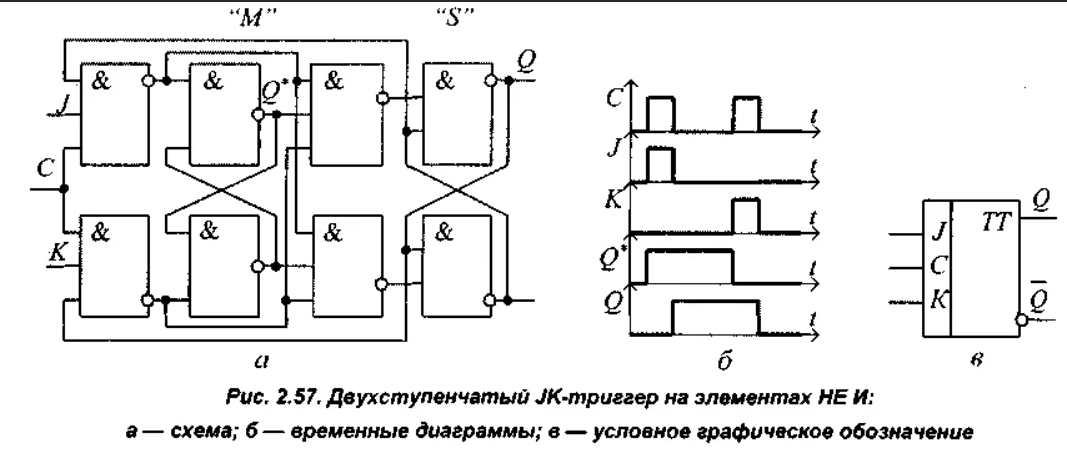


JK-триггер, как и другие типы триггеров, может допол­нительно иметь входы начальной установки (рис. 3.19, д), которые являются инверсными по отношению ко входам *J, К.*

*JK*-триггеры — это более сложные триггеры, содер­жат большее число элементов, поэтому потребляемая мощ­ность *Рпот* оказывается большой. Меры, принимаемые к уменьшению потребляемой мощности, нередко приводят к ухудшению частотных свойств. *JK-*триггер вследствие своей универсальности и отсутствия запрещенных комби­наций находит широкое применение в цифровой технике.







111.

|  |
| --- |
| Схемы сравнения на "больше" - "равно" - "меньше". Микросхема СП1. |
|  |

<https://intuit.ru/studies/courses/104/104/lecture/3037?page=5>

121.

|  |
| --- |
| Схемы сравнения на равенство: параллельная и последовательная. |
|  |

<https://cyberpedia.su/10x103b0.html>

<https://studopedia.su/10_79463_shemi-sravneniya.html>