

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ
ФЕДЕРАЦИИ
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Вятский государственный университет»
Факультет автоматики и вычислительной техники
Кафедра электронных вычислительных машин

ИЗУЧЕНИЕ ПРИНЦИПОВ ОРГАНИЗАЦИИ ПАМЯТИ

Отчет
Лабораторная работа №1 по дисциплине
«Организация памяти ЭВМ»

Выполнил студент группы ИВТ-31 _____/Кудяшев Я.Ю./
Проверил преподаватель _____/Мельцов В.Ю./

Киров 2022

1. Цель работы:

- Изучение принципов организации памяти и алгоритмов ее работы;
- Изучение основных режимов работы БИС памяти.

Задание:

1. Исследовать работу стеков типа LIFO и FIFO в режимах загрузки и чтения стека.

2. Составить подмикропрограммы операций загрузки данных в стек и извлечения из стека для варианта 3.

3. Для каждого стека выполнить последовательность следующих операций:

- запись 4-х чисел
- чтение 2-х чисел
- запись 2-х чисел
- чтение 3-х чисел
- запись пока стек не будет полон
- чтение пока стек не будет пуст.

4. Определить алгоритм работы стека и сформировать отчет.

2. Изучение стека типа LIFO

Исходные данные: LIFO с пост-инкрементом, глубина стека 10, BP = 02.

Окно микропрограммы LIFO:

№	Данные	~WR	~RD	CRI	SP+	SP-	~WR	~RD	CRI	WR+	RD+	Комментарии
00	01	1	1	1	0	0						RgDI=D PUSH
01	02	0	1	1	1	0						PUSH RgDI=D S++
02	03	0	1	1	1	0						PUSH RgDI=D S++
03	04	0	1	1	1	0						PUSH RgDI=D S++
04	05	0	1	1	1	0						PUSH RgDI=D S++
05	00	1	1	0	0	1						S--
06	00	1	0	0	0	1						POP S--
07	00	1	0	0	0	1						POP S--
08	00	1	1	0	1	0						S++
09	06	0	1	1	1	0						PUSH RgDI=D S++
0A	07	0	1	1	1	0						PUSH RgDI=D S++
0B	00	1	1	0	0	1						S--
0C	00	1	0	0	0	1						POP S--
0D	00	1	0	0	0	1						POP S--
0E	00	1	0	0	0	0						POP
0F	08	0	1	1	1	0						PUSH RgDI=D S++
10	08	0	1	1	1	0						PUSH RgDI=D S++
11	09	0	1	1	1	0						PUSH RgDI=D S++
12	10	0	1	1	1	0						PUSH RgDI=D S++
13	08	0	1	1	1	0						PUSH RgDI=D S++
14	09	0	1	1	1	0						PUSH RgDI=D S++
15	10	0	1	1	1	0						PUSH RgDI=D S++
16	09	0	1	1	1	0						PUSH RgDI=D S++
17	00	0	1	1	1	0						RgDI=D S++
18	00	1	1	0	0	1						S--
19	00	1	0	0	0	1						POP S--
1A	00	1	0	0	0	1						POP S--
1B	00	1	0	0	0	1						POP S--
1C	00	1	0	0	0	1						POP S--
1D	00	1	0	0	0	1						POP S--
1E	00	1	0	0	0	1						POP S--
1F	00	1	0	0	0	1						POP S--
20	00	1	0	0	0	1						POP S--
21	00	1	0	0	0	0						POP
22	00	1	1	0	0	1						POP S--
23	00	1	0	0	0	0						POP

Функциональная схема LIFO представленная на рисунке 1.
Граф-схема представлена на рисунке 3.

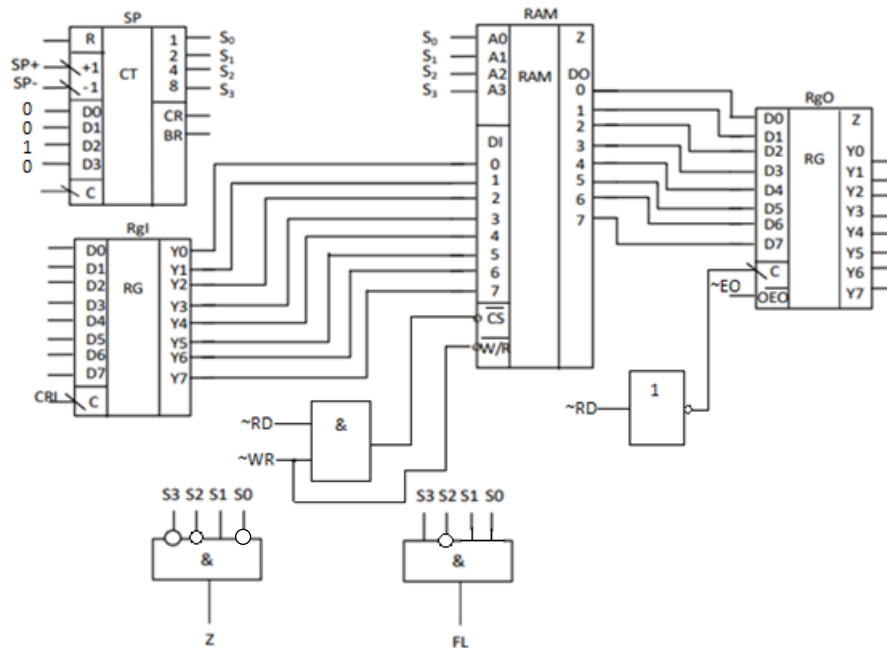


Рисунок 1 – функциональная схема LIFO

Осведомительные сигналы:

Z = 1 – стек пуст;
FL = 1 – стек полон.

Управляющие сигналы:

y0 – запись адреса в SP;
~EO – выдача данных с RgDO;
SP- – декремент SP;
SP+ – инкремент SP;
CRI – запись данных в RgDI;
~RD – чтение из памяти;
~WR – запись в память;

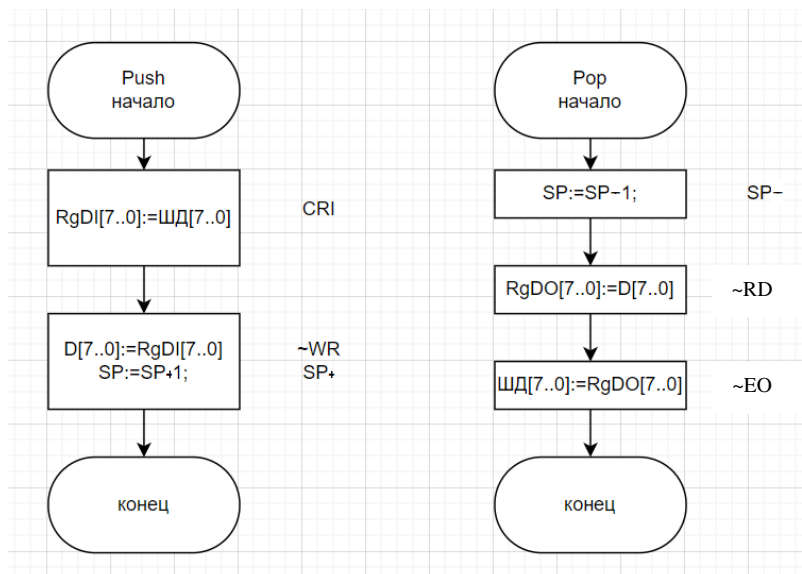
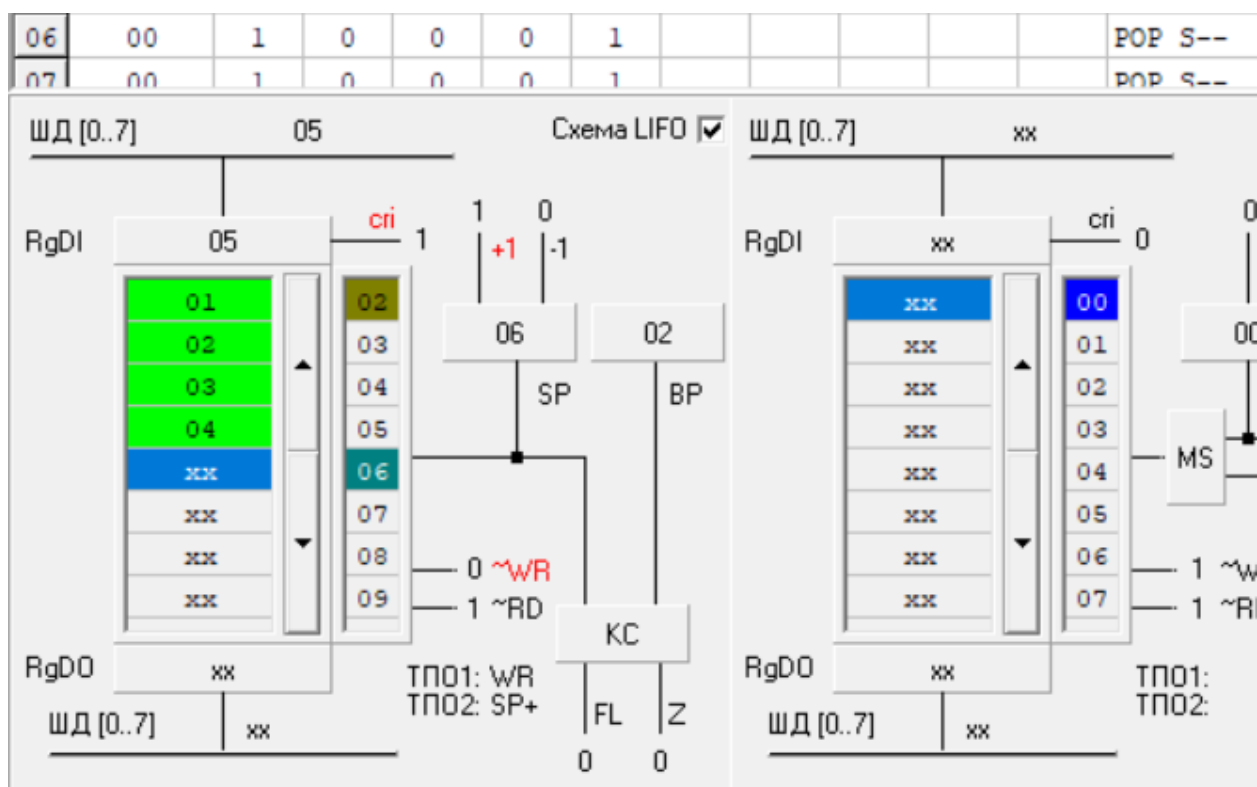


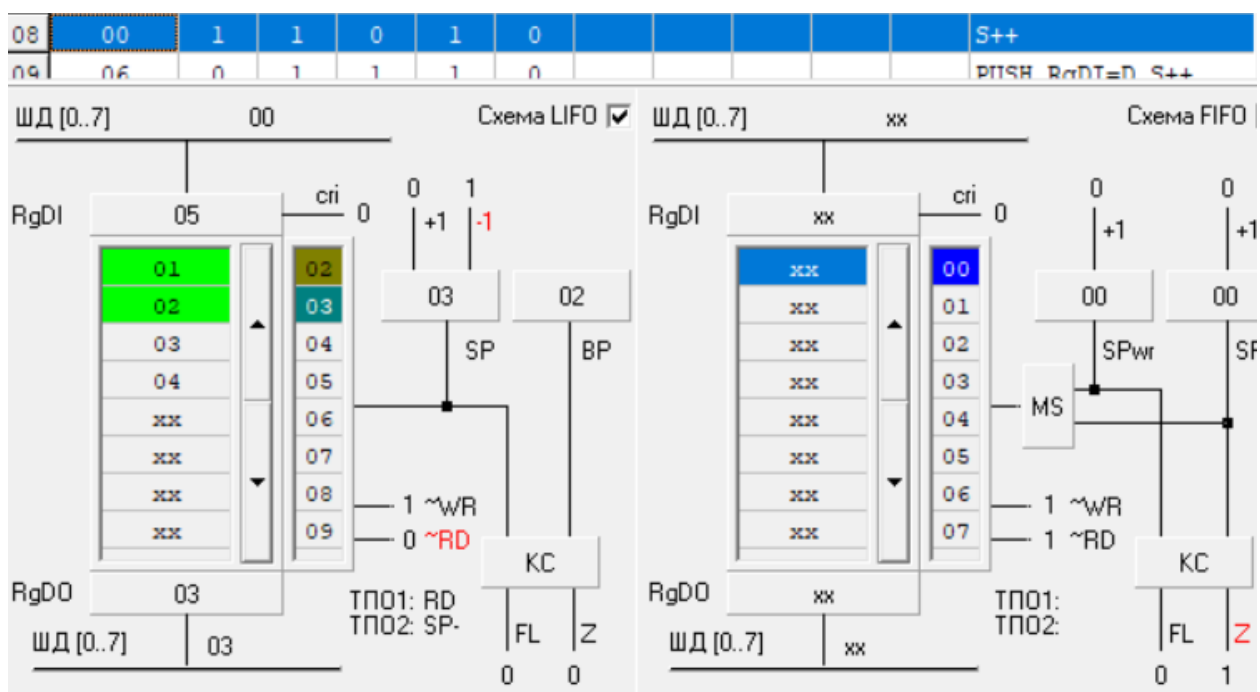
Рис 2. - ГСА записи в стек и чтения из стека LIFO

Экранные формы:

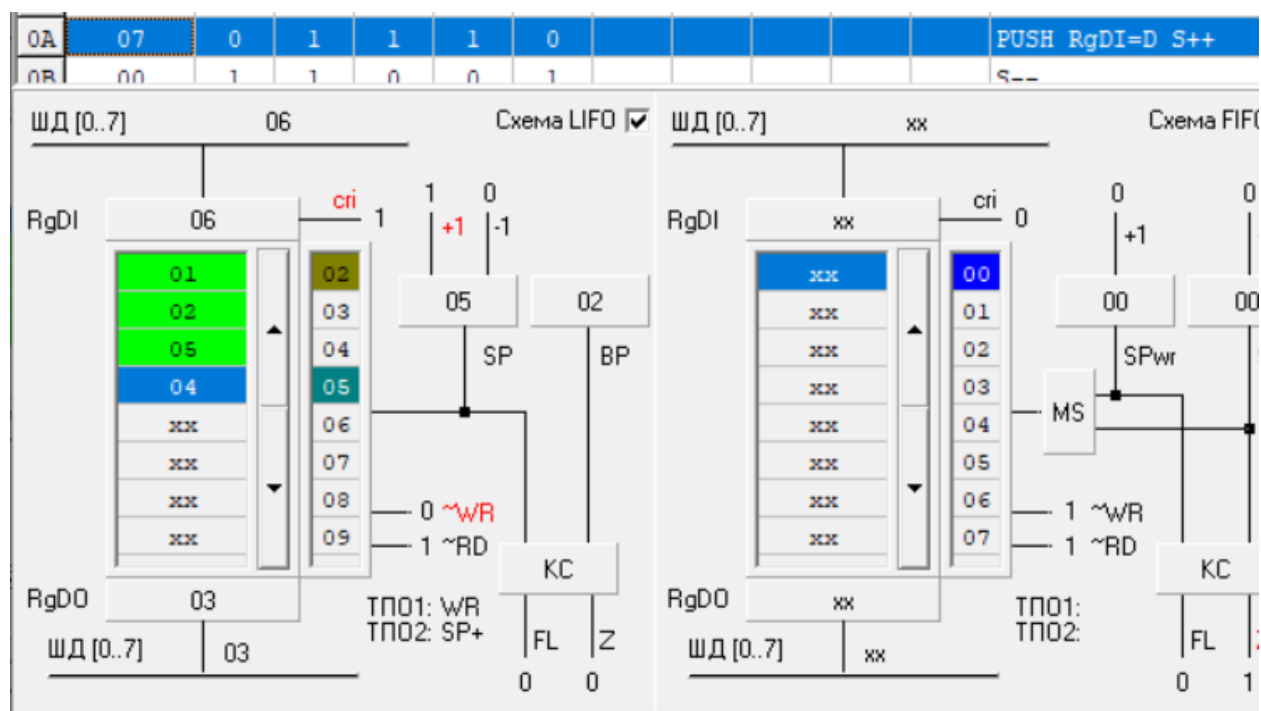
Запись 4-х чисел



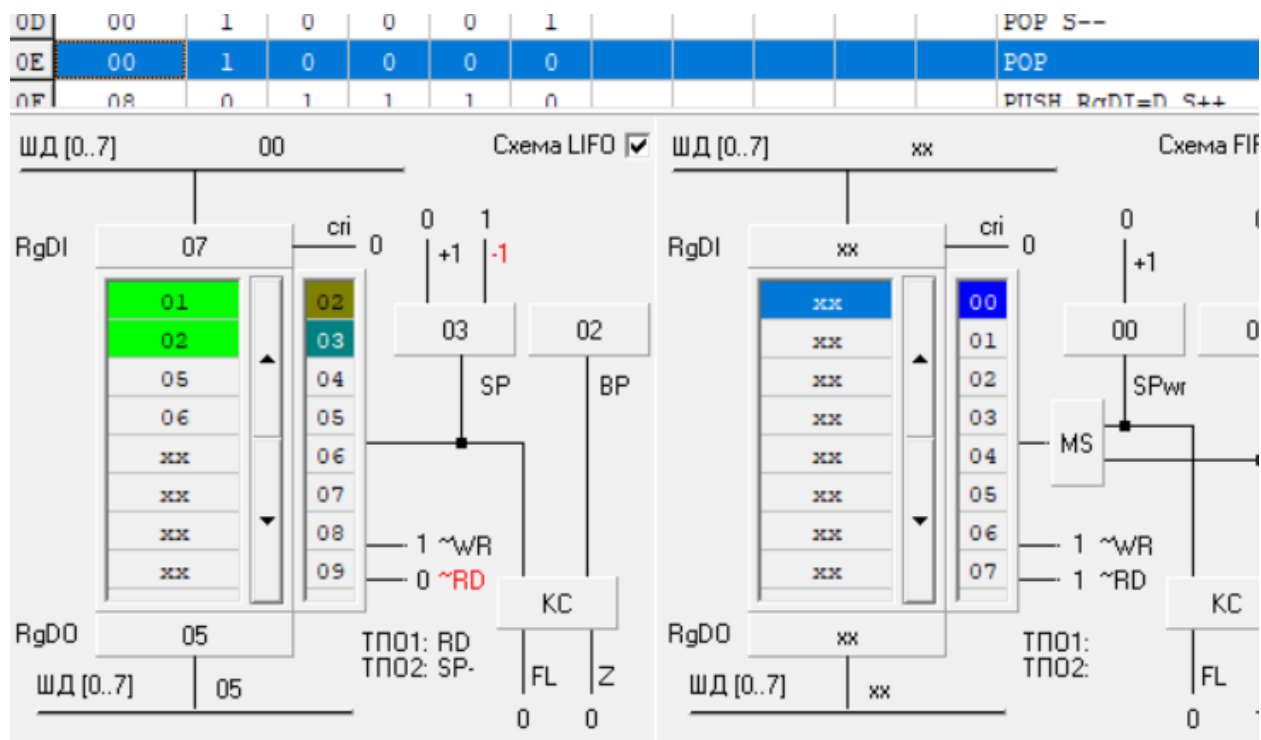
Чтение 2-х чисел



Запись 2-х чисел



Чтение 3-х чисел



3. Изучение стека типа FIFO

Исходные данные: FIFO с пост-инкрементом, BP = 2; глубина стека 9.

Окно микропрограммы FIFO:

25	10						1	1	1	0	0	RgDI=D
26	11						0	1	1	1	0	PUSH RgDI=D S++
27	12						0	1	1	1	0	PUSH RgDI=D S++
28	13						0	1	1	1	0	PUSH RgDI=D S++
29	14						0	1	1	1	0	PUSH RgDI=D S++
2A	00						1	0	0	0	1	POP RD++
2B	00						1	0	0	0	1	POP RD++
2C	13						0	1	1	1	0	PUSH RgDI=D S++
2D	14						0	1	1	1	0	PUSH RgDI=D S++
2E	00						1	0	0	0	1	POP RD++
2F	00						1	0	0	0	1	POP RD++
30	00						1	0	0	0	1	POP RD++
31	13						0	1	1	1	0	PUSH RgDI=D S++
32	13						0	1	1	1	0	PUSH RgDI=D S++
33	13						0	1	1	1	0	PUSH RgDI=D S++
34	13						0	1	1	1	0	PUSH RgDI=D S++
35	13						0	1	1	1	0	PUSH RgDI=D S++
36	13						0	1	1	1	0	PUSH RgDI=D S++
37	13						0	1	1	1	0	PUSH RgDI=D S++
38	13						0	1	1	1	0	PUSH RgDI=D S++
39	00						1	0	0	0	1	POP RD++
3A	00						1	0	0	0	1	POP RD++
3B	00						1	0	0	0	1	POP RD++
3C	00						1	0	0	0	1	POP RD++
3D	00						1	0	0	0	1	POP RD++
3E	00						1	0	0	0	1	POP RD++
3F	00						1	0	0	0	1	POP RD++
40	00						1	0	0	0	1	POP RD++
41	00						1	0	0	0	1	POP RD++
42	00						1	1	1	0	0	RgDI=00
43	00						0	1	0	1	0	PUSH WR++
44	00						0	1	0	1	0	PUSH WR++
45	00						0	1	0	1	0	PUSH WR++
46	00						0	1	0	1	0	PUSH WR++
47	00						1	0	1	0	1	POP RD++
48	00						1	0	1	0	1	POP RD++
49	00						1	0	1	0	1	POP RD++
4A	00						1	0	1	0	1	POP RD++

Функциональная схема FIFO представленная на рисунке 2.

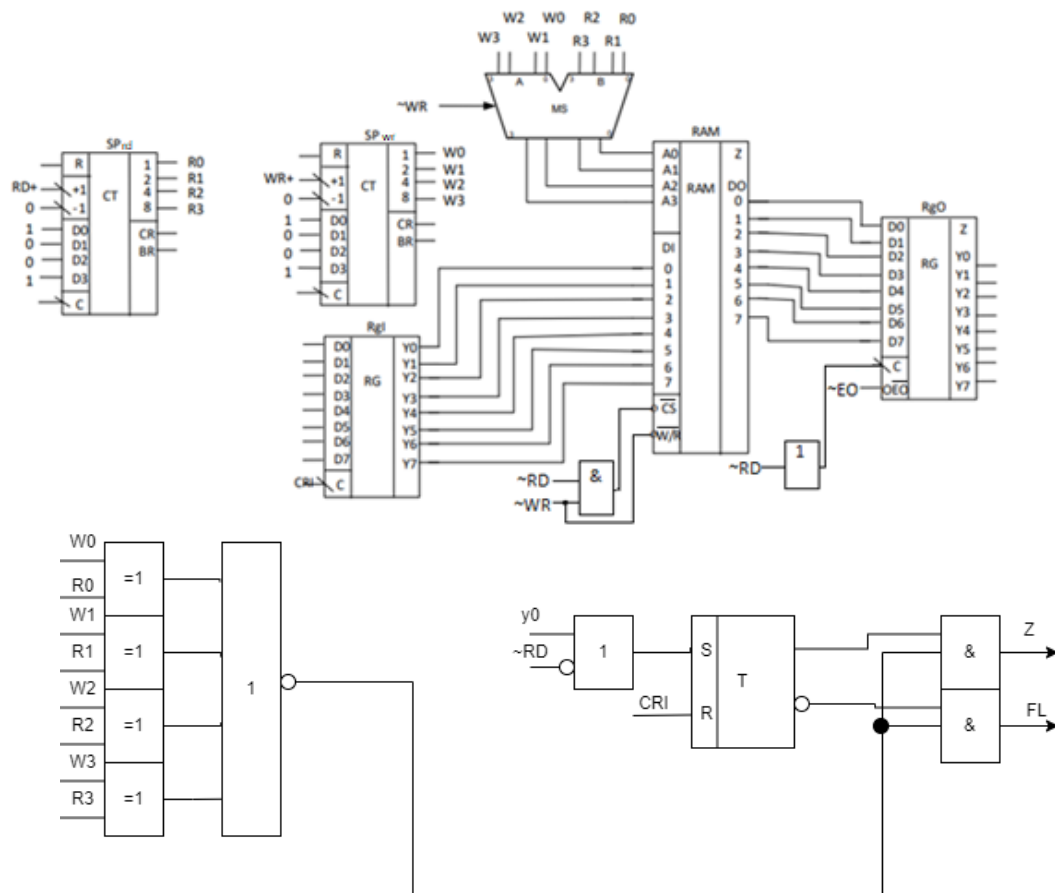


Рисунок 2 – функциональная схема FIFO

Осведомительные сигналы:

Z = 1 – стек пуст;

FL = 1 – стек полон.

Управляющие сигналы:

y0 – запись адреса в SP;

~EO – выдача данных с RgDO;

WR+ – инкремент SPwr;

RD+ – инкремент SPprd;

CRI – запись данных в RgDI;

~RD – чтение из памяти;

~WR – запись в память;

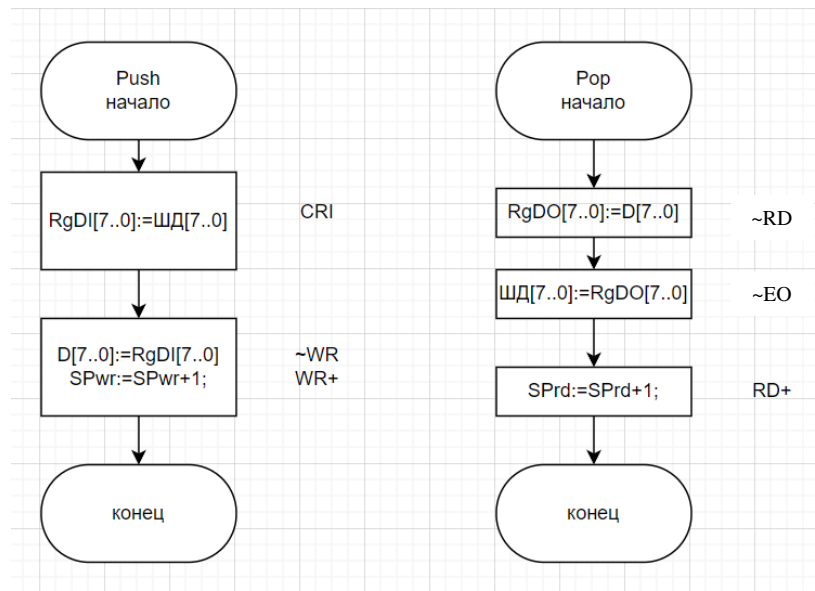
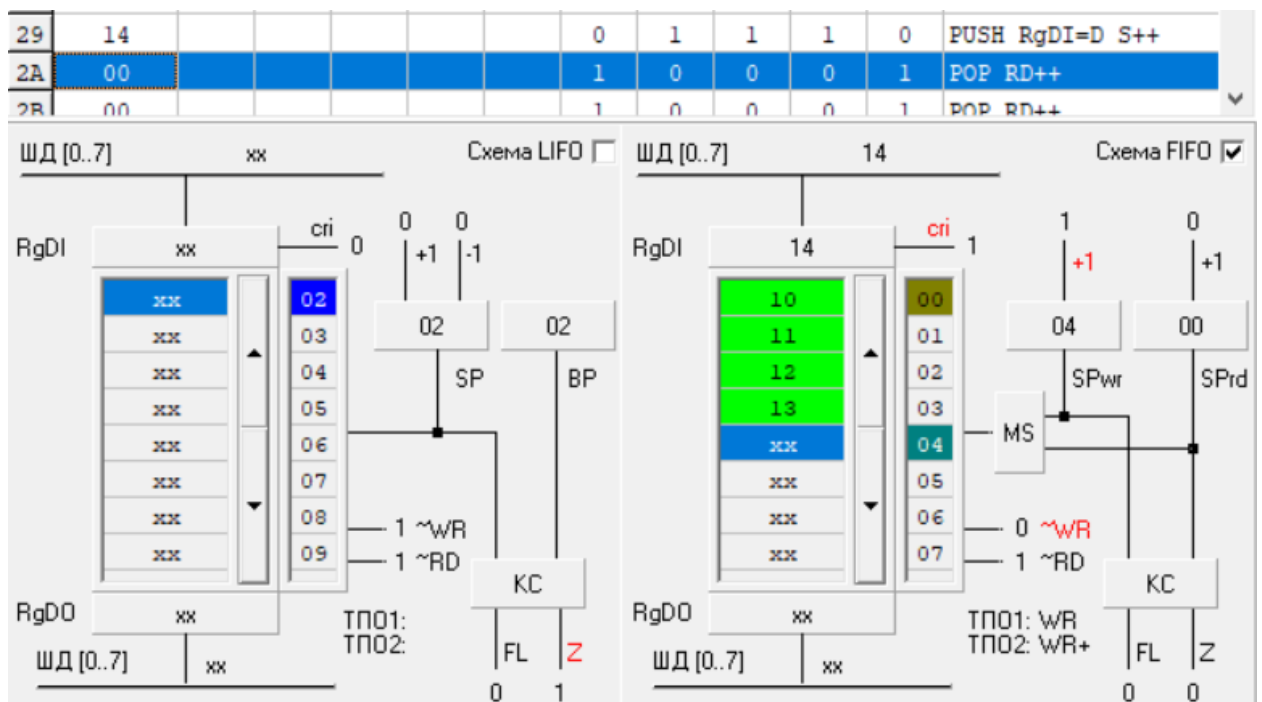


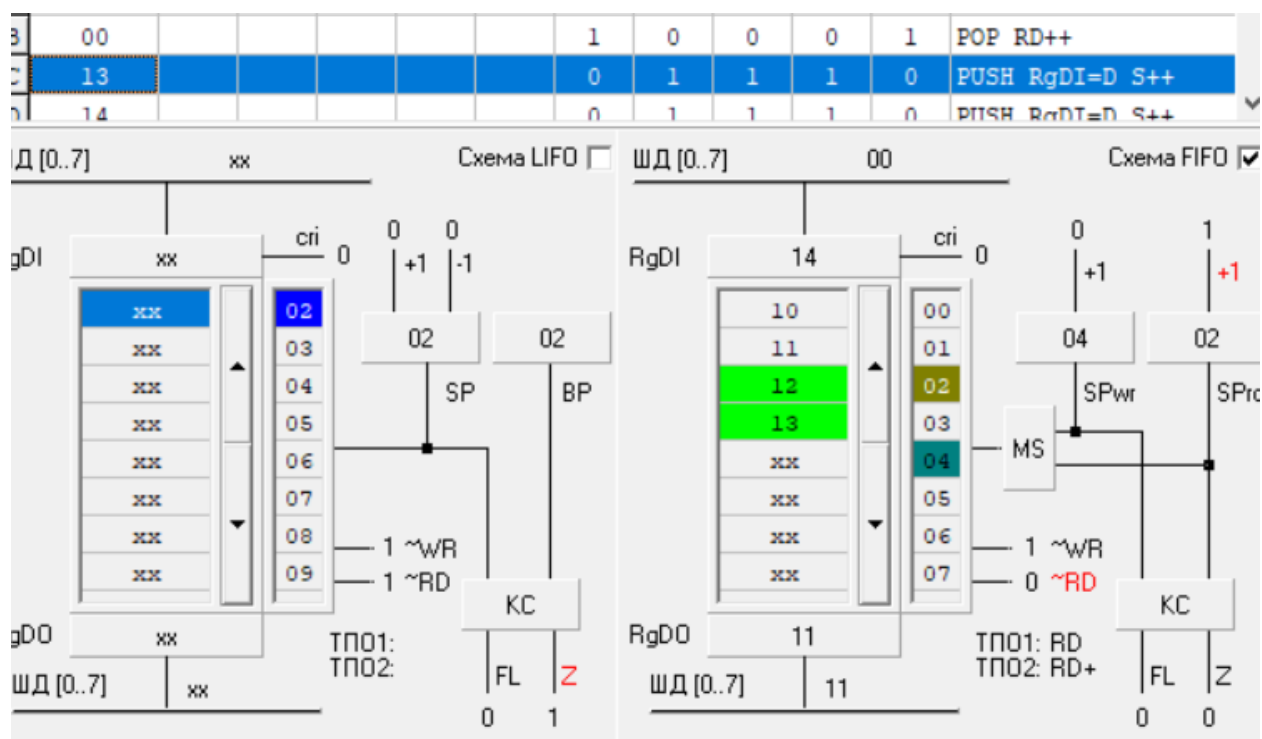
Рис 6. - ГСА записи в стек и чтения из стека FIFO

Экранные формы:

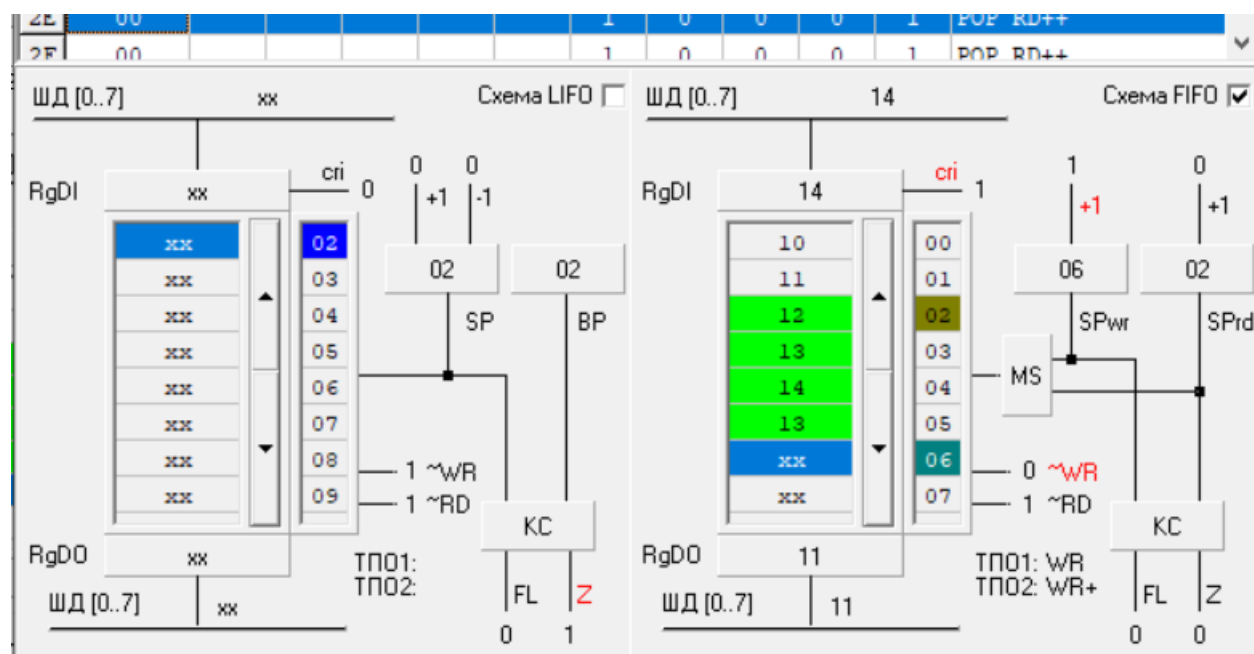
Запись 4-х чисел



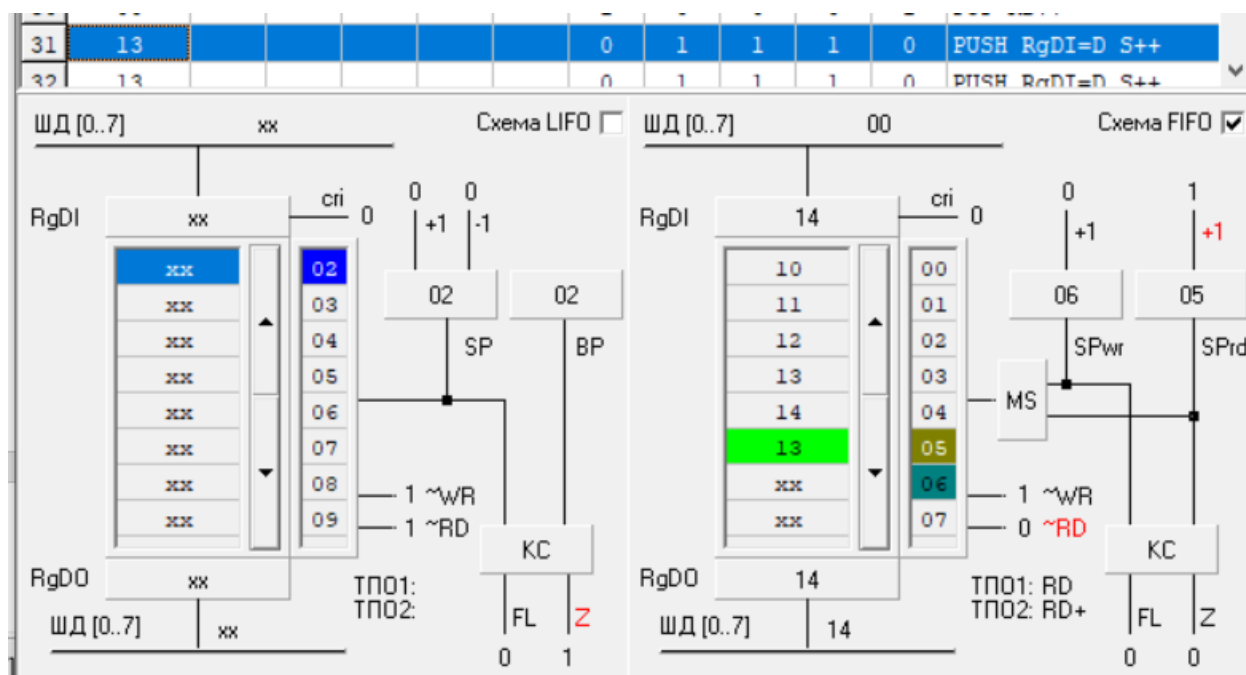
Чтение 2-х чисел



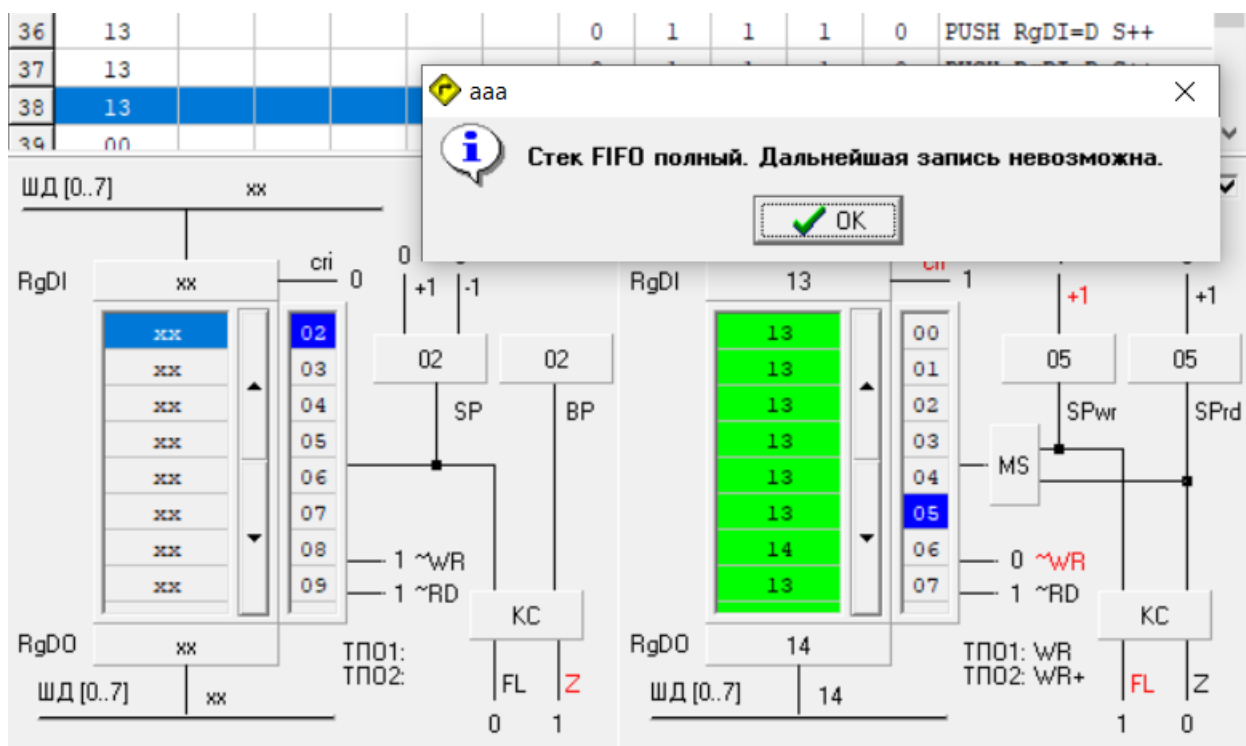
Запись 2-х чисел



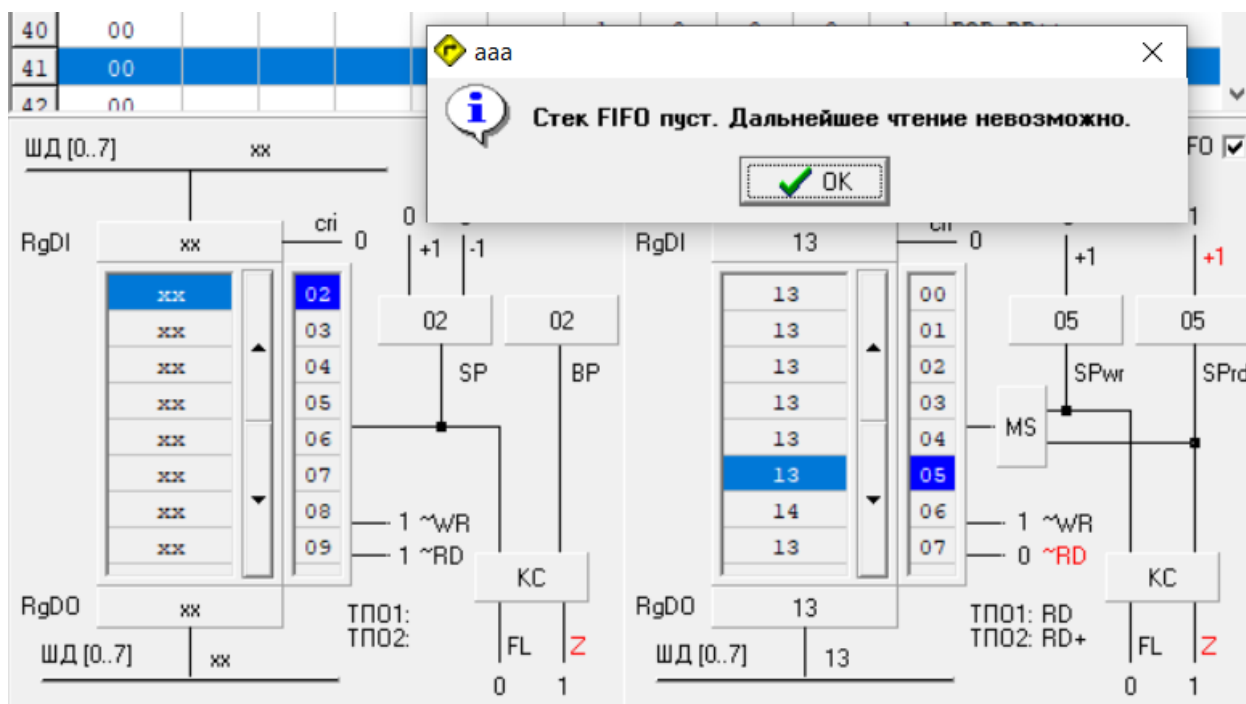
Чтение 3-х чисел



Запись до переполнения стека



Чтение до опустошения стека



4. Вывод

При выполнении лабораторной работы были исследованы основные принципы работы некоторых видов ЗУ: стеки LIFO и FIFO.

Стеки LIFO и FIFO конструктивно наиболее просты. Главный их недостаток в том, что нельзя обратиться к произвольной ячейке памяти, так как для адресации используются счетчики.