

9941111 - 9941047

بیاضی گیت ها xor - or - and

بیاضی گیت ها Full adder - half adder

در صورت اول از این بیاضی گیت ها xor و and و or و and VHD بر اساس آنکه ابتدا در Entity هر یک از اینها در در A و B و خروجی را تعریف و در Architecture به صورت گیت ها تعریف می کنند.

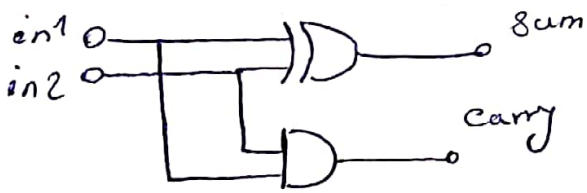
$$\text{or } A \Rightarrow B \Rightarrow C \quad C = A \text{ or } B$$

$$\text{and } A \Rightarrow B \Rightarrow C \quad C = A \text{ and } B$$

$$\text{xor } A \Rightarrow B \Rightarrow C \quad C = A \text{ xor } B$$

در صورت دوم از این بیاضی گیت ها half adder را می کشیم. طبق سطرهای زیر که ما در جدول در نظر می گیریم. half adder گیت ها xor و and گیت ها است پس بیاضی گیت ها که از اینها که در صورت قبل درست کردیم در اینجا استفاده می کنیم. در VHD برای اینکار باید از Component استفاده کنیم.

به این صورت که keyword Component را می نویسیم و بعد اسم فایل گیت که می خواهیم و بعد port ها و در داخل می زنیم و در خروجی های گیت را می نویسیم مثل قطعه که در زیر برای گیت xor هست.



in1	in2	carry	sum
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

بدان instance کردن در صورت

xor و and در صورت begin و End (در این بلاک structural)

Component xor-gate is

port ( A, B : in std-logic;  
e : out std-logic  
);

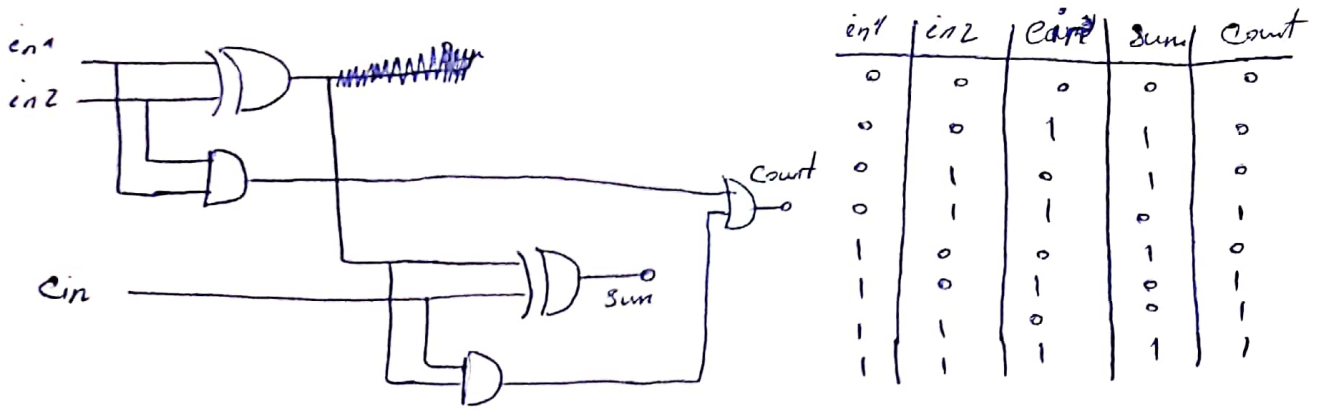
End Component xor-gate;

از این گیت ها می سازیم و با port map و در خروجی کوپد و از اینها استفاده می کنیم

در قسمت سوم از ما خواسته شد تا یک Full adder را بسازیم.

Full adder یک جمع کننده است که سه بیت  $in1$  و  $in2$  و  $Cin$  را میگیرد و با استفاده از دو half adder

و یک گیت OR خروجی ها که  $Sum$  و  $Carry$  هستند تولید می کند. نمودار مدار بعد از آن به صورت زیر است:



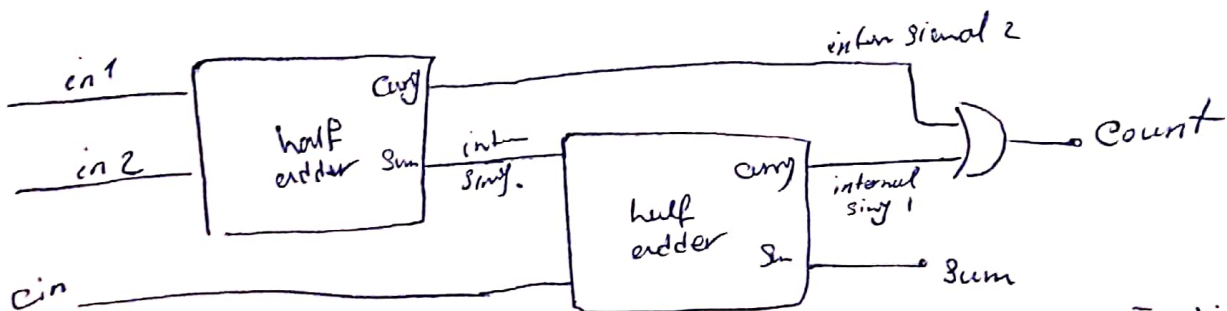
از آنجایی که ما در قسمت قبل half adder را طراحی کردیم، در اینجا Full adder را با استفاده از دو half adder و یک گیت OR که در قسمت اول طراحی کردیم می توانیم بسازیم. پس ما در قسمت قبل بعد از مشخص کردن Entity

Full adder که در آن ورودی ها و خروجی ها  $(in1, in2, cin: in, Sum, Count, out)$  را مشخص کردیم در قسمت Architecture

مکانیسم half adder و or را به صورت Component تعریف کنیم و بعد در یک بلوک End structure, begin

دو half adder و یک گیت OR را instance کنیم، به صورت ایندیکس نام تعیین کرده و بعد اسم ماژول که می خواهیم

در زیر بنام port map و در هر خروجی ها که آن نامش تعیین کنیم. مدار Full adder با استفاده از دو half adder به صورت زیر:



به حتماً حتماً این قسمت در در بعضی از نت ها که ما بالا می آوریم، یک سیستم داریم که استاندارد از یکدست half adder ها را می بینیم و در اینجا می بینیم که استاندارد برای این کلمات، signal، key word

و این به سمت ما به صورت یک گیت تعریف کردیم