

Lucrarea 1

1. Să se proiecteze, implementeze și simuleze în Verilog un **MUX 8:1** folosind o **implementare structurală**.
2. Să se proiecteze, implementeze și simuleze în Verilog un **registru multifuncțional** 4 biti care are:
 - a. O intrare de date pe 4 biți
 - b. O intrare de ceas
 - c. O intrare RESET tratata asincron
 - d. O intrare EN – semnal activ presupune încărcarea valorii de pe intrarea registrului
 - e. O intrare INC – care odată activată incrementează valoarea registrului cu 1
 - f. O intrare DEC – care odată activată decrementează valoarea registrului cu 1
 - g. O intrare SHL – care odată activată deplasează la stânga valoarea registrului cu 1 bit
 - h. O intrare SHR – care odată deplasează la dreapta valoarea registrului cu 1 bit
 - i. O ieșire pe 4 biți
3. Să se proiecteze, implementeze și simuleze un circuit care realizează în **bandă de asamblare** operația: $(a / b) * (c / d) - e / f$. Se va considera că operația de împărțire se execută în 20ns, operația de înmulțire se execută în 15ns și operația de adunare se execută în 10ns.