

## باسمه تعالی

اعضای گروه: زهرا مومنی نژاد، یاسمین مدنی

### گزارش کار شماره 7

در این آزمایش از ما خواسته شده است که کد حافظه فیفو به روش ساختاری با استفاده از یک حافظه ی رم و یک سیستم کنترل کننده بزنیم و جهت تست مثالی را نوشته و بعد آن را ران کرده و ضمن بررسی درست بودن خروجی اسکرین شکل موج آن را نیز قرار دهیم.

با توجه به توضیحات تکمیلی در سایت ها ابتدا حافظه و نحوه انجام فیفو بررسی کردیم و اطلاعاتی در مورد خود آن و نحوه پیاده سازی آن در حافظه و حواشی اتصال آن کسب کردیم.

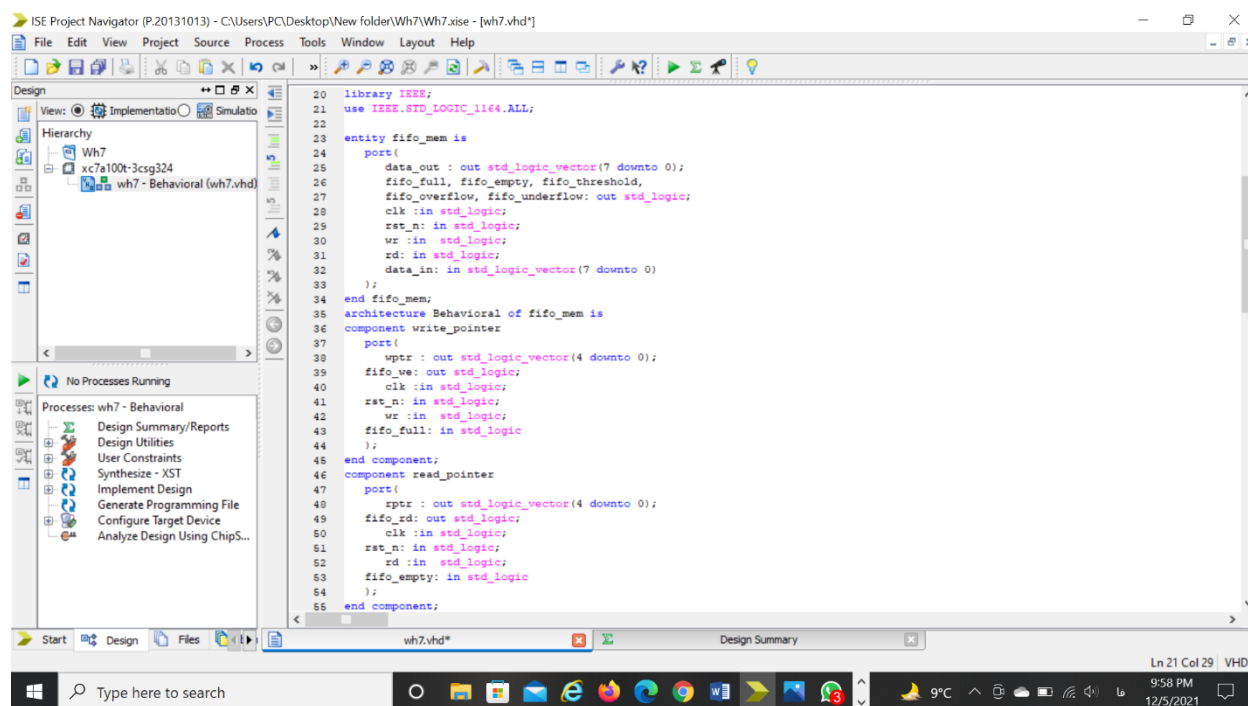
چندین روش برای پیاده سازی مسئله وجود دارد

برای مثال کد زیر یکی از بخش های یکی از روش ها می باشد که می توانیم از آن استفاده کنیم:

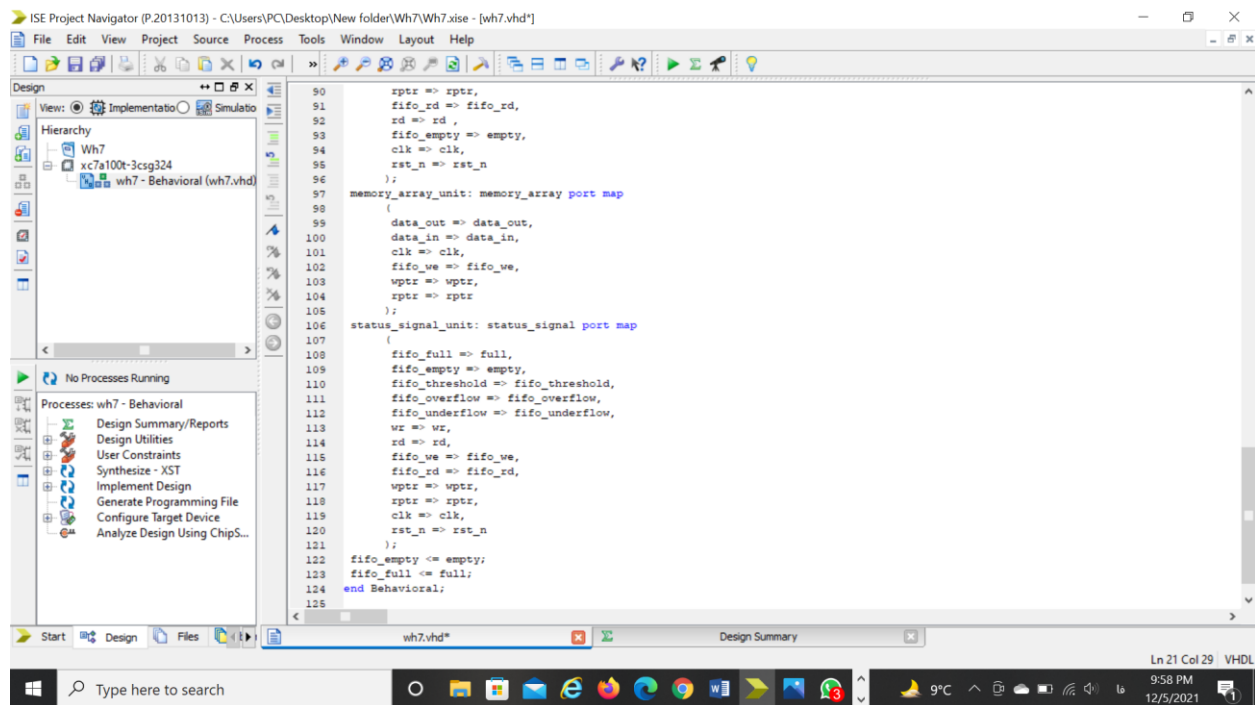
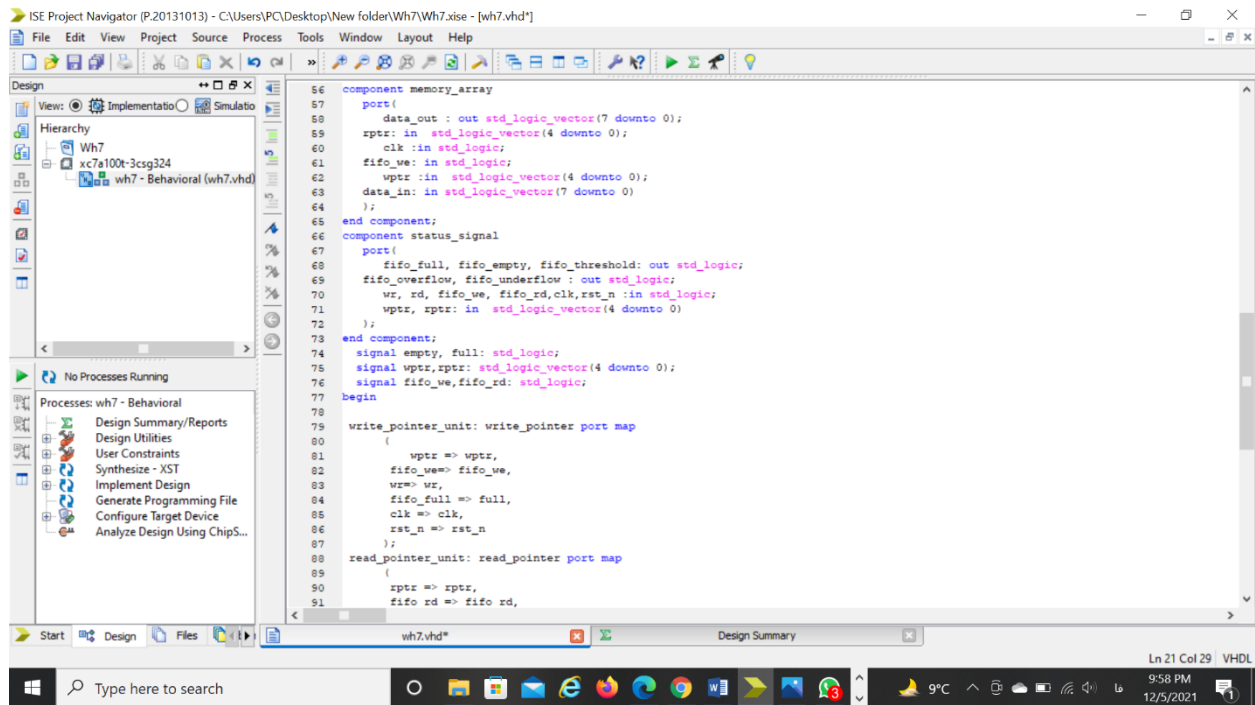
```
56. if (clock'event and clock = '1') then
57.     if ((write_enb = '1') and (full = '0')) then
58.         ram(w_ptr) := data_in;
59.         empty <= '0';
60.         w_ptr:= (w_ptr + 1) mod (16);
61.         if ( r_ptr = w_ptr ) then
62.             full <= '1';
63.         end if;
64.     end if;
65.     if ((read_enb = '1') and (empty = '0')) then
66.         data_out <= ram(r_ptr);
67.         full <= '0';
68.         r_ptr := (r_ptr + 1) mod (16);
69.         if ( r_ptr = w_ptr ) then
70.             empty <= '1';
71.         end if;
72.     end if;
73. end if;
```

اما ما از راه دیگری رفتیم و اطلاعاتی پایه ای که در اختیار داشتیم و با آن اطلاعات روند را پیش بریم این است که فیفو دارای 16 استیج با عرض داده 8 بیتی و پنج سیگنال وضعیت ( شامل : اورفلو، ان اورفلو، خالی، پر و آستانه است)

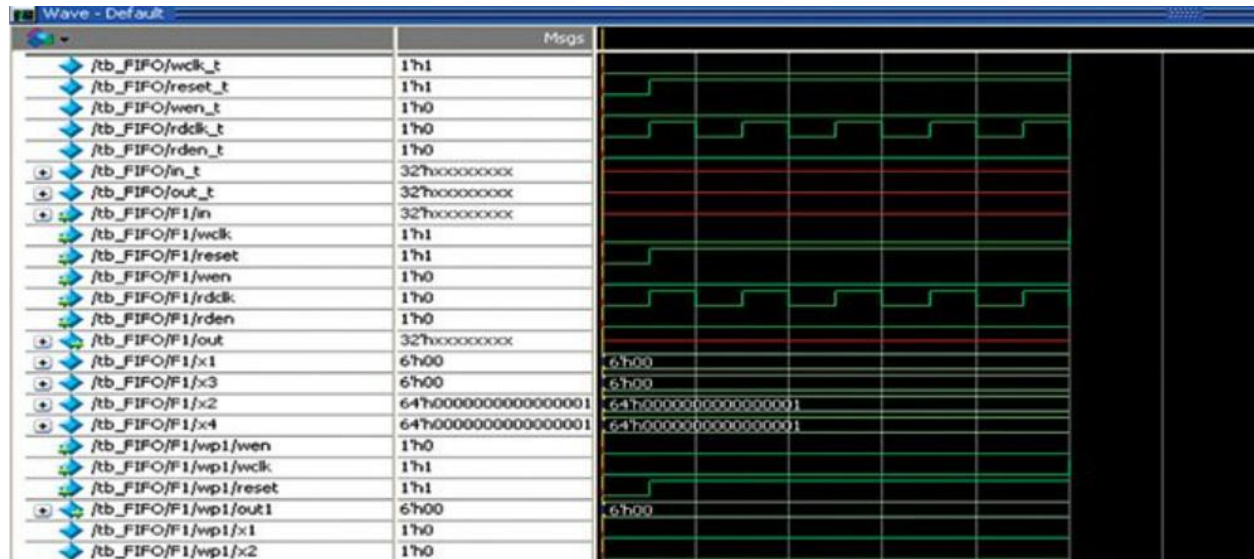
در واقع کدی که ما استفاده کردیم بخش های متفاوتی دارد و هر بخش آن را نیز جداگانه میتوانیم گسترش دهیم. اسکرین کد آن را در قسمت زیر قرار می دهیم:



```
20 library IEEE;
21 use IEEE.STD_LOGIC_1164.ALL;
22
23 entity fifo_mem is
24     port(
25         data_out : out std_logic_vector(7 downto 0);
26         fifo_full, fifo_empty, fifo_threshold,
27         fifo_overflow, fifo_underflow: out std_logic;
28         clk :in std_logic;
29         rst_n: in std_logic;
30         wr :in std_logic;
31         rd: in std_logic;
32         data_in: in std_logic_vector(7 downto 0)
33     );
34 end fifo_mem;
35 architecture Behavioral of fifo_mem is
36     component write_pointer
37     port (
38         wptr : out std_logic_vector(4 downto 0);
39         fifo_we: out std_logic;
40         clk :in std_logic;
41         rst_n: in std_logic;
42         wr :in std_logic;
43         fifo_full: in std_logic
44     );
45 end component;
46 component read_pointer
47     port (
48         rptr : out std_logic_vector(4 downto 0);
49         fifo_rd: out std_logic;
50         clk :in std_logic;
51         rst_n: in std_logic;
52         rd :in std_logic;
53         fifo_empty: in std_logic
54     );
55 end component;
```



حال برای تست آن و بررسی سیگنال های کنترلی و خروجی آن متناسب با ورودی می توانیم کدمان را تست کنیم و بعد از بررسی خروجی اسکرین شکل موج را در زیر قرار داده ام:



خروجی ها و نحوه ی کشیده شدن نمودار بررسی شده است و همچنین قسمت های متفاوت و خروجی های آن ها قابل مشاهده است.