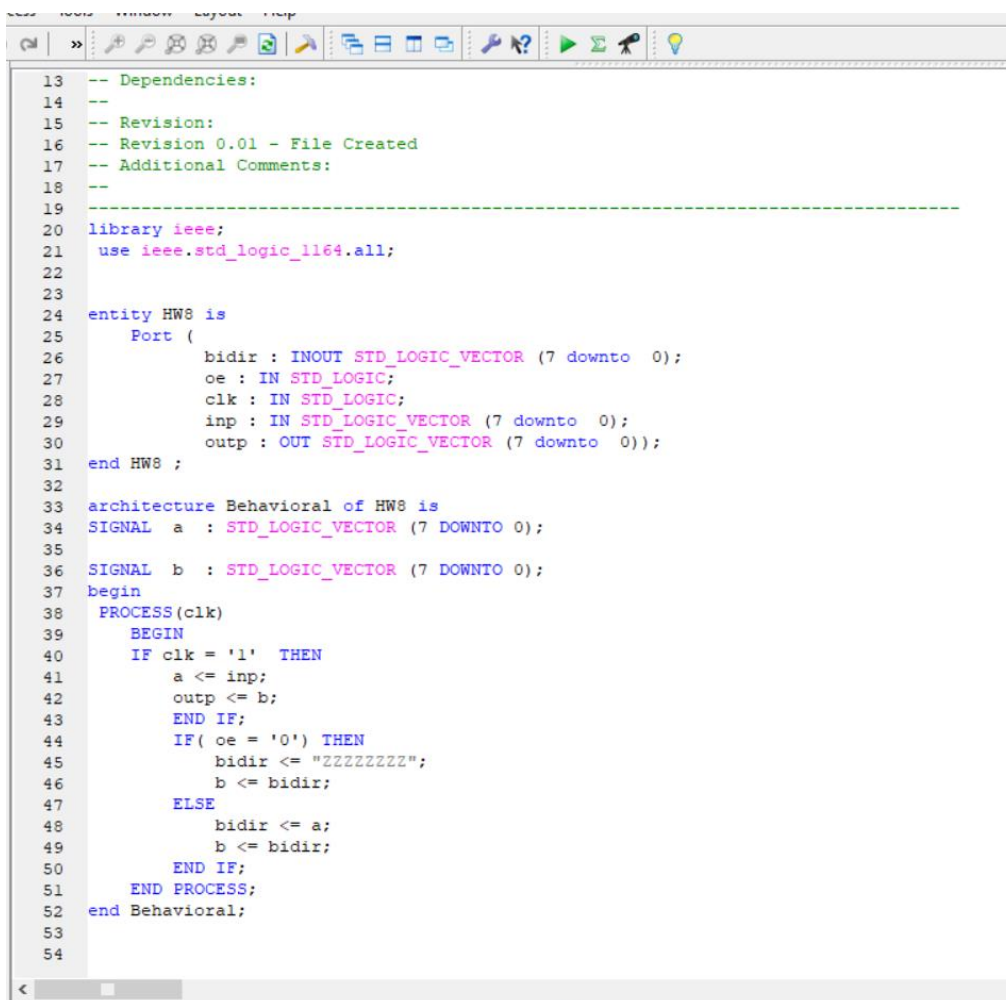


گزارش آزمایشگاه معماری

آزمایش شماره ۸

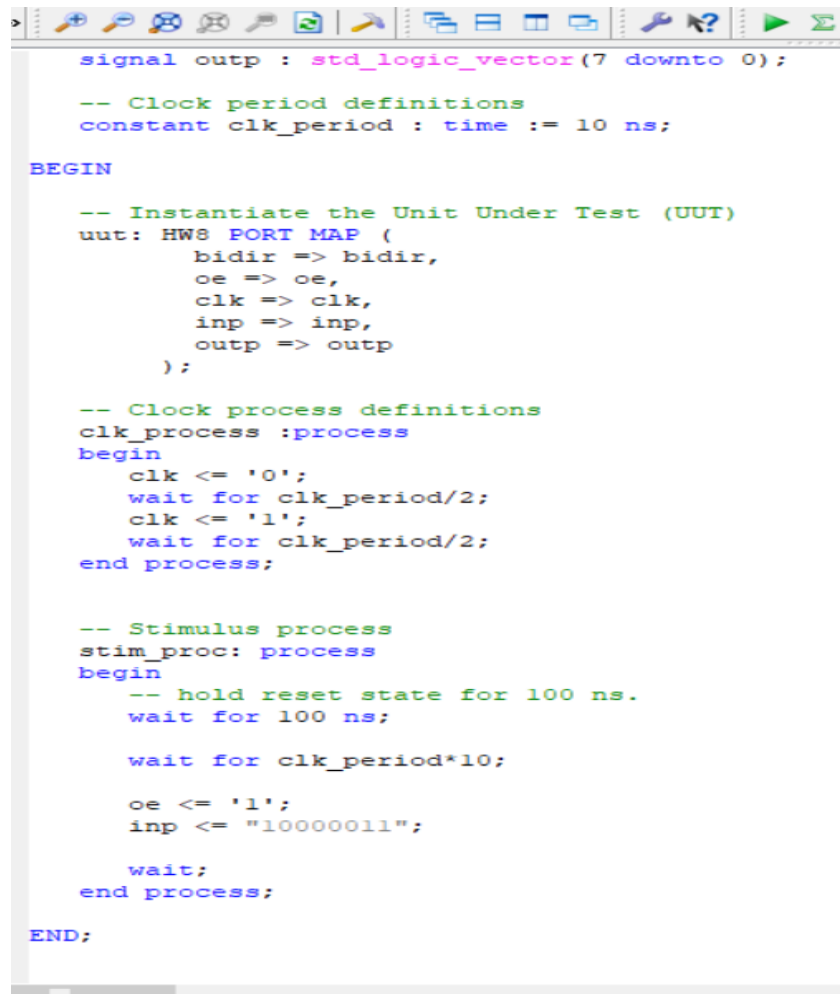
یاسمین مدنی-زهره مومنی نژاد

گذرگاه سه حالتی یک گذرگاه کامپیوتری است که به چندین دستگاه خروجی متصل است، که تنها یکی از آنها می تواند در هر نقطه ای فعال شود تا از مشاخره در گذرگاه جلوگیری شود. این طرح اجازه می دهد تا گذرگاه یکسان بین چندین دستگاه به اشتراک گذاشته شود. در این گذرگاه داده ها با مقدار مثبت کلاک وارد گذرگاه و از آن خارج می گردند. این به آن شرط است که سیگنال کنترلی oe فعال باشد. در غیر این صورت مقدار های امپدانس اعمال میکنیم. در شکل زیر کد vhdl باس سه حالتی را تعریف رفتاری باس سه حالتی است.



```
13 -- Dependencies:
14 --
15 -- Revision:
16 -- Revision 0.01 - File Created
17 -- Additional Comments:
18 --
19 -----
20 library ieee;
21 use ieee.std_logic_1164.all;
22
23
24 entity HW8 is
25     Port (
26         bidir : INOUT STD_LOGIC_VECTOR (7 downto 0);
27         oe : IN STD_LOGIC;
28         clk : IN STD_LOGIC;
29         inp : IN STD_LOGIC_VECTOR (7 downto 0);
30         outp : OUT STD_LOGIC_VECTOR (7 downto 0));
31 end HW8 ;
32
33 architecture Behavioral of HW8 is
34     SIGNAL a : STD_LOGIC_VECTOR (7 DOWNTO 0);
35
36     SIGNAL b : STD_LOGIC_VECTOR (7 DOWNTO 0);
37 begin
38     PROCESS(clk)
39     BEGIN
40         IF clk = '1' THEN
41             a <= inp;
42             outp <= b;
43         END IF;
44         IF( oe = '0') THEN
45             bidir <= "ZZZZZZZZ";
46             b <= bidir;
47         ELSE
48             bidir <= a;
49             b <= bidir;
50         END IF;
51     END PROCESS;
52 end Behavioral;
```

و در ادامه تست مخصوص به این کد آورده شده است .



```
signal outp : std_logic_vector(7 downto 0);

-- Clock period definitions
constant clk_period : time := 10 ns;

BEGIN

-- Instantiate the Unit Under Test (UUT)
uut: HWS PORT MAP (
    bidir => bidir,
    oe => oe,
    clk => clk,
    inp => inp,
    outp => outp
);

-- Clock process definitions
clk_process : process
begin
    clk <= '0';
    wait for clk_period/2;
    clk <= '1';
    wait for clk_period/2;
end process;

-- Stimulus process
stim_proc: process
begin
    -- hold reset state for 100 ns.
    wait for 100 ns;

    wait for clk_period*10;

    oe <= '1';
    inp <= "100000011";

    wait;
end process;

END;
```

در دو نمودار که در ادامه آورده شده اند، نمودار مربوط به تست برنامه در دو حالت هنگامی که oe فعال است و داده اجازه ورود و خروج دارد و هنگامی که داده ها اجازه ورود به باس را ندارند مشاهده می شود.

