

Modelo do Relatório

Anexo a este documento está um relatório modelo entregue por alunos nos semestres anteriores. As informações mínimas que devem constar em todos os relatórios entregues nesta disciplina estão citadas abaixo:

1. Identificação dos autores.
2. Descrição do problema.
3. Solução encontrada pelo (s) autor (es). Neste item, deve constar comentários pessoais de como resolver, das diversas soluções encontradas se este for o caso, etc.
4. Implementação da solução com descrições passo-a-passo de como foi feito o trabalho. Por exemplo: mostrar a solução VHDL.
5. Simulação com capturas de tela e formas de ondas.

Projeto de Descrição de Meio-somador em VHDL

Felipe Oliveira, Daniel Einloft

Introdução

O projeto consiste na implementação e simulação da descrição VHDL de um circuito meio-somador.

Esquemático do Circuito

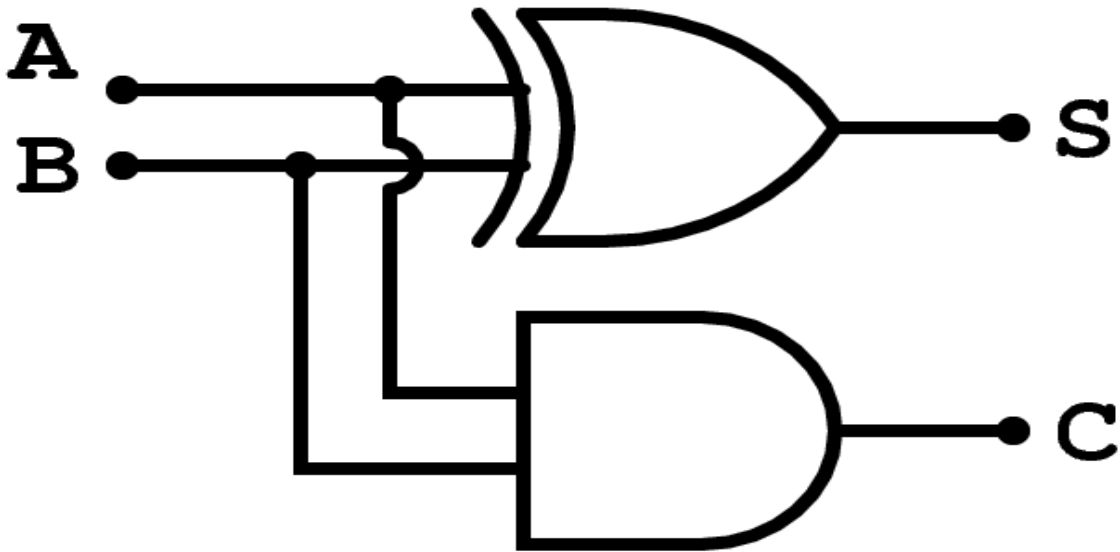


Tabela Verdade do Circuito

ENTRADAS		SAÍDAS	
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Implementação

Para a implementação do meio-somador em linguagem VHDL usamos o snippet abaixo.

```
entity half_adder is
  Port ( A : in  STD_LOGIC;
        B : in  STD_LOGIC;
        S : out  STD_LOGIC;
        C : out  STD_LOGIC);
end half_adder;

architecture comp of half_adder is
begin
  S <= A xor B;
  C <= A and B;
end comp;
```

As saídas sendo:

- **S**, para representar a soma binária;
- **C**, para representar o bit carry.

Testbench

Para o testbench implementamos o seguinte snippet.

```
ARCHITECTURE behavior OF half_adder_tb IS
    signal A : std_logic := '0';
    signal B : std_logic := '0';

    signal Sum : std_logic;
    signal Carry : std_logic;

BEGIN
    uut: half_adder PORT MAP (
        A => A,
        B => B,
        S => Sum,
        C => Carry
    );

    stimA : process
        begin
            wait for 100 ns;
            A <= not A;
        end process;

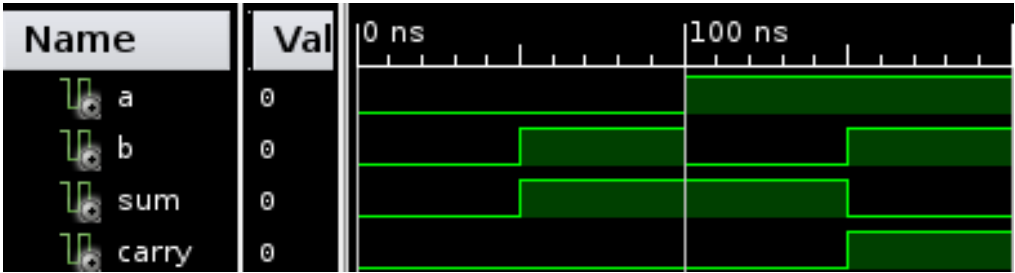
    stimB : process
        begin
            wait for 50 ns;
            B <= not B;
        end process;

END;
```

Aqui usamos dois estímulos (stimA, stimB) para gerar todos valores possíveis para as entradas A e B durante o intervalo de 0 a 200ns.

Simulação

Simulamos o projeto e obtivemos as seguintes formas de onda.



Que pode ser descrito na seguinte tabela.

TEMPO	ENTRADAS		SAÍDAS	
--	A	B	SUM	CARRY
0 ns	0	0	0	0
50 ns	0	1	1	0
100 ns	1	0	1	0
150 ns	1	1	0	1