

Universidad de Costa Rica

Facultad de Ingeniería
Escuela de Ingeniería Eléctrica
IE-0523 Circuitos Digitales 2
II ciclo 2018

Proyecto 1
Diseño capa PHY de una interfaz PCIe

Esteban Vargas, B16998
Yasser Wagon, B47732
Paula Góchez, B53375

Profesor: Jorge Soto

6 de octubre de 2018

Índice

1. Diseño	3
1.1. Generador de relojes	3
1.2. Lógica muxes	4

Índice de figuras

1. Señales generador de relojes [Autoría Propia]	3
2. Arquitectura de la lógica de muxes [Creación propia]	4
3. Señales lógica de muxes prueba 1 [Creación propia]	5
4. Señales lógica de muxes prueba final [Creación propia]	5

Índice de tablas

1. Plan de trabajo	3
------------------------------	---

Plan de trabajo

Parte del diseño	Pruebas a realizar
Generador de relojes	Observar la respuesta del generador a una frecuencia de 16f
Lógica muxes	Comprobar salida ante entradas con valores válidos en las 4 entradas, en 3 , en 2 y con solo 1 válida
Lógica demuxes	Comparar sus salidas ante el ingreso de una secuencia de 2 válidos, 1 válido y 0
Paralelo a 2b Serial	Colocar un valor válido en la entrada y comprobar el envío de código correcto
2b Serial a Paralelo	Recibir el código BC 4 veces y después el dato enviado en la etapa anterior
Módulo phy_tx.v	Comprobar la congruencia de la salida del módulo con la secuencia que se ingresa
Módulo phy_rx.v	Corrobar la salida del módulo con la secuencia ingresada en la etapa anterior
Módulo phy.v	Al integrarse todo

Tabla 1: Plan de trabajo

1. Diseño

1.1. Generador de relojes

Como primer paso del diseño se creó una descripción conductual de un generador de señales de reloj, el cual recibe una señal de reloj con una frecuencia de 16f (*clk16f*) y mediante bloques *always* y contadores genera otras tres señales con frecuencia reducida a 4f (*clk4f*) , 2f (*clk2f*) y f (*clkf*).

En la figura 1, se muestra la simulación del modulo generador de relojes, donde si se observa con detenimiento se aprecia como efectivamente la señal *clk16f* de color rojo tiene una frecuencia 16 veces más grande que la señal *clkf* de color verde. De forma similar, las señales *clk4f* (de color naranja) y *clk2f* (de color amarillo) tienen una frecuencia 4 y 2 veces más grande que la señal *clkf*, respectivamente. Se observa como la descripción conductual y la estructural, sintetizada por Yosys, se comportan de manera idéntica.

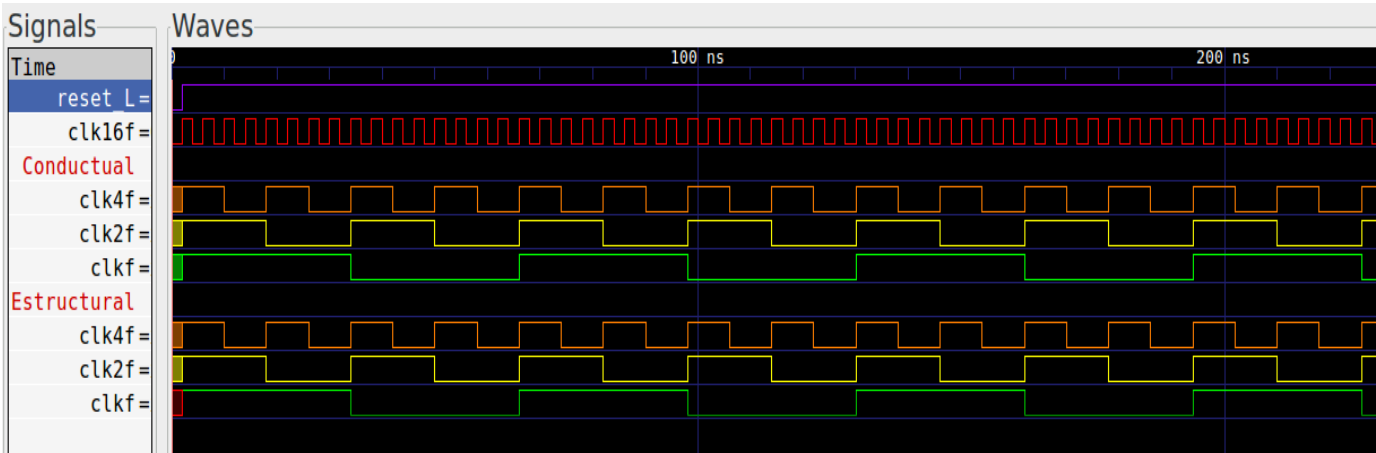


Figura 1: Señales generador de relojes [Autoría Propia]

1.2. Lógica muxes

Para los multiplexores de transmisión, en la primera etapa se requiere uno 4 a 2, el cual manipula el dato según su bit de válido. Ante una entrada válida transmite el dato como se encuentra con su bit de válido en alto, en caso contrario propaga el último valor válido que hubo en esa entrada con el bit de válido en 0.

El objetivo de estos mux es transmitir los 4 datos que se encuentran en la entrada y propagarlos cada vez con menos bits para enviarlos al probador. Debido a esto se elige una arquitectura como la que se muestra en la Fig. 1.2 en donde la frecuencia la primera etapa es el doble de rápida que el segundo elemento y así el segundo puede propagar correctamente los valores de sus entradas; para esto se asigna en las entradas del clk de cada módulo mux el reloj correspondiente, generado en la sección anterior.

Para describir el mux 4:1 se decide utilizar 2 mux 2:1 ya que de esta forma puede utilizarse un selector automático que siempre itere entre las entradas, para la segunda etapa se requiere solo un mux 2:1, teniendo el cuidado de asignar correctamente los clock

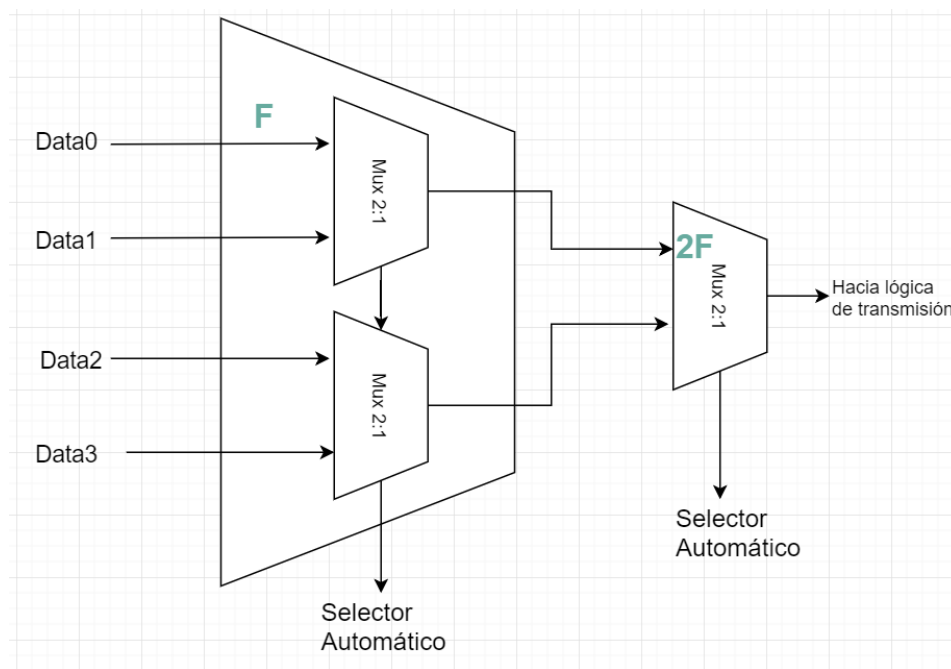


Figura 2: Arquitectura de la lógica de muxes [Creación propia]

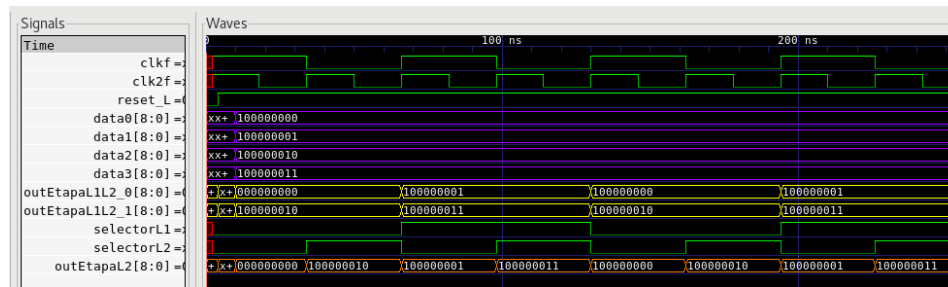


Figura 3: Señales lógica de muxes prueba 1 [Creación propia]

En la figura 1.2 se muestra la simulación de la lógica de muxes. Se observa que cuando todas salidas son válidas, en la salida se pone según la señal de reloj, cada una de las entradas. Para facilitar el funcionamiento de la lógica de muxes, se puso como dato en las entradas el número de entrada como se observa en la figura 1.2.

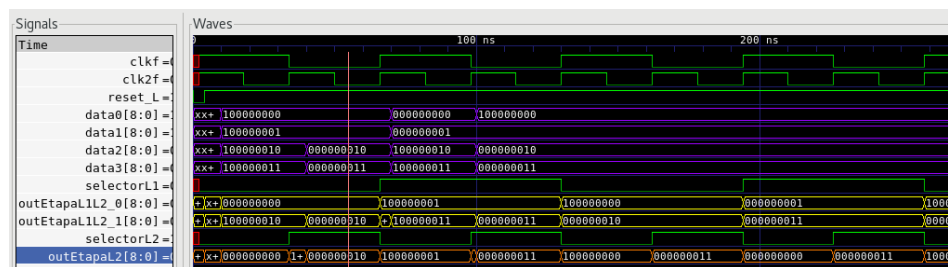


Figura 4: Señales lógica de muxes prueba final [Creación propia]

En la figura 1.2 se muestran la simulación invalidando algunas señales de entrada. Se observa que en ese caso, la lógica de muxes se comporta según lo solicitado la poner el último valor válido con el bit de valido en cero. Cuando las señales se validan, se ponen según el orden que se mostró en el caso cuando todas las entradas son validas.

Referencias

- [1] Material del curso Circuitos Digitales 2 IE-0523