5段パイプラインプロセッサのブロックダイアグラム ADD **Execution Complex** pc[31:0] jaddr[31:0] Instruction Decoder branch Register Instruction Memory File a[31:0] ra_name[4:0] ra[31:0] addr[31:0] instr[31:0] rb_name[4:0] rb[31:0] **→** b[31:0] result[31:0] CLK rd_name[5:0] rd[31:0] ▶ imm[19:0] imm[19:0] rd_name[4:0] inst[11:0] Fetch Stage Decode Stage Register-Fetch Stage **Execution Stage** Write-Back Stage

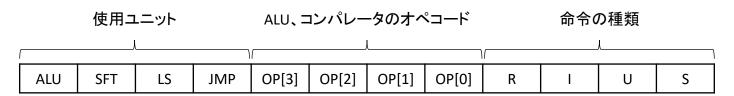
命令デコーダの入出力

入力

•命令列(32bit): instr

出力

- •ソースレジスタAの名前(5bit): ra_name
- •ソースレジスタBの名前(5bit): rb_name
- ・デスティネーションレジスタの名前(5bit): rd name
- •即值(20bit): imm
- •制御信号(12bit): inst
- 実行ステージにおける使用ユニット(4bit)
- ALU
- シフタ
- ロード・ストアユニット
- ジャンプユニット
- ALU、コンパレータのオペコード (4bit)
- NOP, ADD, SUB, AND, OR, XOR
- **●** ==, !=, <, >=
- 命令の種類 (4bit)
- R命令 (ex. add, sub, sll, etc...)
- I命令 (ex. jalr, l(b|h|w), addi, slti, slli, etc...)
- U命令 (ex. lui, auipc, jal)
- S命令 (ex. beq, s(b|h|w), etc...)



制御信号のビットパターン

