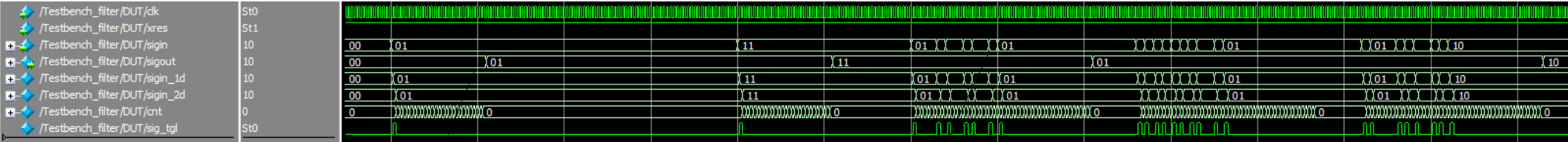
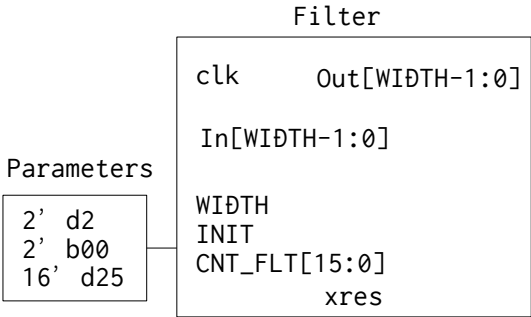


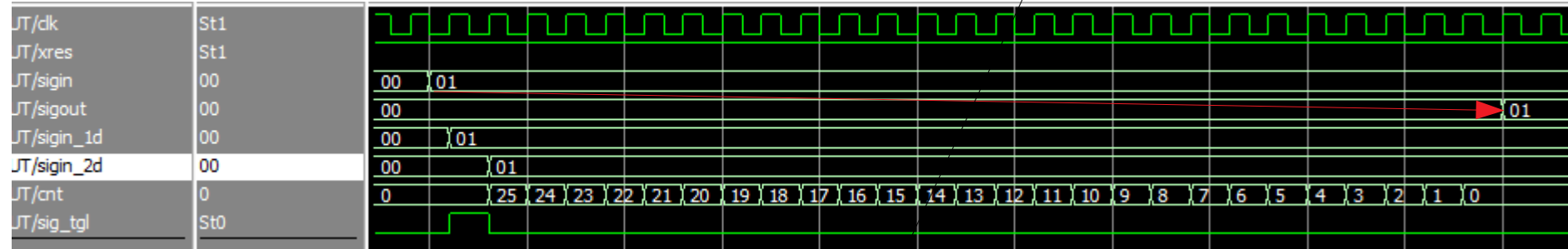
Filter

外部入力信号ローパスフィルタ

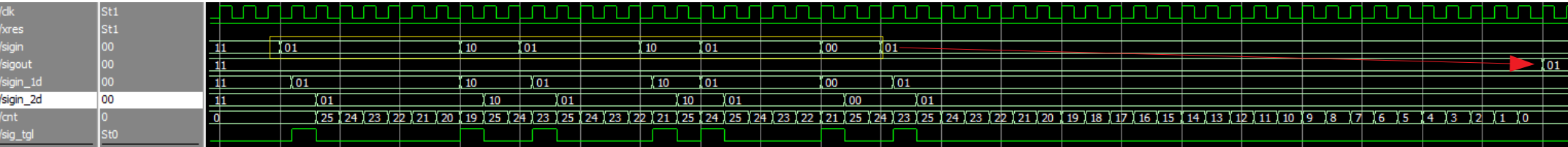
WIDTH=2'b2 入出力バス幅指定 (例は2ビット)
INIT=2'b00 リセット時出力指定 (例は00)
CNT_FLT[15:0]=16'd25 フィルタ値 (例は25=25clk/50MHz=500nsec)



入力siginが変化してから25clk後に出力sigoutが変化



入力siginが25clk以内で変動している場合は、出力は変化なし。
25clk以上入力に変化しない場合のみ出力を変化させる



divider_cont

モーター 1 ステップパルス生成用 入力クロック分周数（回転速度）制御

in[0] 押されている (=0) 間、分周数減少（高速）
in[1] 押されている (=0) 間、分周数増加（低速）
INIT[31:0] 初期値
OUT_MIN[31:0] 最小値（最高速）
OUT_MAX[31:0] 最大値（最低速）
T_STEP[31:0] 速度変更時増分
T_REFRESH[31:0] 入力固定（押しボタン押しっぱなし）時の速度更新時間間隔

Parameters

INIT[31:0]
OUT_MIN[31:0]
OUT_MAX[31:0]
T_STEP[31:0]
T_REFRESH[31:0]

divider_cont

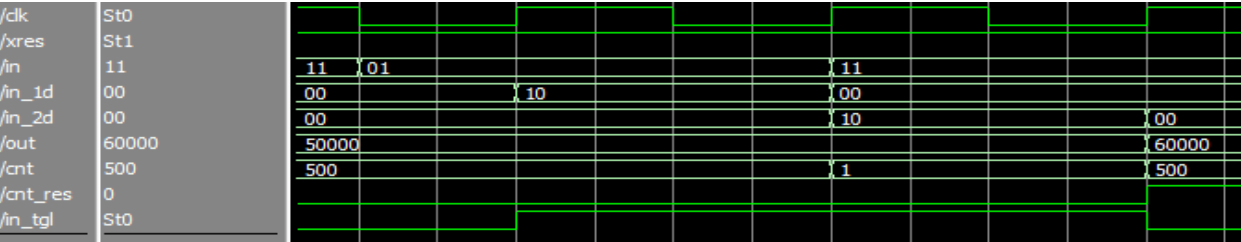
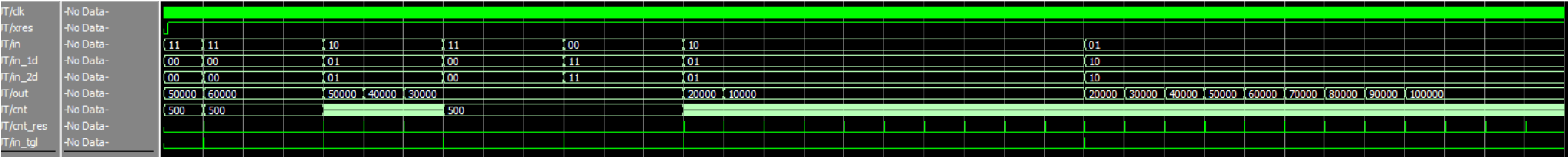
clk out[31:0]

In[1:0]

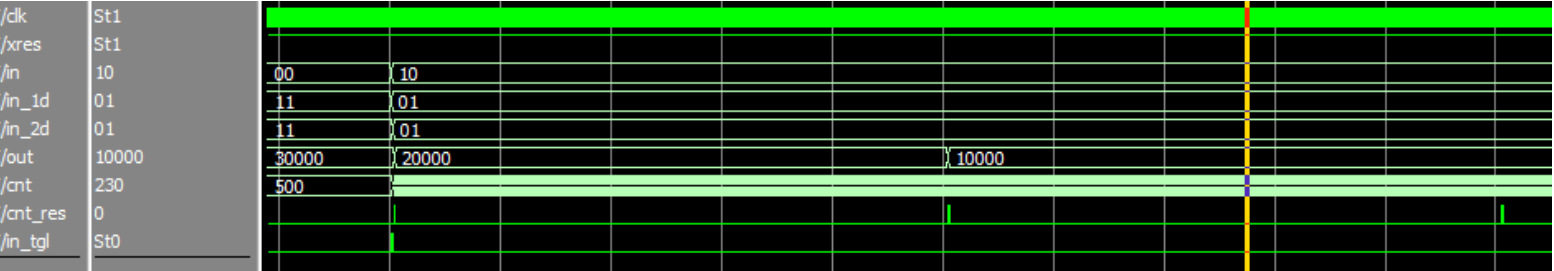
INIT[31:0]
OUT_MIN[31:0]
OUT_MAX[31:0]
T_STEP[31:0]
T_REFRESH[31:0]

xres

例).INIT(32'd50000), .OUT_MIN(32'd10000), .OUT_MAX(32'd100000), .T_STEP(32'd10000), .T_REFRESH(32'd500)

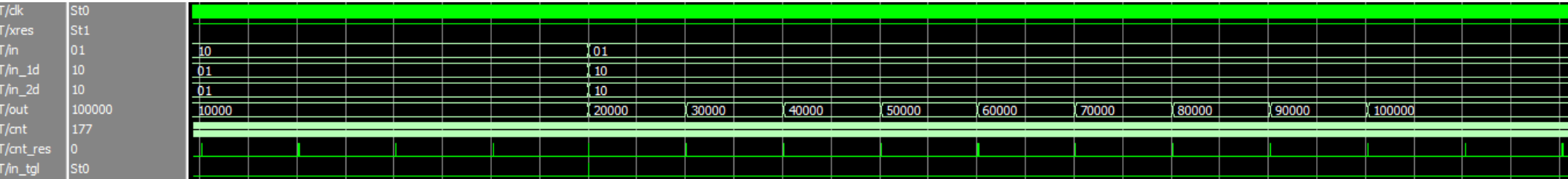


in[1]=0なので、out=out+T_STEP
(50000→60000)



in[0]=0なので、out=out-T_STEP
(20000→10000)
その後はin[0]=0だけど、
OUT_MIN=10000なので変更させない

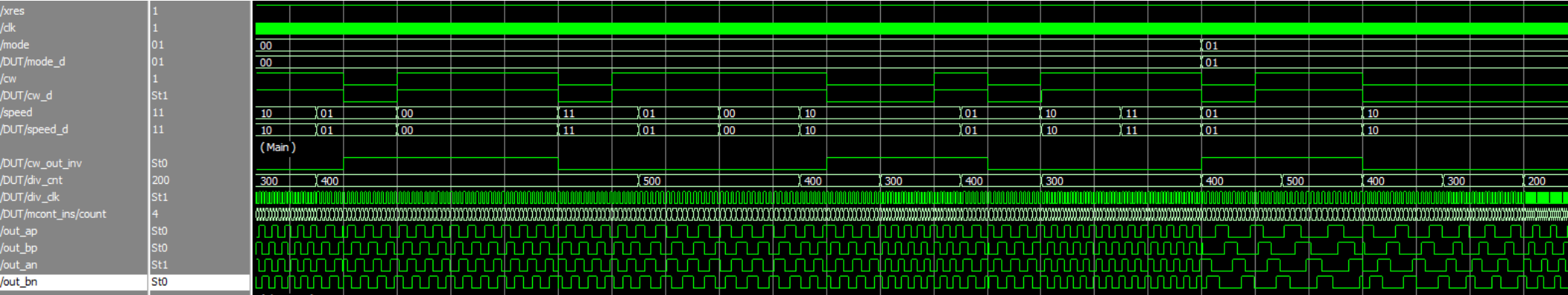
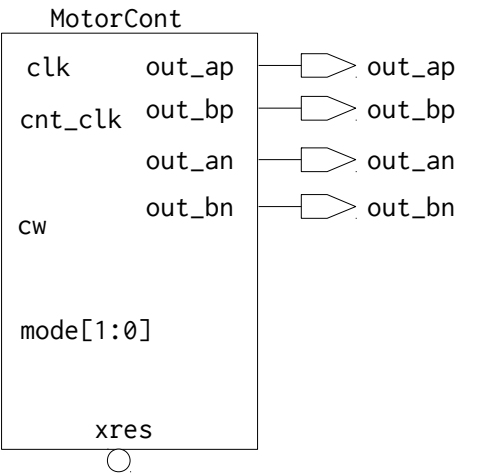
in[1]=0なので、out=out+T_STEP
(20000→30000...100000)
その後はin[0]=0だけど、
OUT_MAX=100000なので変更させない



MotorCont

モータドライバ制御信号出力

- cnt_clk 1ステップクロック入力（分周クロック）
- cw 回転方向（1：時計回り、0：反時計回り）
- mode[1:0] 駆動モード（[00]：2相励磁、[01]：1-2相励磁）
- out_ap A+相制御信号出力
- out_bp B+相制御信号出力
- out_an A-相制御信号出力
- out_bn B-相制御信号出力



ステップ周期400で
逆回転

ステップ周期400で
逆回転

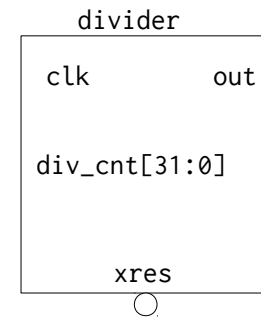
ステップ周期500に
減速

ステップ周期400に
加速

ステップ周期400に加速
&駆動モード変更（1-2相）
&逆回転

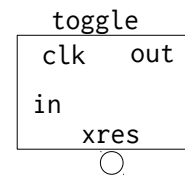
divider

div_cntの分周数で、入力clkを分周してoutへ出力



toggle

入力信号inの立ち上がりエッジで出力信号outを反転



<https://www.macnica.co.jp/business/semiconductor/articles/intel/128681/>

https://www.macnica.co.jp/business/semiconductor/articles/pdf/Verilog-HDL_Trial_Text_r1__1.pdf

https://www.macnica.co.jp/assets/arc/members/pdf/ModelSim_AE_RTLsim_forVerilogHDL_rev1.pdf

<http://www.darwin.esys.tsukuba.ac.jp/home/ohyou/verilog>