

FinFET 器件技术简介

马伟彬

(国家知识产权局专利局专利审查协作广东中心, 广东 广州 510000)

【摘要】22nm、14nm 工艺代中, 鳍式场效应晶体管 (Fin Field-Effect Transistor, FinFET) 因为其制作工艺与传统的平面沟道金属-氧化物-半导体场效应晶体管 (Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET) 的制作工艺的兼容性更好, 逐渐成为主流的器件结构。本文介绍 FinFET 器件的发展历程, 以及当前较为常见的 FinFET 结构及其相应的特点。

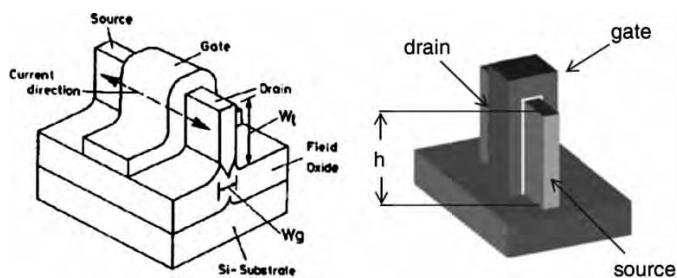
【关键词】DELTA FinFET 短沟道效应 漏极感应势垒降低 亚阈特性退化

1 前言

随着半导体技术的不断发展, 栅氧化层厚度、耗尽层深度、沟道长度不断降低, 短沟道效应 (Short Channel Effect, SCE) 引起的漏极感应势垒降低 (Drain Induced Barrier Lowering, DIBL)、亚阈特性退化越加明显。传统的平面型 MOSFET 在半导体技术发展遇到了前所未有的困难。FinFET 通过多栅的结构有效的抑制短沟道效应, 而且因为其制作工艺兼容性良好, 得到了商业的应用。在 2011 年 Intel 公司公布的世界上首个 22nm 3-D 晶体管处理器使用的就是 FinFET^[1]。

2 FinFET 的发展历程

在接近 40 多年的发展中, 平面硅 MOS 晶体管的集成度不断提高, 栅氧化层的厚度、沟道长度、耗尽层深度不断降低^[2]。然而在栅氧化层接近 1nm, 衬底掺杂大于 10^{19}cm^{-3} 的时候, 漏电流已经大得让很多的应用设计都难以接受。研究人员在设计 3 维结构的 MOS 晶体管过程中^[3,4], 提出了一种全耗尽的侧向沟道晶体管, 称为 DELTA (depleted lean-channel transistor)^[5]。如附图 1 所示, 这种 DELTA 的结构与三栅 FinFET 的结构十分相似。同时, 在平面 MOSFET 领域中, 研究者提出了顶栅和底栅联合控制沟道的双栅 MOSFET 结构, 以降低短沟道效应。经过计算验证, 这种双栅结构可以比全耗尽 SOI MOSFET 更有效的抑制短沟道效应, 更适合于 20nm 以下的栅长以及沟道厚度的 MOSFET^[6-8]。稍后研究者们进一步提出了自对准的双栅 MOSFET 结构, 并命名为 FinFET^[9-11]。

图 1 DELTA^[5] 和 FinFET

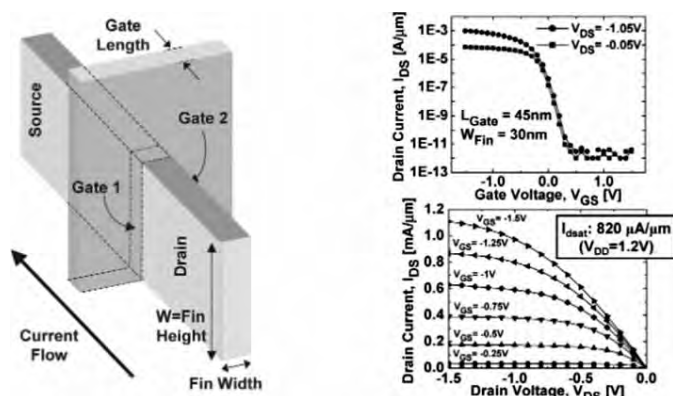
3 FinFET 的结构

如附图 2 所示, FinFET 的主要特点是, 沟道区域是一个被栅极包裹的鳍状半导体。沿源漏方向的鳍的长度, 为沟道长度。栅极包裹的结构增强了栅的控制能力, 对沟道提供了更好的电学控制, 从而降低了漏电流, 抑制短沟道效应^[12]。

然而 FinFET 有很多种, 不同的 FinFET 有不同的电学特性。下面根据衬底类型、沟道的方向、栅的数量、栅的结构, 分别给予介绍。

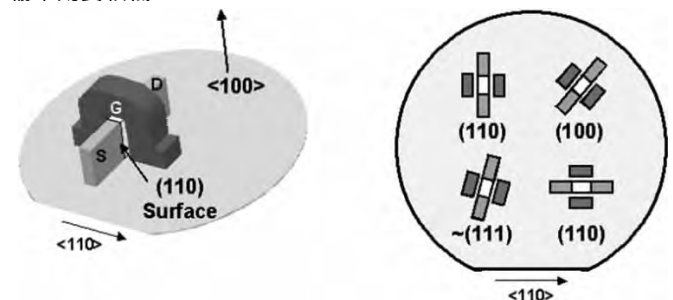
SOI FinFET 和体 FinFET。根据 FinFET 衬底, FinFET 可以分为两种。一种是 SOI FinFET, 一种是体 FinFET^[13]。体 FinFET 形成在体硅衬底上。由于制作的工艺不同, 相比于 SOI 衬底, 体硅衬底具有低缺陷密度、低成本的优点。此外, 由于 SOI 衬底中埋氧层的热传导率较低, 体硅衬底的散热性能也要优于 SOI 衬底。

体 FinFET, SOI FinFET 具有近似的寄生电阻、寄生电容, 从而

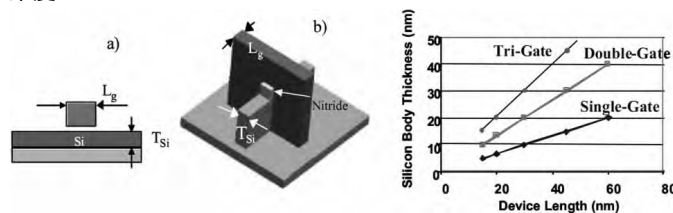
图 2 FinFET 的结构和 I-V 参数^[12]

在电路水平上可以提供相似的功率性能。但是 SOI 衬底的轻鳍掺杂 FinFET 相比于体 FinFET, 表现出较低的节电容, 更高的迁移率和电压增益的电学性能^[14,15]。

(100) 方向 FinFET 和 (110) 方向 FinFET。相比于 (110) 硅衬底, (100) 硅衬底有较高的电子迁移率和较低的界面陷阱密度。但是 (100) 硅衬底的空穴迁移率低于 (110) 硅衬底的空穴迁移率^[16,17]。在传统的平面 CMOS 工艺中, (100) 硅衬底上只能制备 (100) 方向的器件。在 FinFET 工艺中, (100) 硅衬底上把 (100) 方向的 FinFET 旋转 45° 就可以形成 (110) 方向的 FinFET, 如附图 3 所示^[17]。相比于 (110) 方向的 FinFET, (100) 方向的 FinFET 具有更高的 NMOS 传输率, 和硅外延生长率^[18]。相应的, 其 PMOS 传输率则要较低。

图 3 (100) 晶片上的不同方向的 FinFET^[17]

双栅 FinFET 和三栅 FinFET。根据栅的数量, FinFET 可以分为双栅 FinFET 和三栅 FinFET。附图 4 显示单栅器件、双栅 FinFET 和三栅 FinFET 三种器件, 不同栅极长度 L_g 的对应的全耗尽的硅衬底的厚度 T_{Si} 。从附图 4 可以看到, 相比于单栅器件, 相同栅长的双栅 FinFET 的全耗尽的硅衬底较厚, 这样就可以降低工艺的难度。然而双栅 FinFET 的鳍的宽度 T_{Si} 比器件栅长 L_g 小 30%, 使得双栅 FinFET 的鳍的光刻分辨率要比栅的光刻分辨率要小。而三栅 FinFET 鳍的宽度 T_{Si} 比器件栅长 L_g 相同, 使得鳍的光刻分辨率要比栅的光刻分辨率一致, 从而降低了整体制造难度^[19]。

图 4 单栅器件、双栅 FinFET 的结构以及 $L_g - T_{Si}$ 关系曲线^[19]

高 k 金属栅 FinFET。高 k 金属栅 FinFET 指的是使用高 k 介质栅极绝缘层和金属栅极电极的 FinFET。高 k 介质可以存储更多得电荷,从而降低栅极漏电流。金属栅极可以避免多晶硅栅极的耗尽现象,而且还可以有效抑制高 k 介质低能光学声子与沟道载流子耦合,从而降低声子散射,提高载流子迁移率^[1]。高 k 金属栅 FinFET 除了可以出色的抑制短沟道效应,还能通过采用无掺杂沟道的结构,避免了随机掺杂涨落,进而抑制了阈值电压的波动^[20]。

4 结语

FinFET 技术在 22nm 技术节点中展示了优异的电学、可靠性等性能,保证了半导体器件等比缩小还具有进一步发展的能力。Ge、C、Sn 等应力材料已被用于 14nm、7nm 的 MOS FinFET 设计中^[21-22]。此外基于纳米技术的量子器件也取得重要进展,为半导体器件的进一步缩小提供更多的线索。

参考文献:

- [1]李越等. 金属栅/高 k 基 FinFET 研究进展[J]. 器件与技术, 2012, 49(12): 775 ~ 780.
- [2]P. M. Solomon et al. Two gates are better than one [double - gate MOSFET process] ,IEEE CIRCUITS & DEVICES MAGAZINE 2003 , 19(1): 48 ~ 62.
- [3] H. Tatako ,et al. High performance CMOS surrounding gate transistor (SGT) for ultra high density LSIs ,Electron Devices Meeting ,1988: 222 ~ 225.
- [4]K. Hieda et al. New effects of trench isolated transistor using side - wall gates ,International Electron Devices Meeting ,1987(33) : 736 ~ 739.
- [5] Digh Hisamoto ,et al. A fully depleted lean - channel transistor (DELTA) - a novel vertical ultra thin SOI MOSFET. IEEE Electron Device Letters ,1989 ,11(1) : 833 ~ 836.
- [6]RH Yan et al. Scaling the Si metal - oxide - semiconductor field - effect transistor into the 0. 1um regime using vertical doping engineering ,Applide Physics Letters ,1991 ,59(25) : 3315 ~ 3317.
- [7]D. J. Frank et al. Monte Carlo Simulation of a 30 nm Dual - Gate MOSFET: How Short Can Si Go ,Electron Devices Meeting ,1992: 553 ~ 556.
- [8] Clement H. Wann ,et al. A comparative study of advanced MOSFET concepts ,IEEE transactions on Electron Devices ,1996 ,43 (10) : 1742 ~ 1753.
- [9]Hon - Sum Philip Wong ,et al. Self - aligned (top and bottom) double - gate MOSFET with a 25 nm thick silicon channel. Electron Devices Meeting ,1998: 427 ~ 430.
- [10] Xuejue Huang ,Chenming Hu ,et al. Sub 50 - nm FinFET: PMOS ,International Electron Devices Meeting ,1999: 67 ~ 70.
- [11] Digh Hisamoto ,et al. FinFET - a self - aligned double - gate MOSFET scalable to 20nm ,IEEE transactions on Electron Devices , 2000 ,47(12) : 2320 ~ 2325.
- [12]Stephen H. Tang et al. FinFET - a quasi - planar double - gate MOSFET ,IEEE International Solid - State Circuits Conference ,2001: 118 ~ 119.
- [13] Jong - Ho Lee ,Bulk FinFETs: design at 14 nm node and key characteristics. Nano Devices and Circuit Techniques for Low - Energy Applications and Energy Harvesting 2015: 33 ~ 64.
- [14]T. Chiarella ,et al. Migrating from planar to FinFET for further CMOS scaling: SOI or bulk ,Solid State Devices Research Conference , 2009: 85 ~ 88.
- [15] M. Jurczak ,et al. Review of FINFET technology , IEEE International SOI Conference 2009: 1 ~ 4.
- [16]Leland Chang ,et al. CMOS circuit performance enhancement by surface orientation optimization , IEEE transactions on Electron Devices 2004 ,51(10) : 1621 ~ 1627.
- [17]Mingu Kang et al. FinFET SRAM optimization with Fin thickness and surface orientation ,IEEE transactions on Electron Devices 2010 , 57(11) : 2785 ~ 2793.
- [18]Jakub Kedzierski ,et al. Extension and source/drain design for high - performance FinFET devices. IEEE transactions on Electron Devices 2003 ,50(4) : 952 ~ 958.
- [19]Robert Chau ,et al. Advanced depleted - substrate transistors: single - gate ,double - gate and tri - gate ,Solid State Devices & Materials 2002: 68 ~ 69.
- [20]Takashi Matsukawa ,et al. Suppressing Vt and Gm variability of FinFETs using amorphous metal gates for 14 nm and beyond ,Electron Devices Meeting 2012 ,48(11) : 8. 2. 1 ~ 8. 2. 4.
- [21]G. Eneman et al. Stress simulations for optimal mobility group IV p - and nMOS FinFETs for the 14 nm node and beyond ,Electron Devices Meeting 2012 ,48(11) : 6. 5. 1 ~ 6. 5. 4.
- [22]SuyogGupta et al. 7 - nm FinFET CMOS design enabled by stress engineering using Si ,Ge ,and Sn. IEEE transactions on Electron Devices 2014 ,61(5) : 1222 ~ 1230.