



(21)申请号 201610257904.1

(22)申请日 2016.04.22

(71)申请人 宁波大学

地址 315211 浙江省宁波市江北区风华路
818号

(72)发明人 胡建平 许仲池

(74)专利代理机构 宁波奥圣专利代理事务所
(普通合伙) 33226

代理人 方小惠

(51)Int.Cl.

H03K 19/20(2006.01)

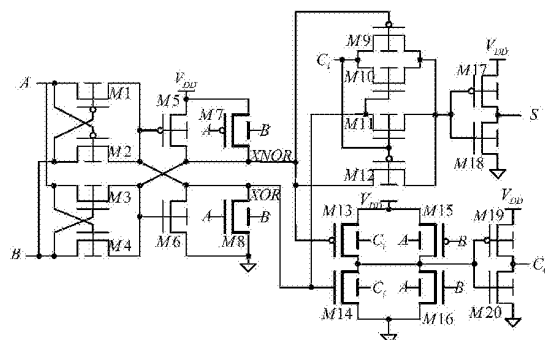
权利要求书2页 说明书7页 附图2页

(54)发明名称

一种基于FinFET管的一位全加器

(57)摘要

本发明公开了一种基于FinFET管的一位全加器,包括第一FinFET管、第二FinFET管、第三FinFET管、第四FinFET管、第五FinFET管、第六FinFET管、第七FinFET管、第八FinFET管、第九FinFET管、第十FinFET管、第十一FinFET管、第十二FinFET管、第十三FinFET管、第十四FinFET管、第十五FinFET管、第十六FinFET管、第十七FinFET管、第十八FinFET管、第十九FinFET管和第二十FinFET管,第一FinFET管、第二FinFET管、第五FinFET管、第七FinFET管、第九FinFET管、第十二FinFET管、第十三FinFET管、第十五FinFET管、第十七FinFET管和第十九FinFET管为P型FinFET管,第三FinFET管、第四FinFET管、第六FinFET管、第八FinFET管、第十FinFET管、第十一FinFET管、第十四FinFET管、第十六FinFET管、第十八FinFET管和第二十FinFET管为N型FinFET管;优点是电路面积、延时、功耗和功耗延时积均较小。



1. 一种基于FinFET管的一位全加器,其特征在于包括第一FinFET管、第二FinFET管、第三FinFET管、第四FinFET管、第五FinFET管、第六FinFET管、第七FinFET管、第八FinFET管、第九FinFET管、第十FinFET管、第十一FinFET管、第十二FinFET管、第十三FinFET管、第十四FinFET管、第十五FinFET管、第十六FinFET管、第十七FinFET管、第十八FinFET管、第十九FinFET管和第二十FinFET管,所述的第一FinFET管、所述的第二FinFET管、所述的第五FinFET管、所述的第七FinFET管、所述的第九FinFET管、所述的第十二FinFET管、所述的第十三FinFET管、所述的第十五FinFET管、所述的第十七FinFET管和所述的第十九FinFET管为P型FinFET管,所述的第三FinFET管、所述的第四FinFET管、所述的第六FinFET管、所述的第八FinFET管、所述的第十FinFET管、所述的第十一FinFET管、所述的第十四FinFET管、所述的第十六FinFET管、所述的第十八FinFET管和所述的第二十FinFET管为N型FinFET管,所述的第一FinFET管、所述的第二FinFET管、所述的第三FinFET管、所述的第四FinFET管、所述的第五FinFET管、所述的第六FinFET管、所述的第七FinFET管、所述的第八FinFET管、所述的第九FinFET管、所述的第十FinFET管、所述的第十一FinFET管、所述的第十二FinFET管、所述的第十三FinFET管、所述的第十四FinFET管、所述的第十五FinFET管、所述的第十六FinFET管、所述的第十七FinFET管、所述的第十八FinFET管、所述的第十九FinFET管和所述的第二十FinFET管的鳍的个数均为1;

所述的第一FinFET管的源极、所述的第二FinFET管的前栅、所述的第二FinFET管的背栅、所述的第三FinFET管的源极、所述的第四FinFET管的前栅、所述的第四FinFET管的背栅、所述的第七FinFET管的前栅、所述的第八FinFET管的前栅、所述的第十五FinFET管的背栅和所述的第十六FinFET管的背栅连接且其连接端为所述的一位全加器的第一信号输入端,所述的一位全加器的第一信号输入端用于接入第一加数信号,所述的第一FinFET管的前栅、所述的第一FinFET管的背栅、所述的第二FinFET管的源极、所述的第三FinFET管的前栅、所述的第三FinFET管的背栅、所述的第四FinFET管的源极、所述的第七FinFET管的背栅、所述的第八FinFET管的背栅、所述的第十五FinFET管的前栅和所述的第十六FinFET管的前栅连接且其连接端为所述的一位全加器的第二信号输入端,所述的一位全加器的第二信号输入端用于接入第二加数信号,所述的第一FinFET管的漏极、所述的第二FinFET管的漏极、所述的第五FinFET管的前栅、所述的第五FinFET管的背栅、所述的第六FinFET管的漏极、所述的第八FinFET管的漏极、所述的第十FinFET管的前栅、所述的第十FinFET管的背栅、所述的第十一FinFET管的源极和所述的第十四FinFET管的前栅连接且其连接端为所述的一位全加器的低位进位信号输入端,所述的一位全加器的低位进位信号输入端用于接入低位进位信号,所述的第三FinFET管的漏极、所述的第四FinFET管的漏极、所述的第五FinFET管的漏极、所述的第六FinFET管的前栅、所述的第六FinFET管的背栅、所述的第七FinFET管的漏极、所述的第九FinFET管的前栅、所述的第九FinFET管的背栅、所述的第十二FinFET管的源极和所述的第十三FinFET管的前栅连接,所述的第五FinFET管的源极、所述的第七FinFET管的源极、所述的第十三FinFET管的源极、所述的第十五FinFET管的源极、所述的第十七FinFET管的源极和所述的第十九FinFET管的源极均接入电源,所述的第六FinFET管的源极、所述的第八FinFET管的源极、所述的第十四FinFET管的源极、所述的第十六FinFET管的源极、所述的第十八FinFET管的源极和所述的第二十FinFET管的源极均接地,所述的第九FinFET管的源极、所述的第十FinFET管的源极、所述的第十一FinFET管的前

栅、所述的第十一FinFET管的背栅、所述的第十二FinFET管的前栅、所述的第十二FinFET管的背栅、所述的第十三FinFET管的背栅和所述的第十四FinFET管的背栅连接且其连接端为所述的一位全加器的低位进位信号输入端,所述的一位全加器的低位进位信号输入端用于接入低位进位信号,所述的第九FinFET管的漏极、所述的第十FinFET管的漏极、所述的第十一FinFET管的漏极、所述的第十二FinFET管的漏极、所述的第十七FinFET管的前栅、所述的第十七FinFET管的背栅、所述的第十八FinFET管的前栅和所述的第十八FinFET管的背栅连接,所述的第十七FinFET管的漏极和所述的第十八FinFET管的漏极连接且其连接端为所述的一位全加器的和信号输出端,所述的第十三FinFET管的漏极、所述的第十四FinFET管的漏极、所述的第十五FinFET管的漏极、所述的第十六FinFET管的漏极、所述的第十九FinFET管的前栅、所述的第十九FinFET管的背栅、所述的第二十FinFET管的前栅和所述的第二十FinFET管的背栅连接,所述的第十九FinFET管的漏极和所述的第二十FinFET管的漏极连接且其连接端为所述的一位全加器的高位进位信号输出端,所述的一位全加器的高位进位信号输出端用于输出高位进位信号。

2.根据权利要求1所述的一种基于FinFET管的一位全加器,其特征在于所述的第七FinFET管、所述第八FinFET管、所述的第十三FinFET管、所述的第十四FinFET管、所述的第十五FinFET管和所述的第十六FinFET管为高阈值FinFET管,所述的第一FinFET管、所述的第二FinFET管、所述的第三FinFET管、所述的第四FinFET管、所述的第五FinFET管、所述的第六FinFET管、所述的第九FinFET管、所述的第十FinFET管、所述的第十一FinFET管、所述的第十二FinFET管、所述的第十七FinFET管、所述的第十八FinFET管、所述的第十九FinFET管和所述的第二十FinFET管为低阈值FinFET管。

一种基于FinFET管的一位全加器

技术领域

[0001] 本发明涉及一种一位全加器,尤其是涉及一种基于FinFET管的一位全加器。

背景技术

[0002] 全加器作为电子系统的一种基本单元,它不仅能完成加法,还能参与减法、乘法和除法等运算,被广泛运用在大规模的集成电路设计中。全加器是性能要求比较高的数字信号处理器、微处理器以及单片机系统的重要单元,全加器性能的优劣对整个系统性能的影响特别重要。一位全加器广泛用于多位加法器的进位关键路径中,是影响多位加法器的重要因素之一。FinFET管(鳍式场效晶体管,Fin Field-Effect Transistor)是一种互补式金属氧化物(MOS)晶体管,具有高速、低功耗和面积小等优点。目前FinFET管已被应用于一位全加器的设计领域。

[0003] 传统的基于FinFET同栅静态互补逻辑的一位全加器的电路结构图如图1所示。该一位全加器使用静态互补逻辑产生和信号和高位进位信号输出,在和信号产生路径以及高位进位信号产生路径上使用了大量的N型FinFET管和P型FinFET管,一位全加器由28个FinFET管构成,造成一位全加器的电路面积、延时和功耗增大,另外低位进位信号输入端设置在离和信号输出端和高位进位信号输出端较近的位置,虽然能一定程度上加快一位全加器的运行速度,但是会导致一位加法器具有较大的负载电容,进一步增加功耗和增加高位进位信号产生路径的延时,以致该一位全加器电路面积、延时、功耗和功耗延时积(PDP)均较大。

发明内容

[0004] 本发明所要解决的技术问题是提供一种电路面积、延时、功耗和功耗延时积均较小的基于FinFET管的一位全加器。

[0005] 本发明解决上述技术问题所采用的技术方案为:一种基于FinFET管的一位全加器,包括第一FinFET管、第二FinFET管、第三FinFET管、第四FinFET管、第五FinFET管、第六FinFET管、第七FinFET管、第八FinFET管、第九FinFET管、第十FinFET管、第十一FinFET管、第十二FinFET管、第十三FinFET管、第十四FinFET管、第十五FinFET管、第十六FinFET管、第十七FinFET管、第十八FinFET管、第十九FinFET管和第二十FinFET管,所述的第一FinFET管、所述的第二FinFET管、所述的第五FinFET管、所述的第七FinFET管、所述的第九FinFET管、所述的第十二FinFET管、所述的第十三FinFET管、所述的第十五FinFET管、所述的第十七FinFET管和所述的第十九FinFET管为P型FinFET管,所述的第三FinFET管、所述的第四FinFET管、所述的第六FinFET管、所述的第八FinFET管、所述的第十FinFET管、所述的第十一FinFET管、所述的第十四FinFET管、所述的第十六FinFET管、所述的第十八FinFET管和所述的第二十FinFET管为N型FinFET管,所述的第一FinFET管、所述的第二FinFET管、所述的第三FinFET管、所述的第四FinFET管、所述的第五FinFET管、所述的第六FinFET管、所述的第七FinFET管、所述的第八FinFET管、所述的第九FinFET管、所述的第十FinFET管、所述的

第十一FinFET管、所述的第十二FinFET管、所述的第十三FinFET管、所述的第十四FinFET管、所述的第十五FinFET管、所述的第十六FinFET管、所述的第十七FinFET管、所述的第十八FinFET管、所述的第十九FinFET管和所述的第二十FinFET管的鳍的个数均为1；所述的第一FinFET管的源极、所述的第二FinFET管的前栅、所述的第二FinFET管的背栅、所述的第三FinFET管的源极、所述的第四FinFET管的前栅、所述的第四FinFET管的背栅、所述的第七FinFET管的前栅、所述的第八FinFET管的前栅、所述的第十五FinFET管的背栅和所述的第十六FinFET管的背栅连接且其连接端为所述的一位全加器的第一信号输入端，所述的一位全加器的第一信号输入端用于接入第一加数信号，所述的第一FinFET管的前栅、所述的第一FinFET管的背栅、所述的第二FinFET管的源极、所述的第三FinFET管的前栅、所述的第三FinFET管的背栅、所述的第四FinFET管的源极、所述的第七FinFET管的背栅、所述的第八FinFET管的背栅、所述的第十五FinFET管的前栅和所述的第十六FinFET管的前栅连接且其连接端为所述的一位全加器的第二信号输入端，所述的一位全加器的第二信号输入端用于接入第二加数信号，所述的第一FinFET管的漏极、所述的第二FinFET管的漏极、所述的第五FinFET管的前栅、所述的第五FinFET管的背栅、所述的第六FinFET管的漏极、所述的第八FinFET管的漏极、所述的第十FinFET管的前栅、所述的第十FinFET管的背栅、所述的第十一FinFET管的源极和所述的第十四FinFET管的前栅连接且其连接端为所述的一位全加器的低位进位信号输入端，所述的一位全加器的低位进位信号输入端用于接入低位进位信号，所述的第三FinFET管的漏极、所述的第四FinFET管的漏极、所述的第五FinFET管的漏极、所述的第六FinFET管的前栅、所述的第六FinFET管的背栅、所述的第七FinFET管的漏极、所述的第九FinFET管的前栅、所述的第九FinFET管的背栅、所述的第十二FinFET管的源极和所述的第十三FinFET管的前栅连接，所述的第五FinFET管的源极、所述的第七FinFET管的源极、所述的第十三FinFET管的源极、所述的第十五FinFET管的源极、所述的第十七FinFET管的源极和所述的第十九FinFET管的源极均接入电源，所述的第六FinFET管的源极、所述的第八FinFET管的源极、所述的第十四FinFET管的源极、所述的第十六FinFET管的源极、所述的第十八FinFET管的源极和所述的第二十FinFET管的源极均接地，所述的第九FinFET管的源极、所述的第十FinFET管的源极、所述的第十一FinFET管的前栅、所述的第十一FinFET管的背栅、所述的第十二FinFET管的前栅、所述的第十二FinFET管的背栅、所述的第十三FinFET管的背栅和所述的第十四FinFET管的背栅连接且其连接端为所述的一位全加器的低位进位信号输入端，所述的一位全加器的低位进位信号输入端用于接入低位进位信号，所述的第九FinFET管的漏极、所述的第十FinFET管的漏极、所述的第十一FinFET管的漏极、所述的第十二FinFET管的漏极、所述的第十七FinFET管的前栅、所述的第十七FinFET管的背栅、所述的第十八FinFET管的前栅和所述的第十八FinFET管的背栅连接，所述的第十七FinFET管的漏极和所述的第十八FinFET管的漏极连接且其连接端为所述的一位全加器的和信号输出端，所述的第十三FinFET管的漏极、所述的第十四FinFET管的漏极、所述的第十五FinFET管的漏极、所述的第十六FinFET管的漏极、所述的第十九FinFET管的前栅、所述的第十九FinFET管的背栅、所述的第二十FinFET管的前栅和所述的第二十FinFET管的背栅连接，所述的第十九FinFET管的漏极和所述的第二十FinFET管的漏极连接且其连接端为所述的一位全加器的高位进位信号输出端，所述的一位全加器的高位进位信号输出端用于输出高位进位信号。

[0006] 所述的第七FinFET管、所述第八FinFET管、所述的第十三FinFET管、所述的第十四FinFET管、所述的第十五FinFET管和所述的第十六FinFET管为高阈值FinFET管,所述的第一FinFET管、所述的第二FinFET管、所述的第三FinFET管、所述的第四FinFET管、所述的第五FinFET管、所述的第六FinFET管、所述的第九FinFET管、所述的第十FinFET管、所述的第十一FinFET管、所述的第十二FinFET管、所述的第十七FinFET管、所述的第十八FinFET管、所述的第十九FinFET管和所述的第二十FinFET管为低阈值 FinFET管。该结构中,高阈值P型FinFET管和高阈值N型FinFET管之间不存在由电源到地之间的短路通道,避免了电路的短路功耗,进一步降低电路功耗和功耗延时积。

[0007] 与现有技术相比,本发明的优点在于通过第一FinFET管、第二FinFET管、第三FinFET管、第四FinFET管、第五FinFET管、第六FinFET管、第七FinFET管、第八FinFET管、第九FinFET管、第十FinFET管、第十一FinFET管、第十二FinFET管、第十三FinFET管、第十四FinFET管、第十五FinFET管、第十六FinFET管、第十七FinFET管、第十八FinFET管、第十九FinFET管和第二十FinFET管构造一位全加器,第一FinFET管、第二FinFET管、第五FinFET管、第七FinFET管、第九FinFET管、第十二FinFET管、第十三FinFET管、第十五FinFET管、第十七FinFET管和第十九FinFET管为P型FinFET管,第三FinFET管、第四FinFET管、第六FinFET管、第八FinFET管、第十FinFET管、第十一FinFET管、第十四FinFET管、第十六FinFET管、第十八FinFET管和第二十FinFET管为N型FinFET管,第一FinFET管、第二FinFET管、第三FinFET管、第四FinFET管、第五FinFET管、第六FinFET管、第七FinFET管、第八FinFET管、第九FinFET管、第十FinFET管、第十一FinFET管、第十二FinFET管、第十三FinFET管、第十四FinFET管、第十五FinFET管、第十六FinFET管、第十七FinFET管、第十八FinFET管、第十九FinFET管和第二十FinFET管的鳍的个数均为1,本发明的一位全加器由20个FinFET管构成,使用的FinFET管数量较少,电路结构比较简单,在工作过程中,通过第七FinFET管和第八FinFET管保证了中间信号XOR/XNOR输出电压达全摆幅,增大了驱动能力,第九FinFET管、第十FinFET管、第十一FinFET管、第十二FinFET管、第十三FinFET管、第十四FinFET管、第十五FinFET管、第十六FinFET管、第十七FinFET管、第十八FinFET管、第十九FinFET管和第二十FinFET管构成的传输网络实现静态互补逻辑和传输管逻辑的混合逻辑,兼顾功耗、速度与驱动能力,有效降低一位全加器的功耗和延时,使一位全加器的电路面积、延时、功耗和功耗延时积均较小;

附图说明

[0008] 图1为现有的一种基于FinFET静态互补逻辑的一位全加器的电路结构图;

[0009] 图2为本发明的一种基于FinFET管的一位全加器的电路结构图;

[0010] 图3为标准电压(1V)下,本发明的一种基于FinFET管的一位全加器基于BSIMIMG标准工艺的仿真波形图;

[0011] 图4为超阈值电压(0.8V)下,本发明的一种基于FinFET管的一位全加器基于BSIMIMG标准工艺的仿真波形图。

具体实施方式

[0012] 以下结合附图实施例对本发明作进一步详细描述。

[0013] 实施例一:如图2所示,一种基于FinFET管的一位全加器,包括第一FinFET管M1、第二FinFET管M2、第三FinFET管M3、第四FinFET管M4、第五FinFET管M5、第六FinFET管M6、第七FinFET管M7、第八FinFET管M8、第九FinFET管M9、第十FinFET管M10、第十一FinFET管M11、第十二FinFET管M12、第十三FinFET管M13、第十四FinFET管M14、第十五FinFET管M15、第十六FinFET管M16、第十七FinFET管M17、第十八FinFET管M18、第十九FinFET管M19和第二十FinFET管M20,第一FinFET管M1、第二FinFET管M2、第五FinFET管M5、第七FinFET管M7、第九FinFET管M9、第十二FinFET管M12、第十三FinFET管M13、第十五FinFET管M15、第十七FinFET管M17和第十九FinFET管M19为P型FinFET管,第三FinFET管M3、第四FinFET管M4、第六FinFET管M6、第八FinFET管M8、第十FinFET管M10、第十一FinFET管M11、第十四FinFET管M14、第十六FinFET管M16、第十八FinFET管M18和第二十FinFET管M20为N型FinFET管,第一FinFET管M1、第二FinFET管M2、第三FinFET管M3、第四FinFET管M4、第五FinFET管M5、第六FinFET管M6、第七FinFET管M7、第八FinFET管M8、第九FinFET管M9、第十FinFET管M10、第十一FinFET管M11、第十二FinFET管M12、第十三FinFET管M13、第十四FinFET管M14、第十五FinFET管M15、第十六FinFET管M16、第十七FinFET管M17、第十八FinFET管M18、第十九FinFET管M19和第二十FinFET管M20的鳍的个数均为1;第一FinFET管M1的源极、第二FinFET管M2的前栅、第二FinFET管M2的背栅、第三FinFET管M3的源极、第四FinFET管M4的前栅、第四FinFET管M4的背栅、第七FinFET管M7的前栅、第八FinFET管M8的前栅、第十五FinFET管M15的背栅和第十六FinFET管M16的背栅连接且其连接端为一位全加器的第一信号输入端,一位全加器的第一信号输入端用于接入第一加数信号A,第一FinFET管M1的前栅、第一FinFET管M1的背栅、第二FinFET管M2的源极、第三FinFET管M3的前栅、第三FinFET管M3的背栅、第四FinFET管M4的源极、第七FinFET管M7的背栅、第八FinFET管M8的背栅、第十五FinFET管M15的前栅和第十六FinFET管M16的前栅连接且其连接端为一位全加器的第二信号输入端,一位全加器的第二信号输入端用于接入第二加数信号B,第一FinFET管M1的漏极、第二FinFET管M2的漏极、第五FinFET管M5的前栅、第五FinFET管M5的背栅、第六FinFET管M6的漏极、第八FinFET管M8的漏极、第十FinFET管M10的前栅、第十FinFET管M10的背栅、第十一FinFET管M11的源极和第十四FinFET管M14的前栅连接且其连接端为一位全加器的低位进位信号输入端,一位全加器的低位进位信号输入端用于接入低位进位信号,第三FinFET管M3的漏极、第四FinFET管M4的漏极、第五FinFET管M5的漏极、第六FinFET管M6的前栅、第六FinFET管M6的背栅、第七FinFET管M7的漏极、第九FinFET管M9的前栅、第九FinFET管M9的背栅、第十二FinFET管M12的源极和第十三FinFET管M13的前栅连接,第五FinFET管M5的源极、第七FinFET管M7的源极、第十三FinFET管M13的源极、第十五FinFET管M15的源极、第十七FinFET管M17的源极和第十九FinFET管M19的源极均接入电源,第六FinFET管M6的源极、第八FinFET管M8的源极、第十四FinFET管M14的源极、第十六FinFET管M16的源极、第十八FinFET管M18的源极和第二十FinFET管M20的源极均接地,第九FinFET管M9的源极、第十FinFET管M10的源极、第十一FinFET管M11的前栅、第十一FinFET管M11的背栅、第十二FinFET管M12的前栅、第十二FinFET管M12的背栅、第十三FinFET管M13的背栅和第十四FinFET管M14的背栅连接且其连接端为一位全加器的低位进位信号输入端,一位全加器的低位进位信号输入端用于接入低位进位信号,第九FinFET管M9的漏极、第十FinFET管M10的漏极、第十一FinFET管M11的漏极、第十二FinFET管M12的漏极、第十七FinFET管M17的前栅、

第十七FinFET管M17的背栅、第十八FinFET管M18的前栅和第十八FinFET管M18的背栅连接,第十七FinFET管M17的漏极和第十八FinFET管M18的漏极连接且其连接端为一位全加器的和信号输出端,第十三FinFET管M13的漏极、第十四FinFET管M14的漏极、第十五FinFET管M15的漏极、第十六FinFET管M16的漏极、第十九FinFET管M19的前栅、第十九FinFET管M19的背栅、第二十FinFET管M20的前栅和第二十FinFET管M20的背栅连接,第十九FinFET管M19的漏极和第二十FinFET管M20的漏极连接且其连接端为一位全加器的高位进位信号输出端,一位全加器的高位进位信号输出端用于输出高位进位信号。

[0014] 实施例二:如图2所示,一种基于FinFET管的一位全加器,包括第一FinFET管M1、第二FinFET管M2、第三FinFET管M3、第四FinFET管M4、第五FinFET管M5、第六FinFET管M6、第七FinFET管M7、第八FinFET管M8、第九FinFET管M9、第十FinFET管M10、第十一FinFET管M11、第十二FinFET管M12、第十三FinFET管M13、第十四FinFET管M14、第十五FinFET管M15、第十六FinFET管M16、第十七FinFET管M17、第十八FinFET管M18、第十九FinFET管M19和第二十FinFET管M20,第一FinFET管M1、第二FinFET管M2、第五FinFET管M5、第七FinFET管M7、第九FinFET管M9、第十二FinFET管M12、第十三FinFET管M13、第十五FinFET管M15、第十七FinFET管M17和第十九FinFET管M19为P型FinFET管,第三FinFET管M3、第四FinFET管M4、第六FinFET管M6、第八FinFET管M8、第十FinFET管M10、第十一FinFET管M11、第十四FinFET管M14、第十六FinFET管M16、第十八FinFET管M18和第二十FinFET管M20为N型FinFET管,第一FinFET管M1、第二FinFET管M2、第三FinFET管M3、第四FinFET管M4、第五FinFET管M5、第六FinFET管M6、第七FinFET管M7、第八FinFET管M8、第九FinFET管M9、第十FinFET管M10、第十一FinFET管M11、第十二FinFET管M12、第十三FinFET管M13、第十四FinFET管M14、第十五FinFET管M15、第十六FinFET管M16、第十七FinFET管M17、第十八FinFET管M18、第十九FinFET管M19和第二十FinFET管M20的鳍的个数均为1;第一FinFET管M1的源极、第二FinFET管M2的前栅、第二FinFET管M2的背栅、第三FinFET管M3的源极、第四FinFET管M4的前栅、第四FinFET管M4的背栅、第七FinFET管M7的前栅、第八FinFET管M8的前栅、第十五FinFET管M15的背栅和第十六FinFET管M16的背栅连接且其连接端为一位全加器的第一信号输入端,一位全加器的第一信号输入端用于接入第一加数信号A,第一FinFET管M1的前栅、第一FinFET管M1的背栅、第二FinFET管M2的源极、第三FinFET管M3的前栅、第三FinFET管M3的背栅、第四FinFET管M4的源极、第七FinFET管M7的背栅、第八FinFET管M8的背栅、第十五FinFET管M15的前栅和第十六FinFET管M16的前栅连接且其连接端为一位全加器的第二信号输入端,一位全加器的第二信号输入端用于接入第二加数信号B,第一FinFET管M1的漏极、第二FinFET管M2的漏极、第五FinFET管M5的前栅、第五FinFET管M5的背栅、第六FinFET管M6的漏极、第八FinFET管M8的漏极、第十FinFET管M10的前栅、第十FinFET管M10的背栅、第十一FinFET管M11的源极和第十四FinFET管M14的前栅连接且其连接端为一位全加器的低位进位信号输入端,一位全加器的低位进位信号输入端用于接入低位进位信号,第三FinFET管M3的漏极、第四FinFET管M4的漏极、第五FinFET管M5的漏极、第六FinFET管M6的前栅、第六FinFET管M6的背栅、第七FinFET管M7的漏极、第九FinFET管M9的前栅、第九FinFET管M9的背栅、第十二FinFET管M12的源极和第十三FinFET管M13的前栅连接,第五FinFET管M5的源极、第七FinFET管M7的源极、第十三FinFET管M13的源极、第十五FinFET管M15的源极、第十七FinFET管M17的源极和第十九FinFET管M19的源极均接入电源,第六FinFET管M6

的源极、第八FinFET管M8的源极、第十四FinFET管M14的源极、第十六FinFET管M16的源极、第十八FinFET管M18的源极和第二十FinFET管M20的源极均接地,第九FinFET管M9的源极、第十FinFET管M10的源极、第十一FinFET管M11的前栅、第十一FinFET管M11的背栅、第十二FinFET管M12的前栅、第十二FinFET管M12的背栅、第十三FinFET管M13的背栅和第十四FinFET管M14的背栅连接且其连接端为一位全加器的低位进位信号输入端,一位全加器的低位进位信号输入端用于接入低位进位信号,第九FinFET管M9的漏极、第十FinFET管M10的漏极、第十一FinFET管M11的漏极、第十二FinFET管M12的漏极、第十七FinFET管M17的前栅、第十七FinFET管M17的背栅、第十八FinFET管M18的前栅和第十八FinFET管M18的背栅连接,第十七FinFET管M17的漏极和第十八FinFET管M18的漏极连接且其连接端为一位全加器的和信号输出端,第十三FinFET管M13的漏极、第十四FinFET管M14的漏极、第十五FinFET管M15的漏极、第十六FinFET管M16的漏极、第十九FinFET管M19的前栅、第十九FinFET管M19的背栅、第二十FinFET管M20的前栅和第二十FinFET管M20的背栅连接,第十九FinFET管M19的漏极和第二十FinFET管M20的漏极连接且其连接端为一位全加器的高位进位信号输出端,一位全加器的高位进位信号输出端用于输出高位进位信号。

[0015] 本实施例中,第七FinFET管M7、所述第八FinFET管M8、第十三FinFET管M13、第十四FinFET管M14、第十五FinFET管M15和第十六FinFET管M16为高阈值FinFET管且其阈值为0.6V,第一FinFET管M1、第二FinFET管M2、第三FinFET管M3、第四FinFET管M4、第五FinFET管M5、第六FinFET管M6、第九FinFET管M9、第十FinFET管M10、第十一FinFET管M11、第十二FinFET管M12、第十七FinFET管M17、第十八FinFET管M18、第十九FinFET管M19和第二十FinFET管M20为低阈值FinFET管且其阈值为0.1V。

[0016] 为了验证本发明的一种基于FinFET管的一位全加器的优越性,在BSIMIMG标准工艺下,本发明的一种基于FinFET管的一位全加器和现有的基于FinFET器件静态互补逻辑的一位全加器的各种性能进行比较。使用电路仿真工具HSPICE在电路的输入频率为200MHz、500MHz、1GHz的条件下对两种电路结构进行仿真比较分析,BSIMIMG工艺库对应的电源电压为1V。标准电压(1V)下,本发明的一种基于FinFET管的一位全加器基于BSIMIMG标准工艺的仿真波形图如图3所示;超阈值电压(0.8V)下,本发明的一种基于FinFET管的一位全加器基于BSIMIMG标准工艺的仿真波形图如图4所示。

[0017] 超阈值条件0.8V下,电路输入频率200MGHZ时,本发明的一种基于FinFET管的一位全加器和现有的基于FinFET器件静态互补逻辑的一位全加器的各种性能如表1所示。

[0018] 表1

[0019]

全加器类型	晶体管数目	和输出延时(ns)	输出进位延时(ns)	平均功耗(UW)	功耗延时积
基于 FinFET 器件静态互补逻辑的一位全加器	28	0.0348	0.0392	29.6062	1.1606
基于 FinFET 管的一位全加器	20	0.0317	0.0283	24.4729	0.7758

[0020] 从表1可以看出,本发明的一种基于FinFET管的一位全加器和现有的基于FinFET器件静态互补逻辑的一位全加器相比,晶体管数量减少8个,和输出延时降低了8.9%,输出

进位延时降低27.8%，平均总功耗降低了17.3%，功耗延时积降低了33.2%。

[0021] 超阈值条件0.8V下,电路输入频率500MGHZ时,本发明的一种基于FinFET管的一位全加器和现有的基于FinFET器件静态互补逻辑的一位全加器的各种性能如表2所示。

[0022] 表2

[0023]

全加器类型	晶体管数目	和输出延时(ns)	进位输出延时(ns)	平均功耗(fW)	功耗延时积
基于 FinFET 器件静态互补逻辑的一位全加器	28	0.0348	0.0392	36.2001	1.4190
基于 FinFET 管的一位全加器	20	0.0317	0.0283	30.3974	0.9636

[0024] 从表2可以看出,本发明的一种基于FinFET管的一位全加器和现有的基于FinFET器件静态互补逻辑的一位全加器相比,晶体管数量减少8个,和输出延时降低看8.9%,输出进位延时降低27.8%,平均总功耗降低了16.0%,功耗延时积降低了32.1%。

[0025] 超阈值条件0.8V下,电路输入频率1GHz时,本发明的一种基于FinFET管的一位全加器和现有的基于FinFET器件静态互补逻辑的一位全加器的各种性能如表3所示。

[0026] 表3

[0027]

全加器类型	晶体管数目	和输出延时(ns)	进位输出延时(ns)	平均功耗(uW)	功耗延时积
基于 FinFET 器件静态互补逻辑的一位全加器	28	0.0348	0.0392	47.2532	1.8523
基于 FinFET 管的一位全加器	20	0.0317	0.0283	40.2815	1.2769

[0028] 从表3可以看出,本发明的一种基于FinFET管的一位全加器和现有的基于FinFET器件静态互补逻辑的一位全加器相比,晶体管数量减少8个,和输出延时降低看8.9%,输出进位延时降低27.8%,平均总功耗降低了14.8%,功耗延时积降低了31.1%。

[0029] 由上述比较结果可知,在不影响电路性能的前提下,本发明的一种基于FinFET管的一位全加器和现有的基于FinFET器件静态互补逻辑的一位全加器相比,晶体管的数量减少了8个,电路面积、延时、功耗和功耗延时积得到了显著优化。

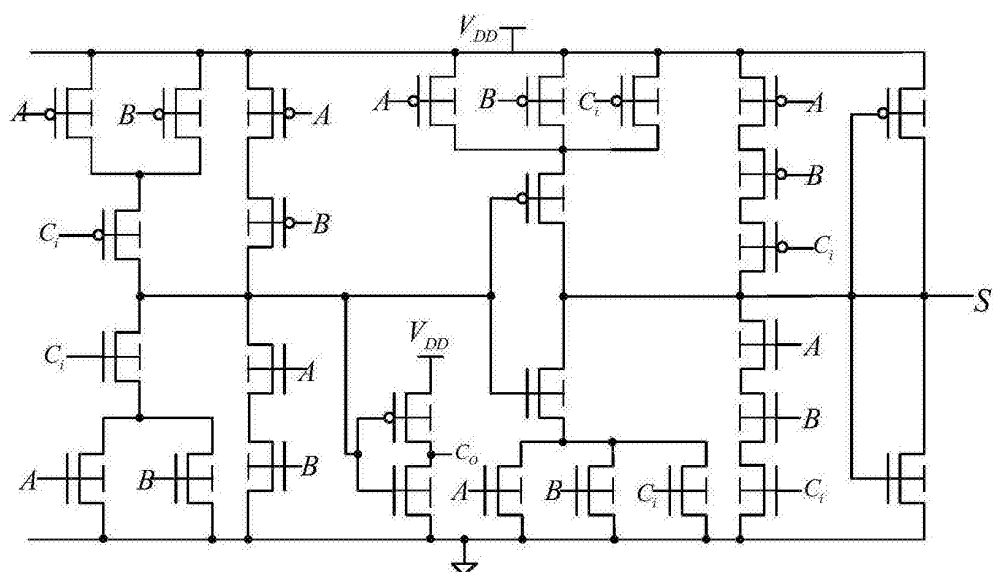


图1

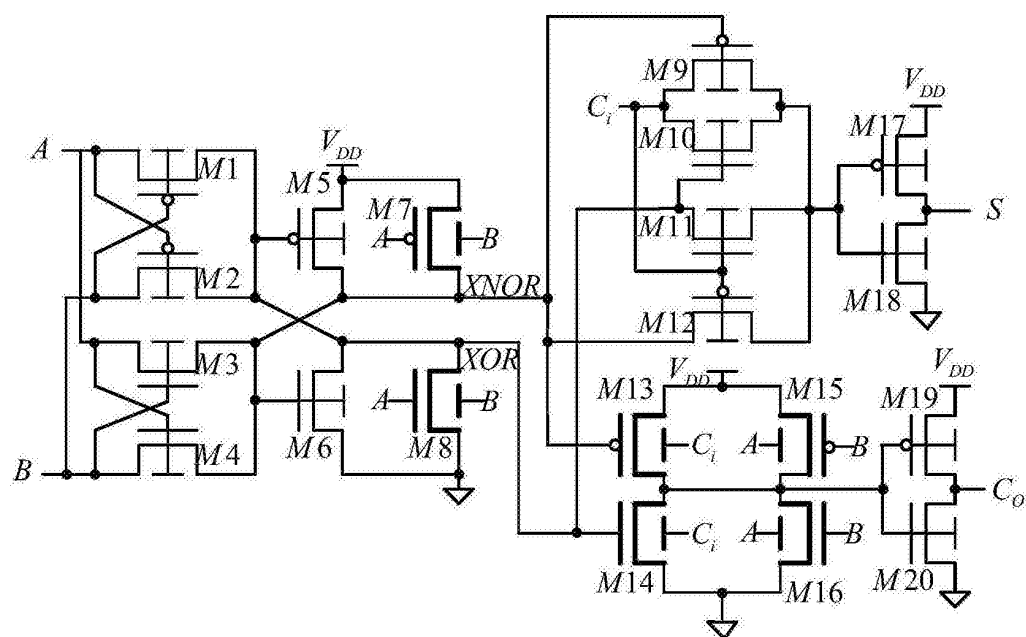


图2

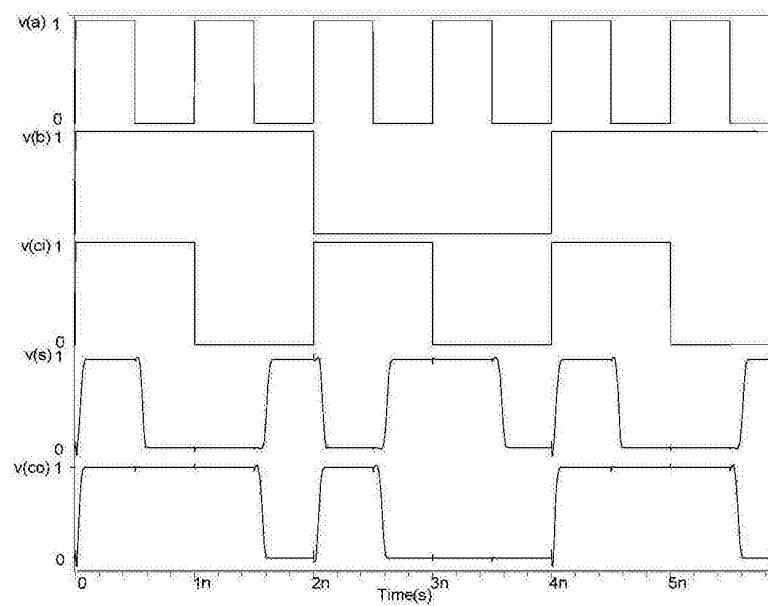


图3

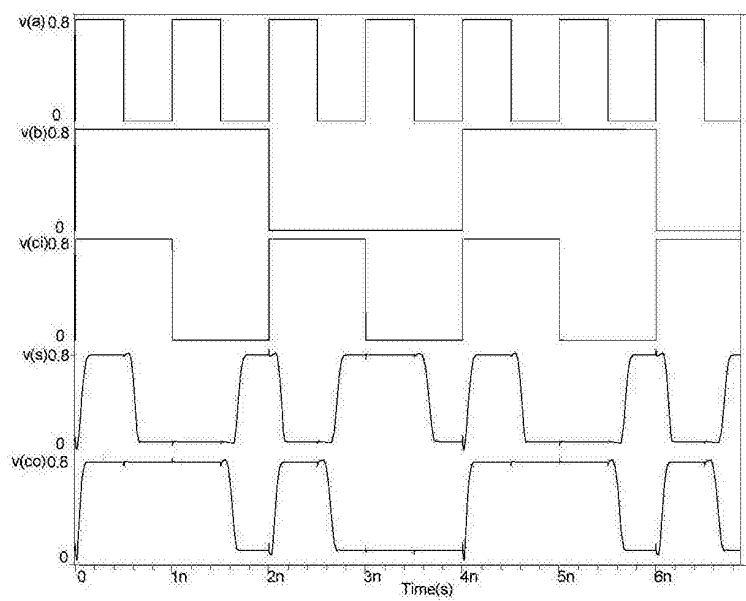


图4