

Lab 2

學號: 108071003

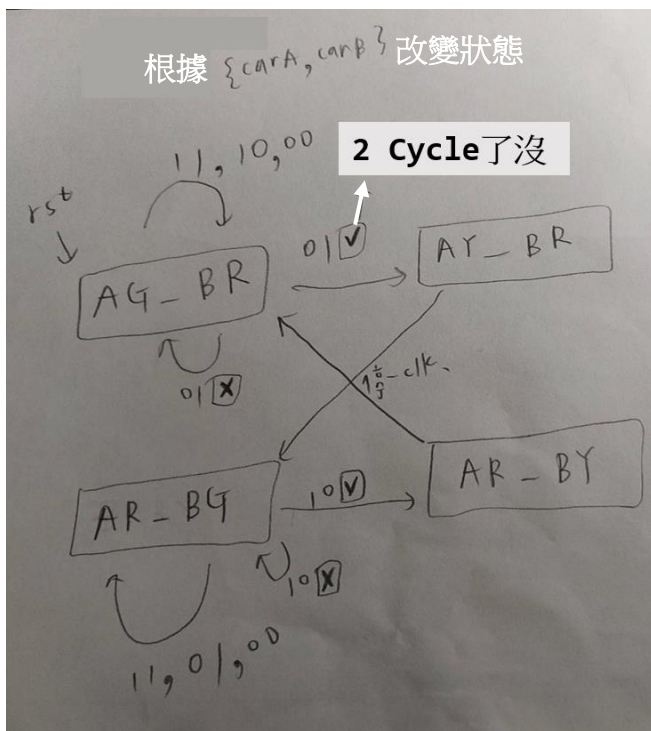
姓名: 李彥璋

1. 實作過程

Lab2_1.v：這題要做一個 counter，它是一個特殊的 counter，根據一定規則運作。我主要是參考老師的 verilog series part5 的內容，是關於 sequential 的觀念。事實上它應該是沒有太難，但是我有一個地方弄錯結果搞超久... (寫在 2.)。

Lab2_1.t.v：這題是要設計 testbench for **Lab2_1.v**，我覺得很抽象@@，因為這樣就沒有一種正確答案的感覺，我後來是參考 **Lab2_2.t.v** 的 code，並使用 lookup table 完成(因為這題可以用)，我覺得可能 testbench 的設計還要再熟悉一下，畢竟也不一定每次都有人幫我做好 testbench。

Lab2_2.v：這題要根據 spec 製作一個紅綠燈感應器(?)，我這題採用 moore 的 FINITE-STATE-MACHINE(如圖)。基本上在寫這題也是發生了另一個小問題，然後也是弄很很很很久(寫在 2.)。



Explanation :

AG_BR -> A 綠燈 B 紅燈 001100

AY_BR -> A 黃燈 B 紅燈 010100

AR_BG -> A 紅燈 B 綠燈 100001

AR_BY -> A 紅燈 B 黃燈 100010

Input 是{carA,carB}

我用 parameter 定義 4 個狀態，
為一個 6bits 的數，
之後直接賦值給{lightA, lightB}。

2. 學到的東西與遇到的困難

Lab2_1：這題我遇到的困難是在 simulate 時，數列 0 -> 1 -> 3 -> 6 -> 2 -> 7 -> 1 -> 8 到這裡都對，下一個數變成 **10 (應該要是 16)**，然後我一直以為是 code 的問題，所以重寫了大概 6.7 次，但都是一樣的結果(從星期 6 晚上寫到星期 7 下午==)。最後問同學才發現是 simulate 的顯示沒有改成 decimal。YYY 阿 10 是 hex 的 16 的意思，超扯的，浪費一堆時間 QQ，但也學到一課！(P.S. 同學說老師的 VERILOG SERIES 裡面有講要改 XD，我說「可是我都有看」，結論是我看影片時覺得之後 simulate 的時候一定會改，結果...就忘了...)。

Lab2_2：這題遇到的困難也是很荒謬，就是我設定了一個 count 變數要記錄是否某個狀態經

過 2cycles 了，然後我就直接宣告 **reg count;**，跑的時候，一直只能數到 1cycle。後來我才發現它只有 1bit...所以宣告的時候要宣告 bits 數量阿！！eg. **reg [31:0] count;**

3. 想對老師或助教說的話

我覺得老師的 verilog series 真的超級有用的，寫作業的時候都有一邊參考，謝謝老師的用心！
另外，希望課程不要太難過 XDDD！