

計算機科學導論



主講人 姓名 張琪

Name Zhang Qi

澳門城市大學

City University of Macau

第十四章 觸發器及時序邏輯電路

本章學習要點:

- 1 觸發器基本概念
- → 基本RS觸發器
- 3 簡單鐘控觸發器
- 4 時序邏輯電路的基本概念
- 5 同步時序邏輯電路
- 6 异步時序邏輯電路

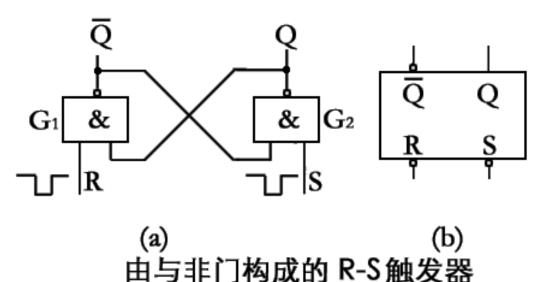
14.1 觸發器基本概念

- 爲了構造實現各種功能的邏輯電路,除了需要實現邏輯運算的邏輯門之外, 還需要有能够保存信息的邏輯器件
- 觸發器: 是一種具有記憶功能的電子器件
- 觸發器結構: 邏輯門加上適當的反饋綫
- 觸發器能用來存儲一位三進制信息。集成觸發器的種類很多,分 類方法也各不相同

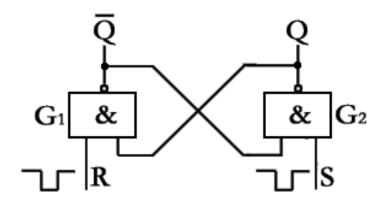
14.1 觸發器基本概念

- 觸發器的特點
- 有兩個互補的輸出端 Q 和 Q
- 有兩個穩定狀態。通常將 Q = 1和 Q=0 稱爲 "1" 狀態,而 把Q = 0和 Q=1稱爲"0" 狀態。當輸入信號不發生變化時,觸發器狀態穩定不變
- 現態與次態的概念:
- 現態: 輸入信號作用前的狀態,記作 \mathbf{Q}^n 和 \mathbf{Q}^n ,一般簡記 爲 \mathbf{Q}^n 和 \mathbf{O}^n ;
- 次態: 輸入信號作用後的狀態,記作 \mathbb{Q}^{n+1} 和 \mathbb{Q}^{n+1}
- 顯然, 次態是現態和輸入的函數

- 基本R-S(Reset-Set)觸發器是直接複位置位觸發器的簡稱,由于它是構成各種功能觸發器的基本部件,故稱爲基本R-S觸發器
- 一. 用與非門構成的基本R-S觸發器
- 1. 組成:由兩個與非門交叉耦合構成。
- 圖中, R稱爲置O端或者複位端,S稱爲置1端或置位端。 邏輯 符號輸入端加的小圓圈表示低電平或負脉衝有效



● 2. 工作原理



- (1) 若R=1,S=1,則觸發器保持原來狀態不變;
- (2) 若R=1,S=0,則觸發器置爲1狀態;
- (3) 若R=0,S=1,則觸發器置爲0狀態;
- (4) 不允許出現R=0,S=0

- ●邏輯功能及其描述
- (1)功能表
- 由與非門構成的R-S觸發器的邏輯功能表如下:

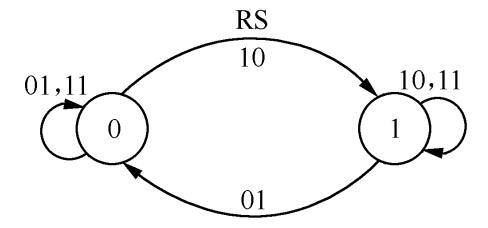
與非門構成的基本RS觸發器功能表		
R S	Qn+1	功能說明
0 0	d	不定
0 1	0	置 0
1 0	1	置 1
1 1	Q	不變

● 表中 "d" 表示觸發器次態不確定。該表又稱爲次態真值表

- (2) 狀態表
- 狀態表反映了觸發器在輸入信號作用下現態與次態之間的轉移關係,又稱爲狀態轉移表。它給出了次態與現態、輸入之間的取值關係
- 與非門構成的RS觸發器狀態表如下:

1日台5	次態 Q n+1			
現態Q	RS=00	RS=01	RS=11	RS=10
0	d	0	0	1
1	d	0	1	1

- ●觸發器的特點
- (3)狀態圖
- 狀態圖是一種反映觸發器兩種狀態之間轉移關係的有向圖,又稱爲狀態轉移圖。該觸發器的狀態圖如下:



● 圖中兩個圓圈分別代表觸發器的兩個穩定狀態,箭頭表示在輸入 信號作用下狀態轉移的方向,箭頭旁邊的標注表示狀態轉移的條 件

- (4) 次態方程
- 反映觸發器次態與現態和輸入之間關係的邏輯函數表達式稱爲次態方程。根據狀態表,可畫出次態與現態、輸入之間函數關係的卡諾圖
- 用卡諾圖化簡後,可得到該觸發器的次態方程:

$$Q^{n+1} = \overline{S} + RQ$$

● 因爲R、S不允許同時爲O,所以輸入必須同時滿足約束條件:

$$R + S = 1$$
 (約束方程)

理能		次態	Q ⁿ⁺¹	
現態Q	RS=00	RS=01	RS=11	RS=10
0	d	0	0	1
1	d	0	1	1

$\langle R \rangle$	S			
0	00	01	11	10
0	d	0	0	1
1	d	0	1	1

- (5)激勵表
- 激勵表反映了觸發器從現態轉移到某種次態時,對輸入信號的要求。它以觸發器的現態和次態作爲自變量,把觸發器的輸入(或 激勵)作爲因變量。激勵表可以由功能表導出

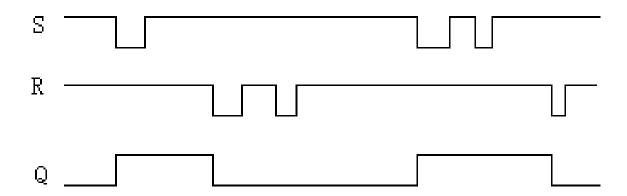
與非門基本RS觸發器功能表		
R S	Qn+1	功能說明
0 0 0 1 1 0 1 1	d 0 1 Q	不 置 置 毛 ぞ 毛 毛 毛 毛 毛 毛 毛 毛 毛 毛 毛 毛 毛 毛 毛 毛



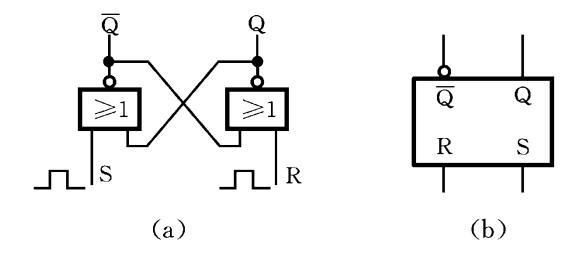
一兴が		
$Q \rightarrow Q^{n+1}$	R S	
0 0 0 1 1 0 1 1	d 1 1 0 0 1 1 d	

● 功能表、狀態表、狀態圖、次態方程和激勵表分別從不同角度對 觸發器的功能進行了描述,它們在時序邏輯電路的分析和設計中 有著不同用途

● 注意:當輸入端S連續出現多個置1信號或者輸入端R連續出現多個置0信號時,僅第一個信號使觸發器翻轉,波形圖如下:

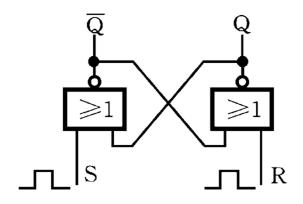


- 二.用或非門構成的基本R-S觸發器
- 1.組成:由兩個或非門交叉耦合組成



● 該電路的輸入是正脉衝或高電平有效,故邏輯符號的輸入端未加 小圓圈

● 2.工作原理



● R=1,S=1: 狀態不定

● R=1,S=0: 狀態置0

● R=0,S=1: 狀態置1

● R=0,S=0: 狀態不變

- ●邏輯功能及其描述
- (1)功能表
- 由或非門構成的R-S觸發器的邏輯功能表如下:

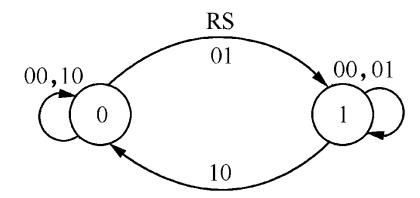
或非門構成的基本RS觸發器功能表		
R S	Qn+1	功能說明
0 0 0 1	Q 1	不 置 1
1 0	0	置 0
1 1	d	不 定

● 表中 "d" 表示觸發器次態不確定

- (2)狀態表
- 或非門構成的RS觸發器狀態表如下

IEI 台E C		次態	Q ⁿ⁺¹	
現態Q	RS=00	RS=01	RS=11	RS=10
0	0	1	d	0
1	1	1	d	0

- (3)狀態圖
- ●該觸發器的狀態圖如下



- (4) 次態方程
- 根據狀態表,可畫出次態與現態、輸入之間函數關係的卡諾圖

現態Q」	- 次態 Q n+1			
况您 Q	RS=00	RS=01	RS=11	RS=10
0 1	0 1	1 1	d d	0

● 用卡諾圖化簡後,可得到該觸發器的次態方程:

$$Q^{n+1} = S + \overline{R}Q$$

- 因爲R、S不允許同時爲1,應滿足約束條件:
- R·S = 0 (約束方程)

$\langle R \rangle$	S			
$^{\circ}$	00	01	11	10
0	0	1	d	0
1	1	1	d	0

▼14.2 基本RS觸發器

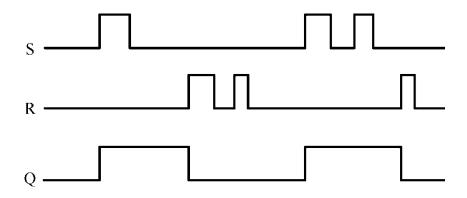
- (5)激勵表
- 由功能表可以導出激勵表如下:

或非門基本RS觸發器功能表			
R S	Qn+1	功能說明	
0 0 0 1 1 0 1 1	Q 1 0 d	不 置 置 不 定	



或非門基本RS觸發器激勵表		
$Q \rightarrow Q^{n+1}$	R S	
0 0	d 0	
0 1	0 1	
1 0	1 0	
1 1	0 d	

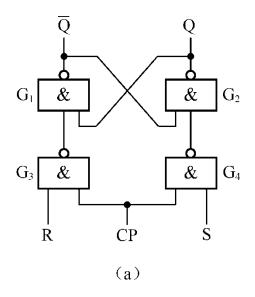
● 同樣,當輸入端S連續出現多個置1信號或者輸入端R連續出現多個置0信號時,僅第一個信號使觸發器翻轉,波形圖如下:

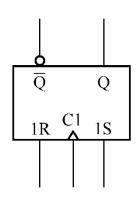


- 優點:結構簡單。不僅可作爲記憶元件獨立使用,而且由于它具有直接複位、置位功能,因而被作爲各種性能更完善的觸發器的基本組成部分。
- 缺點:輸入R、S之間存在約束條件,且無法對其狀態轉換時刻 進行統一定時控制

- 具有時鐘脉衝控制的觸發器稱爲"鐘控觸發器"或者"定時觸發器"
- 時鐘脉衝控制觸發器的工作特點:
- 由時鐘脉衝確定狀態轉換的時刻(即何時轉換?);
- 由輸入信號確定觸發器狀態轉換的方向(即如何轉換?)。
- 下面介紹四種最常用的簡單鐘控觸發器

- 一. 鐘控R-S觸發器
- 1. 組成
- 由四個與非門構成。其中,與非門G1、G2構成基本R-S觸發器; 與非門G3、G4組成控制電路,通常稱爲控制門
- 邏輯圖和邏輯符號如圖(a)、(b)所示





- 2 · 工作原理
- 當無時鐘脉衝作用(即CP=0)時,不管R、S端爲何值,兩個控制門的輸出均爲1,觸發器狀態保持不變
- 當時鐘脉衝到來(即CP=1)時,輸入端R、S的值可以通過控制門作用于上面的基本R-S觸發器。具體如下:
- R=0, S=0:控制門G3、G4的輸出均爲1,狀態保持不變;
- R=0, S=1:控制門G3、G4的輸出分別爲1和0,置成1狀態;
- R=1, S=0:控制門G3、G4的輸出分別爲0和1,置成0狀態;
- R=1, S=1:控制門G3、G4的輸出均爲0,狀態不確定(不允許)

& G4

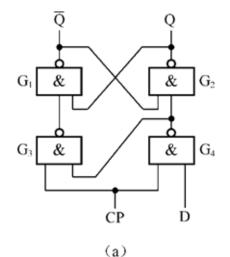
- 3. 邏輯功能
- 在時鐘控制觸發器中,時鐘信號CP是一種固定的時間基準,通常不作爲輸入信號列入表中。對觸發器功能進行描述時,均只考慮時鐘作用(CP=1)時的情况。因此,其功能表、次態方程、約束方程、狀態表、狀態圖在形式上和或非門構成的基本RS觸發器相同。例如

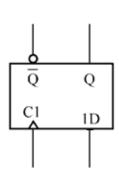
$$Q^{n+1} = (S + \overline{R}Q)$$
 (次态方程) $R \cdot S = 0$ (约束方程)

或非門基本RS觸發器功能表			
R S	Qn+1	功能說明	
0 0 0 1 1 0 1 1	Q 1 0 d	不 置 1 置 0 不定	

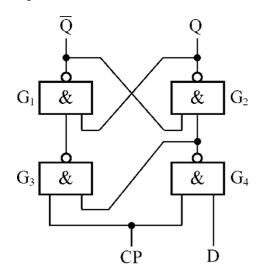
- 注意:時鐘控制 R S 觸發器雖然解决了對觸發器工作進行定時控制的問題,而且具有結構簡單等優點,但:
- 輸入信號依然存在約束條件,即R、S不能同時爲1

- 二. D觸發器
- 1. 組成
- 爲了解决時鐘控制R-S觸發器在輸入端R、S同時爲1時狀態不確定的問題,將其變成如下圖(a)所示的形式,便形成了只有一個輸入端的D觸發器。其邏輯符號如圖 (b)所示
- 控制電路在時鐘脉衝作用期間(CP=1時),將輸入信號D轉換成一對互補信號送至基本R-S觸發器的兩個輸入端,使基本R-S觸發器的兩個輸入端,使基本R-S觸發器的兩個輸入信號只可能是01或者10兩種組合,從而消除了狀態不確定現象,解决了對輸入的約束問題





- 2、工作原理
- 無時鐘脉衝(即CP=0):控制電路被封鎖,無論D爲何值,與非門G₃、G₄輸出均爲1,觸發器狀態保持不變
- 有時鐘脉衝(即CP=1):若D=0,則門 G_4 輸出爲1,門 G_3 輸出爲0,觸發器狀態被置0;若D=1,則門 G_4 輸出爲0,門 G_3 輸出爲1,觸發器狀態被置1
- 時鐘作用時,D觸發器狀態的變化僅取决于輸入信號D,而與現態無關。其次態方程爲
- $Q^{n+1} = D$



- 3、功能描述
- (1) 次態方程爲: Qn+1 = D

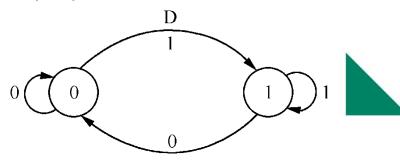
(2)D觸發器功能表m			
D	Qn+1	功能說明	
0	0	置 0	
1	1	置 1	

珥能○	次態 Q n+1	
現態Q	D=0	D=1
0 1	0	1 1

4)D觸發器狀態表

(3)D觸發器激勵表		
$Q \rightarrow Q^{n+1}$	D	
0 0	0	
0 1	1	
1 0	0	
1 1	1	

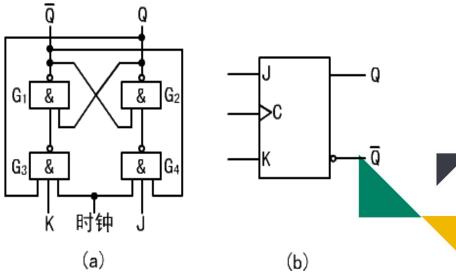
(5)狀態圖



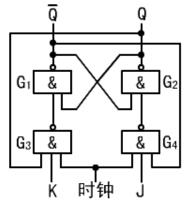
- 三 . J-K 觸發器
- 1 . 組成
- 在時鐘控制 R-S 觸發器中增加兩條反饋綫,將觸發器的輸出 Q 和 \overline{Q} 交叉反饋到兩個控制門的輸入端,并把原來的輸入端 S 改成 J,R 改成 K,即可改進成 J-K 觸發器
- J-K觸發器的邏輯圖和邏輯符號如下圖所示

● 利用觸發器兩個輸出端信號始終互補的特點,有效地解决了時鐘控制 R-S觸發器在時鐘脉衝作用期間兩個輸入同時爲1將導致觸

發器狀態不確定的問題



- 2、工作原理
- (1) 無時鐘脉衝 (C=0)時, 觸發器保持原來狀態不變
- (2) 時鐘脉衝作用(C=1)時,與J、K相關
- ① J=0,K=0:狀態不變
- ② J=0,K=1:若原來處于0狀態,則保持0狀態不變;若原來處于1狀態,則狀態置成0。即JK =01時,次態一定爲0態
- ③ J=1,K=0:若原來處于0狀態,觸發器狀態置成1;若原來處于1狀態,保持1狀態不變。即JK=10時,次態一定爲1狀態
- ④ J=1,K=1:若原來處于0狀態,則置成1狀態;若原來處于1 狀態,則置成0狀態。即JK =11時,觸發器的次態與現態相反



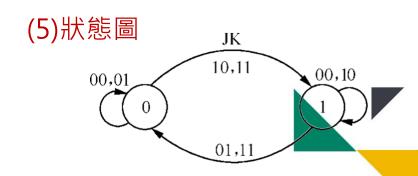
- 3、功能描述
- (2) 次態方程爲 Qⁿ⁺¹ = JQ+KQ

(1)JK觸發器功能表			
J K	Qn+1	功能說明	
0 0 0 1 1 0 1 1	Q 0 1 0	不 置 置 1 翻 轉	

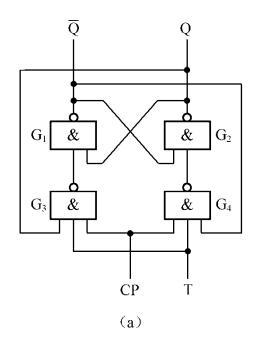
(3)K胸設		
$Q \rightarrow Q^{n+1}$	JK	
0 0 0 1 1 0 1 1	0 d 1 d d 1 d 0	

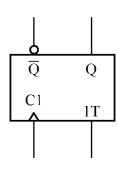
(4)JK觸發器狀態表

現態	次態Qn+1			
Q	JK=00	JK=01	JK=11	JK=10
0 1	0 1	0	1 0	1 1



- 四. T 觸發器
- T觸發器又稱爲計數觸發器。如果把J-K觸發器的兩個輸入端J和 K連接起來,并把連接在一起的輸入端用符號T表示,就構成了T 觸發器
- 相應的邏輯圖和邏輯符號分別如圖(a)和圖(b)所示





● T觸發器的邏輯功能可直接由J-K觸發器的次態方程導出。J-K觸 發器的次態方程:

$$Q^{n+1} = J\overline{Q} + \overline{K}Q$$

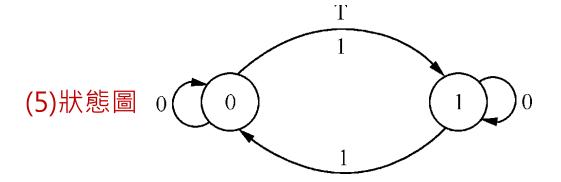
- 將該方程中的J和K均用T代替後,即可得到T觸發器的次態方程
- (1) 次態方程: $Q^{n+1} = TQ + TQ = T \oplus Q$
- 根據次態方程,可列出T觸發器的功能表
- 功能:當T=O時,觸發器狀態保持不變;
- 當T=1時,在時鐘脉衝作用下狀態翻轉,相當于一位二進制計數器

(2)T觸發器功能表		
Т	Qn+1	功能說明
0	Q	不變
1	\overline{Q}	翻轉

₹14.3 簡單鐘控觸發器

(3)T觸發器激勵表		
$Q \rightarrow Q^{n+1}$	Т	
0 0	0	
0 1	1	
1 0	1	
1 1	0	

(4)T觸發器狀態表		
現態	次態 Q n+1	
Q	T=0	T=1
0 1	0 1	1 0

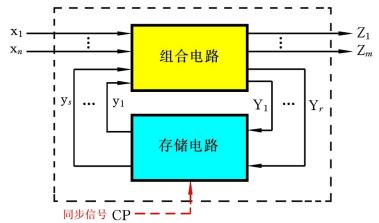


- 簡單鐘控觸發器的特點與問題
- 特點:
- 當時鐘控制信號爲低電平(CP=0)時,觸發器保持原來狀態不變;
- 當時鐘控制信號爲高電平(CP=1)時,觸發器在輸入信號作用 下發生狀態變化
- 即:觸發器狀態轉移是被控制在一個約定的時間間隔內,而不是 控制在某一時刻進行,這種鐘控方式被稱爲電位觸發方式
- 問題:可能出現 "空翻" 現象
- 所謂"空翻"是指在同一個時鐘脉衝作用期間觸發器狀態發生兩次或兩次以上變化的現象。"空翻"將造成狀態的不確定和系統工作的混亂,這是不允許的

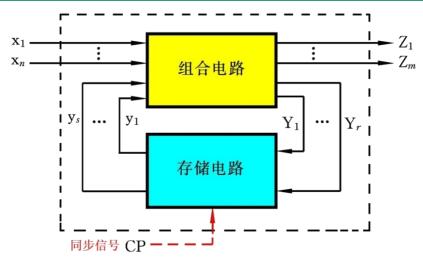
- 引起空翻的原因與解决方法
- 引發原因:
- 在時鐘脉衝爲高電平期間,輸入信號的變化直接控制著觸發器狀態的變化。具體來說,當時鐘CP=1時,如果輸入信號發生變化, 則觸發器狀態會跟著發生變化,從而使得一個時鐘脉衝作用期間引起多次翻轉
- 解决方法:
- 爲了克服簡單鐘控觸發器所存在的"空翻"現象,必須對控制電路的結構進行改進。爲此,引出了主從鐘控觸發器、邊沿鐘控觸發器、發器等不同類型的集成觸發器

14.4 時序邏輯電路的基本概念

- 一、定義
- 若邏輯電路在任何時刻産生的穩定輸出信號不僅與電路該時刻的輸入信號有關,還與電路過去的輸入信號有關,則稱爲時序邏輯電路
- 二、結構
- 時序邏輯電路由組合電路和存儲電路兩部分組成,通過反饋回路 將兩部分連成一個整體
- 圖中, $x_1,...$, x_n 爲輸入信號; $Z_1,....$, Z_m 爲輸出信號; $y_1,....$, y_s 爲時序邏輯電路的"狀態"; $Y_1,....$, Y_r 爲時序邏輯電路中的激勵信號;CP爲時鐘脉衝信號,是否存在CP,取决于時序邏輯電路的類型



14.4 時序邏輯電路的基本概念

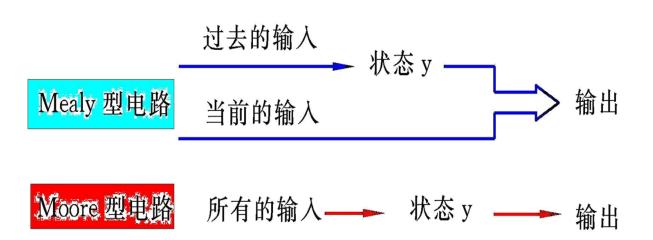


- 時序邏輯電路的狀態y₁,...,y_s是存儲電路對過去輸入信號記憶的結果,它隨著外部信號的作用而變化
- 次態與現態的概念
- 在對電路功能進行研究時,通常將某一時刻的狀態稱爲"現態",記作yn, 簡記爲 y;
- 將在某一現態下,外部信號發生變化後到達的新的狀態稱爲 "次態" ,記作 y^{n+1}
- 注意:次態與現態的概念是相對的

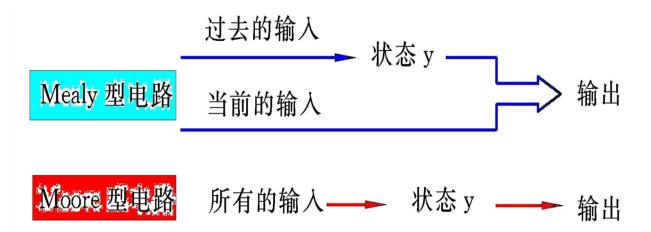
- 三、特點
- 由組合電路和存儲電路組成,具有對過去輸入進行記憶的功能
- 包含反饋回路,通過反饋使電路功能與"時序"相關
- 輸出由電路當時的輸入和狀態(過去的輸入)共同决定

- 時序邏輯電路的分類
- 通常按照電路的工作方式、電路輸出對輸入的依從關係或者輸入 信號的形式進行分類
- 一 · 按電路的工作方式分類
- 分爲同步時序邏輯電路和异步時序邏輯電路兩種類型
- 1. 同步時序電路
- 電路中有統一的定時信號,存儲器件采用時鐘控制觸發器,電路 狀態在時鐘脉衝控制下同時發生轉換,即電路狀態的改變依賴于 輸入信號和時鐘脉衝信號
- 2. 异步時序邏輯電路
- 异步時序邏輯電路的存儲電路可由觸發器或延時元件組成,電路中沒有統一的時鐘信號同步,電路輸入信號的變化將直接導致電路狀態的變化

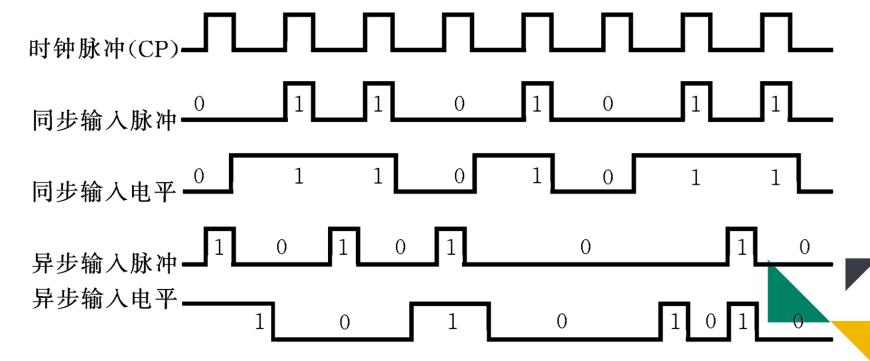
- 二·按電路輸出對輸入的依從關係分類
- 1 · Mealy型電路:若時序邏輯電路的輸出是電路輸入和電路狀態的函數,則稱爲Mealy型時序邏輯電路
- 2 · Moore型電路:若時序邏輯電路的輸出僅僅是電路狀態的函數,則稱爲Moore型時序邏輯電路
- Mealy型電路的輸入和輸出之間存在直接聯繫,而Moore型電路則是將全部輸入轉換成電路狀態後再和輸出建立聯繫



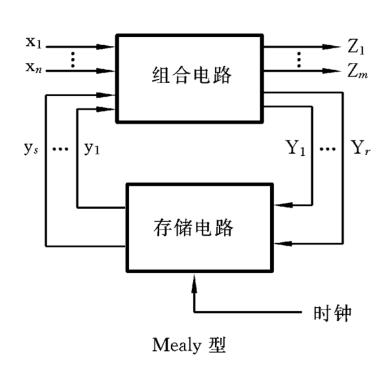
- 若一個時序邏輯電路沒有專門的外部輸出信號,而是以電路狀態作爲輸出,則可視爲Moore型電路的特殊情况
- 無論是同步時序邏輯電路或是异步時序邏輯電路,均有Mealy型和Moore型兩種模型

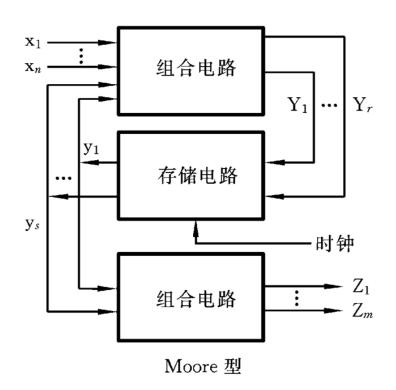


- 三 · 按 輸 入 信 號 形 式 分 類
- 時序邏輯電路的輸入信號可以是脉衝信號也可以是電平信號。 根據輸入信號形式的不同,時序邏輯電路通常又被分爲脉衝型和 電平型兩種類型
- 不同輸入信號的波形圖如下

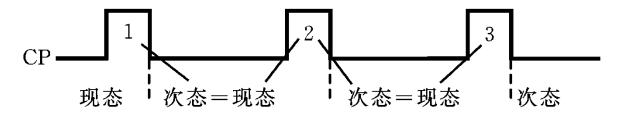


● 同步時序邏輯電路中兩種模型的結構框圖:





- 研究同步時序邏輯電路時,通常不把同步時鐘信號作爲輸入信號 處理,而是將它當成一種默認的時間基準
- 同步時序電路中的現態與次態是針對某個時鐘脉衝而言的
- 現態----指時鐘脉衝作用之前電路所處的狀態
- 次態----指時鐘脉衝作用之後電路到達的狀態
- 注意:前一個脉衝的次態即後一個脉衝的現態



- 對時鐘頻率的要求
- 必須保證前一個脉衝引起的電路響應完全結束後,後一個脉衝才 能到來

- 描述方法
- 同步時序電路可采用邏輯表達式、狀態表、狀態圖進行描述。狀態表和狀態圖是同步時序邏輯電路分析和設計的重要工具。此外,必要時還可以借助時間圖加以描述
- 一 · 邏輯函數表達式
- 同步時序電路的結構和功能,可用3組邏輯函數表達式描述

1.輸出函數表達式:

$$Z_i = f_i(x_1 \cdot ... \cdot x_n, y_1, ... \cdot y_s)$$
 $i=1,2,...,m$ (Mealy型電路)
 $Z_i = f_i(y_1 \cdot ... \cdot y_s)$ $i=1,2,...,m$ (Moore型電路)

- 2 · 激勵函數表達式: 激勵函數又稱爲控制函數,它反映了存儲電路的輸入Y與外部輸入x和電路狀態y之間的關係。其函數表達式爲
- $Y_j = g_j(x_1 \cdot ... \cdot x_n, y_1, ... \cdot y_s)$ j = 1, 2, ..., r
- 3.次態函數表達式:次態函數用來反映電路的次態yn+1與激勵函數Y和電路現態y之間的關係,它與觸發器類型相關。其函數表達式爲
- $y_i^{n+1} = k_i(Y_j \cdot y_i)$ j=1,2,...,r ; i=1,2,...,s

- 二・狀態表
- 狀態表:反映同步時序電路輸出Z、次態yⁿ⁺¹與電路輸入x、現態y之間關係的表格,又稱爲狀態轉移表
- 表格的上方從左到右列出一位輸入x的全部取值組合,表格左邊從上到下列出電路的全部狀態y,表格的中間列出對應不同輸入組合和現態下的次態yn+1和輸出Z
- 表中,列數 = 一位輸入的所有取值組合數
- 行數 = 觸發器的狀態組合數

次態yn+1∕輸出Z		
	輸入 x	
	y ⁿ⁺¹ /Z	
	·	輸入x

Mealy型

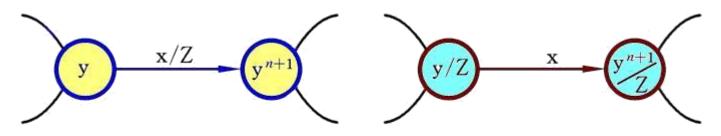
● Moore型電路狀態表的格式如下表所示

現態	次態 y n+1	輸出
У	輸入 x	Z
У	y ⁿ⁺¹	Z

Moore型

- 考慮到Moore型電路的輸出Z僅與電路的現態y有關,爲了清晰起見,將輸出單獨作爲一列,表示其值完全由現態確定
- 狀態表是同步時序電路分析和設計中常用的工具,它非常清晰地 給出了同步時序電路在不同輸入和現態下的次態和輸出

- 三・狀態圖
- 狀態圖:是一種反映同步時序電路狀態轉換規律及相應輸入、輸出取值關係的有向圖
- 在狀態圖中,用圓圈表示電路的狀態,連接圓圈的有向綫段表示 狀態的轉換關係,箭頭的起點表示現態,終點表示次態,當箭頭 起止干同一狀態時,表明在指定輸入下狀態不變

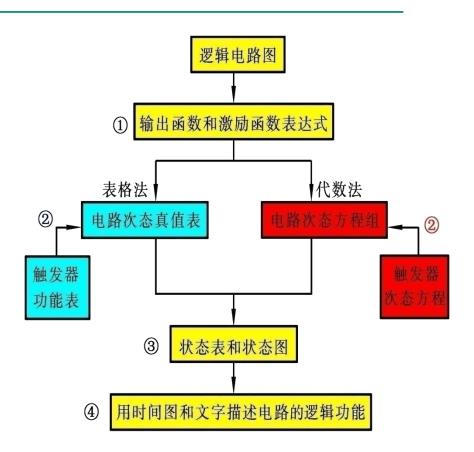


Mealy型电路状态图

Moore型电路状态图

- 用狀態圖描述同步時序電路的邏輯功能具有直觀、形象等優點
- 狀態圖和狀態表示是同步時序電路分析和設計的重要工具,相比 之下,狀態表更規範,狀態圖更形象
- 四·時間圖
- 時間圖是用波形圖的形式來表示輸入信號、輸出信號和電路狀態等的取值在各時刻的對應關係,通常又稱爲工作波形圖。在時間圖上,可以把電路狀態轉換的時刻形象地表示出來

- 同步時序邏輯電路分析
- 一、 分兩種常用的方法
- 兩種常用的方法
- 表格法:使用觸發器功能表
- 代數法:使用觸發器次態方程



- 1. 表格分析法的一般步驟
 - 1. 寫出輸出函數和激勵函數表達式



2.借助觸發器功能表列出電路次態真值表



3.作出狀態表和狀態圖(必要時畫出時間圖)



4. 歸納出電路的邏輯功能

- 2. 代數分析法的一般步驟
 - 1.寫出輸出函數和激勵函數表達式



2. 把激勵函數表達式代入觸發器的次態方程, 導出電路的次態方程組

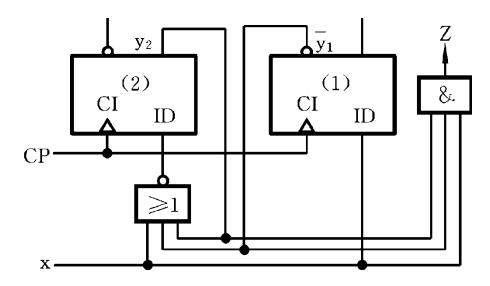


3.作出狀態表和狀態圖(必要時畫出時間圖)



4. 歸納出電路的邏輯功能

- 二、 分析舉例
- 例1 分析下圖所示的同步時序電路



$$Z = xy_{2}\overline{y_{1}}$$

$$D_{2} = \overline{x + y_{2} + \overline{y_{1}}} = \overline{x} \cdot \overline{y}_{2}y_{1}$$

$$D_{1} = x$$

- ●解 該電路有一個輸入x和一個輸出Z。輸出Z與輸入x及電路狀態均有直接聯繫,因此屬Mealy型
- 1 · 寫出輸出函數和激勵函數的表達式

- 2.列出電路次態真值表
- 根據激勵函數表達式和D觸發器的功能表,可作出該電路的次態 真值表如下表所示

輸入

X

現態

 y_2y_1

次態真值表

激勵函數

 D_2D_1

次態

0 0

0 1

 $y_2 y_1$

$$Z = xy_{2}\overline{y_{1}}$$

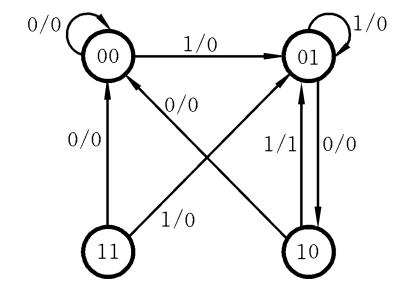
$$D_{2} = x + y_{2} + \overline{y_{1}} = \overline{xy_{2}y_{1}}$$

$$D_{1} = x$$

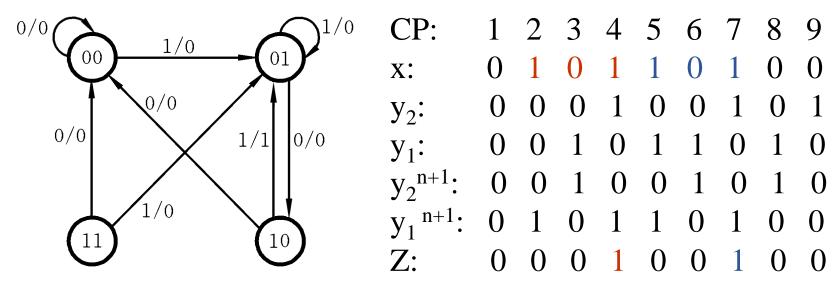
DI -	Λ				0	00	0 0
					0	01	1 0
				/	0	10	0 0
(2	2) D觸到	登器 功能	きまし	,	0	11	0 0
D	On+1	功能	說明		1	0 0	0 1
	4	-737	470.73		1	01	0 1
0	0	置	0		1	10	0 1
1	1	置	1		1	11	0 1

- 3.作出狀態表和狀態圖
- 根據輸出函數表達式和次態真值表,可作出該電路的狀態表和狀態圖如下

現態	次態/輸出($(y_2^{n+1}y_1^{n+1}/Z)$
y_2y_1	X=0	X=1
00	00/0	01/0
01	10/0	01/0
10	00/0	01/1
11	00/0	01/0

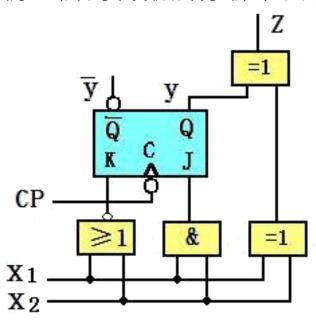


- 4. 說明電路的邏輯功能
- 設電路初始狀態爲 "00",輸入x爲脉衝信號,其輸入序列爲 010110100。根據狀態圖可作出電路的狀態響應序列和輸出響應序列如下:



● 由輸入、輸出序列可以看出,一旦輸入x出現信號 "101",輸出Z便產生一個相應的1,其他情况下輸出Z爲0。因此,該電路是一個 "101" 序列檢測器

● 例2 試用代數法分析下圖所示同步時序邏輯電路的邏輯功能



- ●解電路由一個J-K觸發器和四個邏輯門構成,電路有兩個輸入端x1和x2,一個輸出端Z。輸出Z與輸入和狀態均有直接聯繫,屬Mealy型電路
- 1 · 寫出輸出函數和激勵函數表達式



- 2 · 把激勵函數表達式代入觸發器的次態方程,得到電路的次態方程組
- 該電路的存儲電路只有一個觸發器,因此,電路只有一個次態方程

$$J=x_1x_2$$
 $K=\overline{x_1+x_2}$

$$y^{n+1} = J\overline{y} + \overline{K}y$$

$$= x_1x_2\overline{y} + (\overline{x_1 + x_2})y$$

$$= x_1x_2\overline{y} + x_1y + x_2y$$

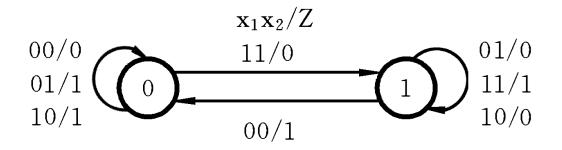
$$= x_1x_2 + x_1y + x_2y$$

- 3 · 作出狀態表和狀態圖
- 根據次態方程和輸出函數表達式,可以作出該電路的狀態表和狀態圖如下

$$y^{n+1} = x_1 x_2 + x_1 y + x_2 y$$
$$Z = x_1 \oplus x_2 \oplus y$$

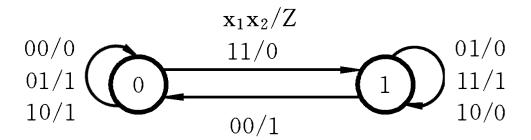
狀態表

現態	次態/輸出(y ⁿ⁺¹ /Z)			
У	$x_1 x_2 = 00$	$x_1x_2=01$	$x_1x_2=11$	$x_1x_2=10$
0	0/0	0/1	1/0	0/1
1	0/1	1/0	1/1	1/0



- 4 · 畫出時間圖 · 幷說明電路的邏輯功能
- 設電路初態爲 "0" ,輸入x1爲00110110,輸入x2爲01011100,根據狀態圖可作出電路的輸出和狀態響應序列如下:

時鐘節拍: 1 2 3 4 5 6 7 8 輸入x₁: 0 0 1 1 0 1 1 0 輸入x₂: 0 1 0 1 1 1 0 0 狀態 y: 0 0 0 1 1 1 1 輸出Z: 0 1 1 0 0 1



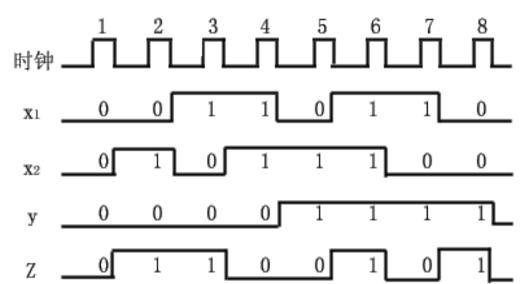




● 根據狀態響應序列可作出時間圖如下:

時鐘節拍: 1 2 3 4 5 6 7 8 輸入x₁: 0 0 1 1 0 1 1 0 輸入x₂: 0 1 0 1 1 1 0 0 狀態 y: 0 0 0 0 1 1 1 1 輸出Z: 0 1 1 0 0 1 0 1

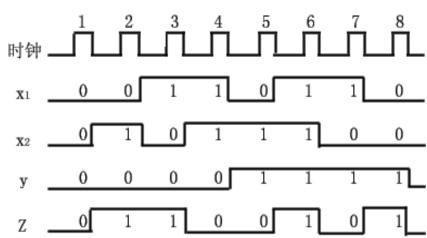




- 電路實現了串行加法器的功能。x1爲被加數,x2爲加數,按照 先低位後高位的順序串行地輸入。每位相加産生的進位由觸發器 保存下來參加下一位相加,輸出Z從低位到高位串行輸出"和
- 時間圖給出了x1=01101100, x2=00111010相加得到"和" Z=10100110的過程。狀態y=11110000是由低位到高位依次 産生的進位信號

ᄔ	台트	#
八八	態	衣

現態	次態/輸出(y ⁿ⁺¹ /Z)			
У	$x_1 x_2 = 00$	$x_1 x_2 = 01$	$x_1x_2=11$	$x_1x_2=10$
0	0/0	0/1	1/0	0/1
1	0/1	1/0	1/1	1/0



● 爲了使邏輯功能更清晰, 亦可按照左高右低的順序將輸入輸出 序列表示如下:

時鐘節拍: 8 7 6 5 4 3 2 1 $x_1(被加數): 0 1 1 0 1 1 0 0 \\ x_2(加數): 0 0 1 1 1 0 1 0 \\ y (進位): 1 1 1 1 0 0 0 0 \\ Z (和數): 1 0 1 0 0 1 0$

● 上面舉例介紹了采用兩種方法分析同步時序邏輯電路的全過程。 實際問題分析時,可視具體情况靈活運用,根據給定邏輯電路的 複雜程度不同,通常可以省去某些步驟。例如,列次態真值表或 書時間圖等

- 同步時序邏輯電路的設計
- 同步時序邏輯電路的設計是指根據特定的邏輯要求,設計出能實現其邏輯功能的時序邏輯電路。顯然,設計是分析的逆過程,即:



● 同步時序邏輯電路設計追求的目標是,使用盡可能少的觸發器和 邏輯門實現預定的邏輯要求

- 一、設計一般步驟
 - 1.形成原始狀態圖和原始狀態表
 - 2. 狀態化簡, 求得最小化狀態表

3.狀態編碼,得到二進制狀態表

- 4. 選定的觸發器類型, 并求出激勵函數和輸出函數最簡表達式
- 5.畫出邏輯電路圖

- 1、 建立原始狀態圖和原始狀態表
- 原始狀態圖和原始狀態表是對設計要求的最原始的抽象。建立正確的原始狀態圖和狀態表是最關鍵的一步
- 由于狀態圖比狀態表更形象、靈活,一般先畫狀態圖後作狀態表; 其次,由于在開始時往往不知道描述一個給定的邏輯問題需要多 少狀態,因此,一般用字母或數字表示狀態
- 考慮如下4個方面問題
- ① 確定電路模型
- 設計成Mealy型? Moore型?
- 將電路設計成哪種模型?有的問題已由設計要求規定,有的問題可由設計者選擇。不同的模型對應的電路結構不同,設計者在選擇時,應根據問題中的信號形式、電路所需器件的多少等綜合考慮

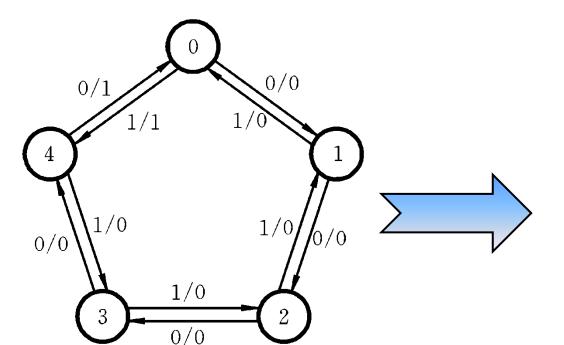
- ② 設立初始狀態
- 時序邏輯電路在輸入信號開始作用之前的狀態稱爲初始狀態
- 建立原始狀態圖時,應首先設立初始狀態,然後從初始狀態出發 考慮在各種輸入作用下的狀態轉移和輸出響應
- ③ 根據需要記憶的信息增加新的狀態
- 同步時序電路中狀態數目的多少取决于需要記憶和區分的信息量
- 一般來說,若在某個狀態下出現的輸入信號能用已有狀態表示, 則應轉向已有狀態。僅當某個狀態下出現的輸入信號不能用已有 狀態表示時,才令其轉向新的狀態

- ④ 確定各時刻電路的輸出
- 時序邏輯電路的功能是通過輸出對輸入的響應來體現的。 在建立原始狀態圖時,必須確定各時刻的輸出值。在Moore型電路中,應指明每種狀態下對應的輸出;在Mealy型電路中應 指明從每一個狀態出發,在不同輸入作用下的輸出值
- 注意兩點:
- 在描述一個邏輯問題的原始狀態圖和原始狀態表中,狀態數目不一定能達到最少,這一點無關緊要,因爲可以對它再進行狀態化簡。設計者應把清晰、正確地描述設計要求放在第一位

- 注意兩點:
- 大部分問題對于所設立的每一個狀態,在不同輸入取值下都有確定的次態和輸出,通常將這類狀態圖和狀態表稱爲完全確定狀態圖和狀態表,由它們所描述的電路稱爲完全確定同步時序邏輯電路
- 但實際應用中的某些問題,可能出現對于所設立的某些狀態,在某些輸入取值下的次態或輸出是不確定的,這種狀態圖和狀態表被稱爲不完全確定狀態圖和狀態表,所描述的電路稱爲不完全確定同步時序邏輯電路

- 例1 設計一個模5可逆計數器,該電路有一個輸入x和一個輸出 Z。輸入x爲加、减控制信號。當x=0時,計數器在時鐘脉衝作 用下進行加1計數;當x=1時,計數器在時鐘脉衝作用下進行减 1計數。輸出Z爲進位或借位信號
- 試建立該計數器的Mealy型原始狀態圖和狀態表
- 解 該問題已指定電路模型爲Mealy型,且輸入和狀態、輸出之間的關係也非常清楚,所以狀態圖的建立很容易
- 假設模5計數器的5個狀態分別用0、1、2、3、4表示,其中0爲初始狀態

●根據題意可作出原始狀態圖和原始狀態表如下



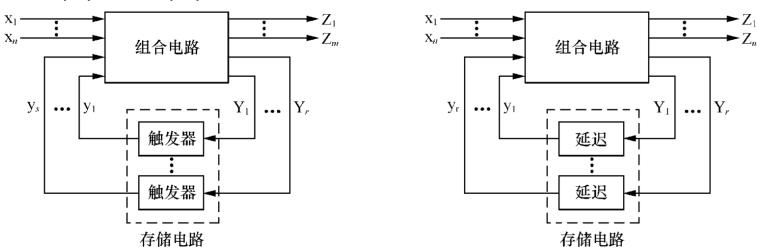
原始狀態表

	次態/輸出		
現態	X=0	X=1	
0	1/0	4/1	
1	2/0	0/0	
2	3/0	1/0	
3	4/0	2/0	
4	0/1	3/0	

- 同步時序邏輯電路的特點
- 存儲元件采用時鐘控制觸發器,電路中各觸發器的時鐘控制端與統一的時鐘脉衝(CP)相連接,僅當時鐘脉衝作用時,電路狀態才能發生變化,改變後的狀態一直保持到下一個時鐘脉衝作用之時
- ●換而言之,由時鐘脉衝信號决定電路狀態轉換時刻幷實現 "等狀態時間"。整個電路在時鐘脉衝作用下由一個穩定狀態轉移到另一個穩定狀態時序邏輯電路的特點

- 特點與類型
- 1、電路特點
- 電路中沒有統一的時鐘脉衝信號同步,電路狀態的改變是外部輸入信號變化直接作用的結果;
- 在狀態轉移過程中,各存儲元件的狀態變化不一定發生在同一時刻;
- 不同狀態的維持時間不一定相同

- 2、電路類型
- 根據電路結構和輸入信號形式的不同, 异步時序邏輯電路可分爲 脉衝异步時序邏輯電路和電平异步時序邏輯電路兩種類型。結構 如圖(a)、 圖(b)所示



- 脉衝异步時序邏輯電路的存儲電路由觸發器組成 電路輸入信號 爲脉衝信號;電平异步時序邏輯電路的存儲電路由延遲元件組成 電路輸入信號爲電平信號。兩類電路均可分爲Mealy型和 Moore型兩種不同的模型
- 本課程只討論脉衝异步時序邏輯電路

- 3、脉衝异步時序邏輯電路對輸入脉衝信號的約束
- 輸入脉衝的寬度,必須保證觸發器可靠翻轉;
- 輸入脉衝的間隔,必須保證前一個脉衝引起的電路響應完全結束後,後一個脉衝才能到來;
- 不允許在兩個或兩個以上輸入端同時出現脉衝
- 理由: 因爲客觀上兩個或兩個以上脉衝是不可能準確地 "同時" 的,在沒有時鐘脉衝同步的情况下,由不可預知的時間延遲造成 的微小時差可能導致電路產生錯誤的狀態轉移

- 由于不允許兩個或兩個以上輸入端同時出現脉衝,幷且輸入端無脉衝出現時,電路狀態不會發生變化。因此,對n個輸入端的電路,其一位輸入只允許出現n+1種取值組合,其中有效輸入種取值組合爲n種
- 即:對n個輸入的電路,只需考慮各自單獨出現脉衝的n種情况, 而不像同步時序邏輯電路中那樣需要考慮2n種情况
- 例如:假定電路有x1、x2和x3共3個輸入,并用取值1表示有脉 衝出現,則一位輸入允許的輸入取值組合只有000、001、010、 100共4種,其中有效輸入取值組合只有後面3種情况

- 4. 脉衝异步時序邏輯電路輸出信號的形式
- 脉衝异步時序邏輯電路的輸出信號可以是脉衝信號也可以是電平 信號
- 若電路結構爲Mealy型,則輸出一般爲脉衝信號
- 因爲輸出不僅是狀態變量的函數,而且是輸入的函數,而輸入爲 脉衝信號,所以,輸出一般是脉衝信號
- 若電路結構爲Moore型,則輸出一般是電平信號
- 因爲輸出僅僅是狀態變量的函數,所以,輸出值被定義在兩個間隔不定的輸入脉衝之間,即由兩個輸入脉衝之間的狀態决定

- 脉衝异步時序邏輯電路的分析
- 一.分析方法與步驟
- 1. 分析方法
- 分析方法與同步時序邏輯電路大致相同。分析過程中同樣采用狀態表、狀態圖、時間圖等作爲工具

● 注意兩點:

- (1) 當存儲元件采用時鐘控制觸發器時,對觸發器的時鐘控制端 應作爲激勵函數處理
- 僅當時鐘端有脉衝作用時,才根據觸發器的輸入確定狀態轉移方向,否則,觸發器狀態不變
- (2) 根據對輸入的約束,分析時可以排除兩個或兩個以上輸入端 同時出現脉衝以及輸入端無脉衝出現情况
- 據此,可使狀態圖和狀態表簡化

- 2. 分析步驟
 - (1)寫出電路的輸出函數和激勵函數表達式;



(2)列出電路次態真值表或次態方程組;

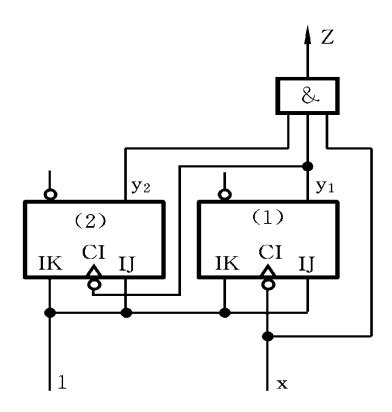


(3)作出狀態表和狀態圖;



(4)用文字描述電路的邏輯功能(必要時畫出時間圖)

- ●分析舉例
- 例1 分析下圖所示脉衝异步時序邏輯電路,指出該電路功能

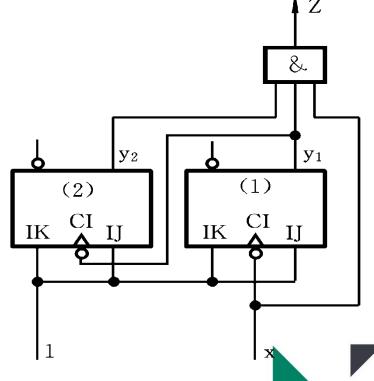


●解:該電路由兩個J-K觸發器和一個與門組成,有一個輸入端x和一個輸出端Z,輸出是輸入和狀態的函數,屬Mealy型脉衝异步時序電路

(1) 寫出輸出函數和激勵函數表達式

$$Z = xy_2y_1$$

 $J_2 = K_2 = 1$; $C_2 = y_1$
 $J_1 = K_1 = 1$; $C_1 = x$



- (2) 列出電路次態真值表
- J-K觸發器的狀態轉移發生在時鐘端脉衝負跳變的瞬間,爲了强調在觸發器時鐘端 C1、C2何時有負跳變産生,在次態真值表中用"↓"表示下跳。僅當時鐘端有"↓"出現時,相應觸發器狀態才能發生變化,否則狀態不變
- 根據激勵函數(J2=K2=1; C2=y1; J1=K1=1; C1=x)和JK觸發器功能表,可列出該電路的次態真值表如下表所示

輸入	現態	激勵函數	次態
X	y ₂ y ₁	$J_2K_2C_2J_1K_1C_1$	$y_2^{n+1}y_1^{n+1}$
1	0 0	1 1 1 1 1	0 1
1	01	$egin{array}{cccccccccccccccccccccccccccccccccccc$	1 0
1	10	1 1 1 1 1	1 1
1	11	$egin{array}{cccccccccccccccccccccccccccccccccccc$	0 0

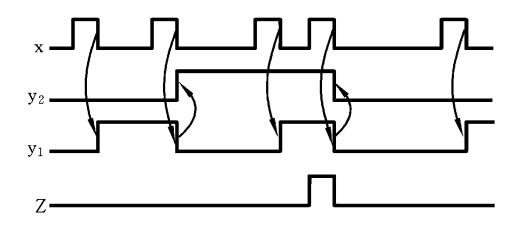
JK	O n+1
	Q" -
0 0	Q
01	0
10	1
11	\overline{Q}

● (3) 作出狀態表和狀態圖

● (3) 作出狀態表和狀態圖					1/0		
● (3) F 田							
輸入	現態	激勵函數	次態				
X	y ₂ y ₁	$J_2K_2C_2J_1K_1C_1$	$y_2^{n+1}y_1^{n+1}$				
1	0 0	1 1 1 1 1	0 1	現態	次態y₂ ⁿ⁺¹ y₁ ⁿ⁺¹ / 輸出Z		
1 1	$egin{array}{c} 0.1 \ 1.0 \ \end{array}$	$egin{bmatrix} 1 & 1 & \downarrow & 1 & 1 & \downarrow \ 1 & 1 & 1 & 1 & \downarrow \ \end{bmatrix}$	1 0 1 1	y ₂ y ₁	x=1		
1	11	$egin{array}{cccccccccccccccccccccccccccccccccccc$	0 0	00	01/0		
				01	10/0		
				10	11/0		
				11	00/1		

1/0

- (4) 畫出時間圖幷說明電路邏輯功能
- 爲了進一步描述該電路在輸入脉衝作用下的狀態和輸出變化過程,可根據狀態表或狀態圖書出該電路的時間圖如下圖所示



● 由狀態圖和時間圖可知,該電路是一個模4加1計數器,當收到 第四個輸入脉衝時,電路產生一個進位輸出脉衝

休息一下 Take a break

