



澳門城市大學
Universidade da Cidade de Macau
City University of Macau

計算機科學導論



主講人 |

姓名 張琪

Name Zhang Qi

澳門城市大學

City University of Macau

第十三章 組合邏輯電路

本章學習要點：

- 1 組合邏輯電路的基本概念
- 2 組合邏輯電路分析
- 3 組合邏輯電路設計
- 4 組合邏輯電路中的競爭與險象
- 5 常見組合邏輯器件及應用

13.1 組合邏輯電路的基本概念

● 13.1.1 定義

- 若邏輯電路在任何時刻產生的穩定輸出值僅僅取決於該時刻各輸入值的組合，而與過去的輸入值無關，則稱為組合邏輯電路

● 結構



- 圖中， X_1, X_2, \dots, X_n 是電路的 n 個輸入信號， F_1, F_2, \dots, F_m 是電路的 m 個輸出信號。輸出信號是輸入信號的函數

13.1 組合邏輯電路的基本概念

- 描述
- 組合電路的功能可用一組邏輯函數表達式進行描述，函數表達式可表示為

$$F_i = f_i(X_1, X_2, \dots, X_n) \quad i = 1, 2, \dots, m$$

- 特點
- 組合電路具有兩個特點：
 - ① 由邏輯門電路組成，不包含任何記憶元件；
 - ② 信號是單向傳輸的，不存在反饋回路。



13.2 組合邏輯電路分析

- 所謂邏輯電路分析，是指對一個給定的邏輯電路，找出其輸出與輸入之間的邏輯關係
- 目的：瞭解給定邏輯電路的功能，評價設計方案的優劣，吸取優秀的設計思想、改進和完善不合理方案等



13.2 組合邏輯電路分析

- 分析的一般步驟

1．寫出輸出函數表達式



2．輸出函數表達式化簡



3．列出輸出函數真值表



4．功能評述

13.2 組合邏輯電路分析

- 分析的一般步驟
- 1. 寫出輸出函數表達式
- 根據邏輯電路圖寫輸出函數表達式時，一般從輸入端開始往輸出端逐級推導，直至得到所有與輸入變量相關的輸出函數表達式為止

● 即：

輸入  輸出

- 2. 化簡輸出函數表達式
- 目的：① 簡單、清晰地反映輸入和輸出之間的邏輯關係
- ② 簡化電路結構，獲得最佳經濟技術指標



13.2 組合邏輯電路分析

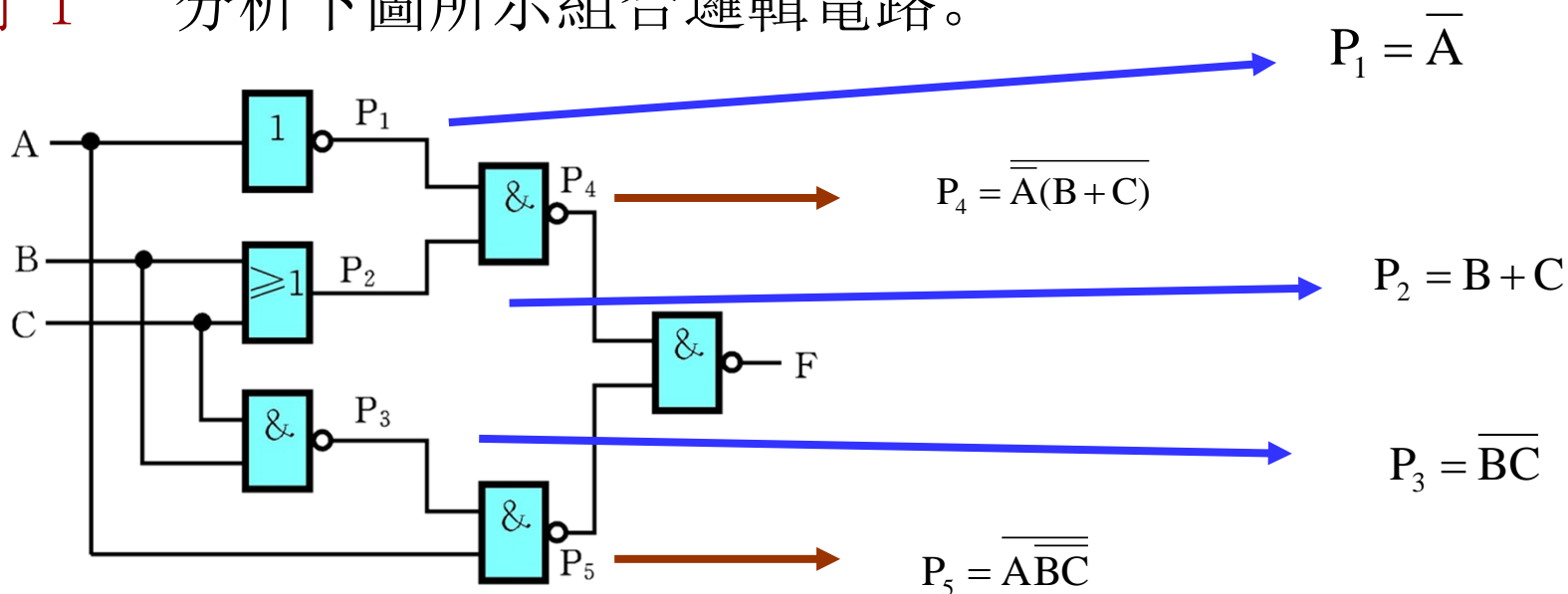
- 分析的一般步驟
- 3. 列出輸出函數真值表
- 真值表詳盡地給出了輸入、輸出取值關係，能直觀地反映電路的邏輯功能
- 4. 功能評述
- 概括出對電路邏輯功能的文字描述，并對原電路的設計方案進行評定，必要時提出改進意見和改進方案



13.2 組合邏輯電路分析

● 分析舉例

例 1 分析下圖所示組合邏輯電路。



解 ① 根據邏輯電路圖寫出輸出函數表達式

$$F = \overline{P_4} \cdot P_5 = \overline{\overline{\overline{A}(B + C)}} \cdot \overline{\overline{A}BC}$$

13.2 組合邏輯電路分析

- 分析舉例

② 化簡輸出函數表達式

假定采用代數法化簡輸出函數表達式

$$\begin{aligned} F &= \overline{P_4} \cdot P_5 = \overline{\overline{A(B+C)} \cdot \overline{ABC}} \\ &= \overline{A(B+C)} + A\overline{BC} \\ &= \overline{AB} + \overline{AC} + A\overline{B} + A\overline{C} \\ &= A \oplus B + A \oplus C \end{aligned}$$

③ 列出真值表

| 真值表 | | | |
|-----|---|---|---|
| A | B | C | F |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

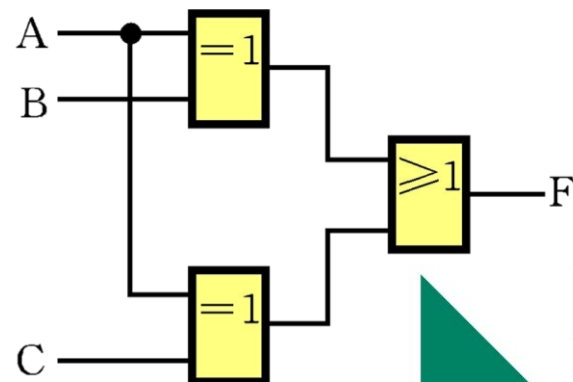
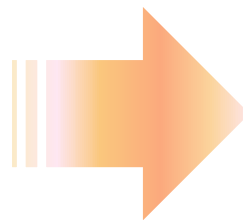
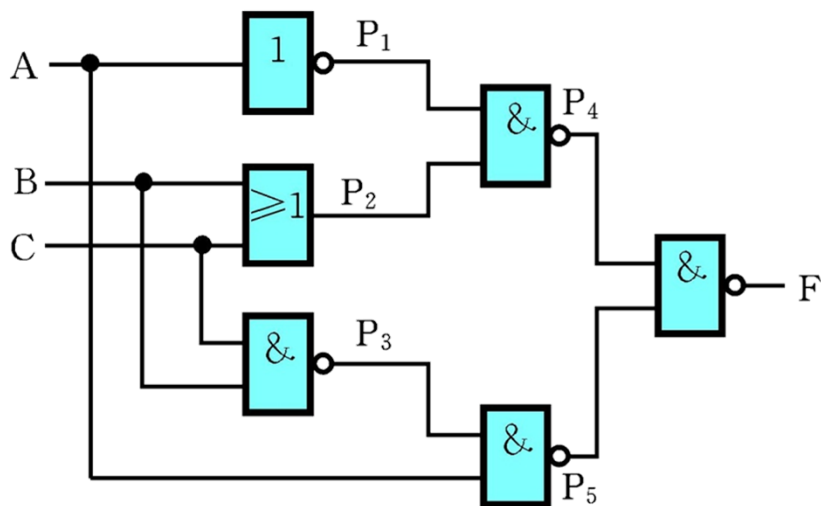
13.2 組合邏輯電路分析

- 分析舉例

④ 功能評述

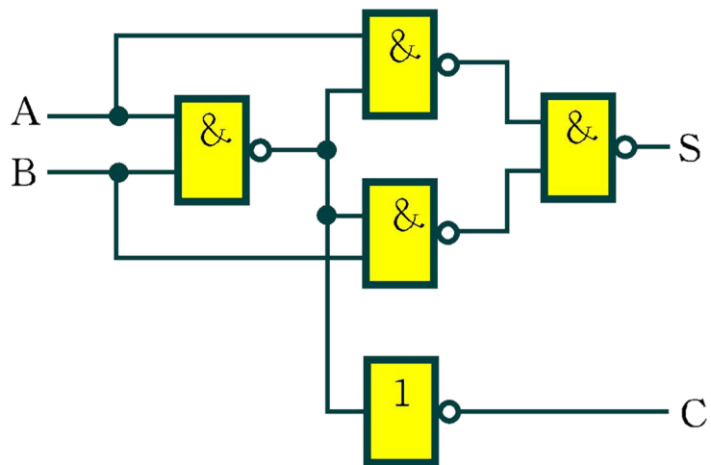
該電路具有檢查輸入信號取值是否一致的邏輯功能，一旦輸出為1，則表明輸入不一致。通常稱該電路為“不一致電路”

分析可知，該電路的設計方案不是最簡的。根據簡化函數表達式，可畫出實現給定功能的簡化邏輯電路圖



13.2 組合邏輯電路分析

- 分析舉例
- 例 2 分析下圖所示邏輯電路



- 解 寫出輸出函數表達式

$$S = \overline{\overline{AB} \cdot A \cdot \overline{AB} \cdot B}$$

$$C = \overline{\overline{AB}}$$

13.2 組合邏輯電路分析

- 用代數法化簡輸出函數如下：

$$S = \overline{\overline{AB} \cdot A \cdot \overline{AB} \cdot B}$$

$$= \overline{AB} \cdot A + \overline{AB} \cdot B$$

$$= (\overline{A} + \overline{B}) \cdot A + (\overline{A} + \overline{B}) \cdot B$$

$$= A\overline{B} + \overline{A}B$$

$$= A \oplus B$$

$$C = \overline{\overline{AB}} = AB$$

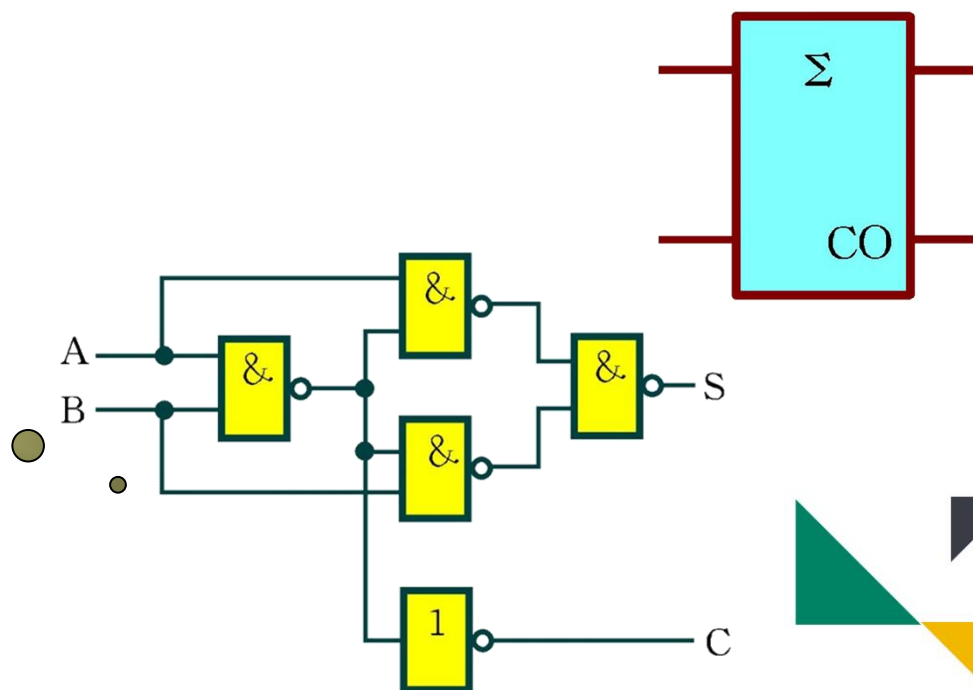
列出真值表：

| A B | S C |
|-----|-----|
| 0 0 | 0 0 |
| 0 1 | 1 0 |
| 1 0 | 1 0 |
| 1 1 | 0 1 |

13.2 組合邏輯電路分析

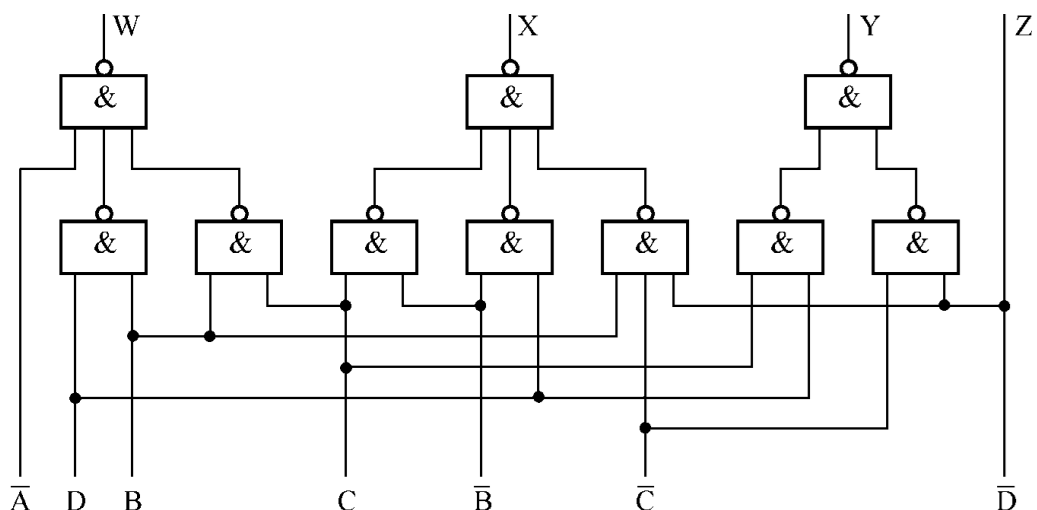
- 由真值表可以看出，若將A、B分別作為一位二進制數，則S是A、B相加的“和”，而C是相加產生的“進位”。該電路稱作“半加器”，它能實現兩個一位二進制數加法運算
- 半加器已被加工成小規模集成電路，其邏輯符號如右圖所示

思考：可用
何種芯片實現？



13.2 組合邏輯電路分析

- 例3 分析下圖所示組合邏輯電路，已知輸入為8421碼，說明該電路功能



- 解 寫出該電路輸出函數表達式

$$W = \overline{\overline{A} \cdot \overline{BD} \cdot \overline{BC}} = A + BD + BC$$

$$X = \overline{\overline{BC} \cdot \overline{BD} \cdot \overline{BCD}} = \overline{BC} + \overline{BD} + \overline{BCD}$$

$$Y = \overline{\overline{CD} \cdot \overline{CD}} = CD + \overline{CD}$$

$$Z = \overline{D}$$

13.2 組合邏輯電路分析

- 列出真值表

$$W = \overline{\overline{A} \cdot \overline{BD} \cdot \overline{BC}} = A + BD + BC$$

$$X = \overline{\overline{BC} \cdot \overline{BD} \cdot \overline{BCD}} = \overline{BC} + \overline{BD} + \overline{BCD}$$

$$Y = \overline{\overline{CD} \cdot \overline{CD}} = CD + \overline{CD}$$

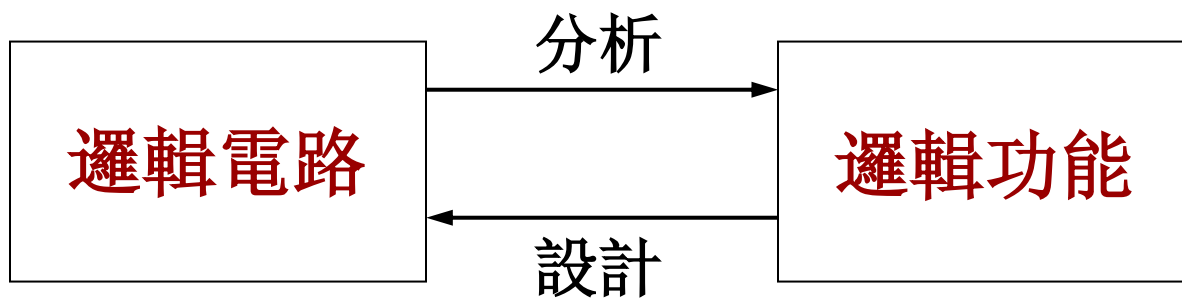
$$Z = \overline{D}$$

| ABCD | WXYZ | ABCD | WXYZ |
|------|------|------|------|
| 0000 | 0011 | 0101 | 1000 |
| 0001 | 0100 | 0110 | 1001 |
| 0010 | 0101 | 0111 | 1010 |
| 0011 | 0110 | 1000 | 1011 |
| 0100 | 0111 | 1001 | 1100 |

功能：8421碼轉換成餘3碼！

13.3 組合邏輯電路設計

- 根據問題要求完成的邏輯功能，求出在特定條件下實現給定功能的邏輯電路，稱為邏輯設計，又叫做邏輯綜合





13.3 組合邏輯電路設計

- 13.3.1 設計的一般步驟

- 建立給定問題的邏輯描述

- 求出邏輯函數最簡表達式

- 選擇器件并對表達式變換

- 畫出邏輯電路圖



13.3 組合邏輯電路設計

- 13.3.2 設計舉例
- 例1 設計一個三變量 “多數表決電路”
- 解 分析： “多數表決電路” 是按照少數服從多數的原則對某項決議進行表決，確定是否通過
- 令： 邏輯變量 A 、 B 、 C --- 分別代表參加表決的3個成員。并約定邏輯變量取值為0表示反對，取值為1表示贊成；
- 邏輯函數 F ---- 表示表決結果。 F 取值為0表示被否定， F 取值為1表示通過。
- 按照少數服從多數的原則可知，函數和變量的關係是：當3個變量 A 、 B 、 C 中有2個或2個以上取值為1時，函數 F 的值為1，其他情況下函數 F 的值為0

13.3 組合邏輯電路設計

- ① 建立給定問題的邏輯描述
- 假定采用 “真值表法” ，可作出真值表如下

| A B C | F |
|-------|---|
| 0 0 0 | 0 |
| 0 0 1 | 0 |
| 0 1 0 | 0 |
| 0 1 1 | 1 |
| 1 0 0 | 0 |
| 1 0 1 | 1 |
| 1 1 0 | 1 |
| 1 1 1 | 1 |

- 由真值表可寫出函數F的最小項表達式為
$$F(A,B,C) = \sum m(3,5,6,7)$$

13.3 組合邏輯電路設計

② 求出邏輯函數的最簡表達式 ■

作出函數 $F(A,B,C) = \sum m(3,5,6,7)$ 的卡諾圖如下：

| AB \ C | | 00 01 11 10 | | | |
|--------|---|-------------|----|----|----|
| | | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 |



$$F(A, B, C) = AB + AC + BC$$

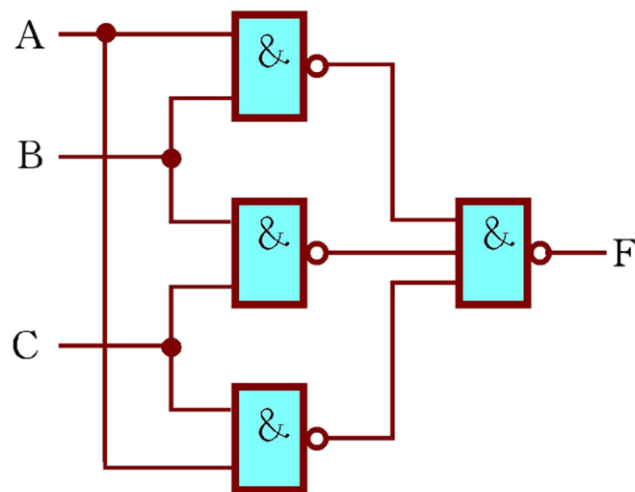
③ 選擇邏輯門類型并進行邏輯函數變換

假定采用與非門構成實現給定功能的電路，則應將上述表達式變換成“與非-與非”表達式。即

$$F(A, B, C) = \overline{\overline{AB + AC + BC}} = \overline{\overline{AB} \cdot \overline{AC} \cdot \overline{BC}}$$

13.3 組合邏輯電路設計

- ④ 畫出邏輯電路圖
- 由函數的“與非-與非”表達式，可畫出實現給定功能的邏輯電路圖如下：



- 真值表法的優點是規整、清晰；缺點是不方便，尤其當變量較多時十分麻煩
- 設計中常用的另一種方法是“分析法”，即通過對設計要求的分析、理解，直接寫出邏輯表達式

13.3 組合邏輯電路設計

例2 設計一個比較兩個三位二進制數是否相等的數值比較器。

解 令：兩個3位二進制數分別為 $A = a_3a_2a_1$ ， $B = b_3b_2b_1$ ，比較結果為函數 F 。

當 $A = B$ 時， F 為1；否則 F 為0。

顯然，該電路有6個輸入變量，1個輸出函數。

① 建立給定問題的邏輯描述

由于二進制數 A 和 B 相等，必須同時滿足 $a_3=b_3$ 、 $a_2 = b_2$ 、 $a_1 = b_1$ ，而二進制中 $a_i=b_i$ 只有 a_i 和 b_i 同時為0或者同時為1兩種情況，可用 $\overline{a_i} \cdot \overline{b_i} + a_i b_i$ 表示，因此，該問題可用邏輯表達式描述如下：

$$F = (\overline{a_3} \cdot \overline{b_3} + a_3 b_3) \cdot (\overline{a_2} \cdot \overline{b_2} + a_2 b_2) \cdot (\overline{a_1} \cdot \overline{b_1} + a_1 b_1)$$

13.3 組合邏輯電路設計

② 求出邏輯函數最簡表達式

假定將上述邏輯表達式展開成“與-或”表達式，則表達式中包含8個6變量“與項”

若用與非門實現給定功能，需要多少個與非門？

$$F = (\overline{a_3} \cdot \overline{b_3} + a_3 b_3) \cdot (\overline{a_2} \cdot \overline{b_2} + a_2 b_2) \cdot (\overline{a_1} \cdot \overline{b_1} + a_1 b_1)$$

③ 選擇邏輯門類型并進行邏輯函數變換 ■

假定采用異或門和或非門實現給定功能，可將邏輯表達式作如下變換：

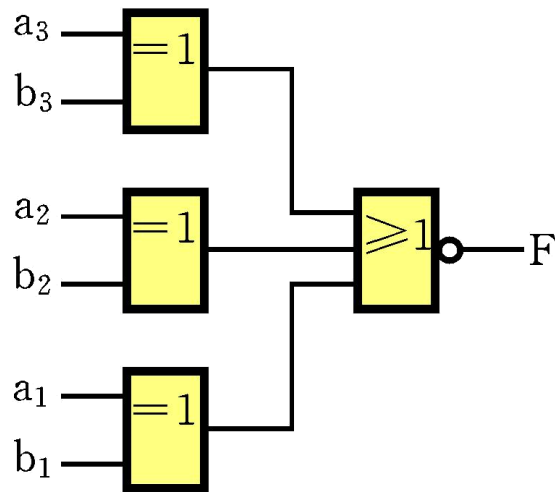
$$\begin{aligned} F &= (\overline{a_3} \cdot \overline{b_3} + a_3 b_3) \cdot (\overline{a_2} \cdot \overline{b_2} + a_2 b_2) \cdot (\overline{a_1} \cdot \overline{b_1} + a_1 b_1) \\ &= \overline{a_3 \oplus b_3} \cdot \overline{a_2 \oplus b_2} \cdot \overline{a_1 \oplus b_1} \\ &= \overline{(a_3 \oplus b_3) + (a_2 \oplus b_2) + (a_1 \oplus b_1)} \end{aligned}$$

13.3 組合邏輯電路設計

④ 畫出邏輯電路圖

根據變換後的表達式可畫出邏輯電路圖如下：

$$F = \overline{(a_3 \oplus b_3) + (a_2 \oplus b_2) + (a_1 \oplus b_1)}$$





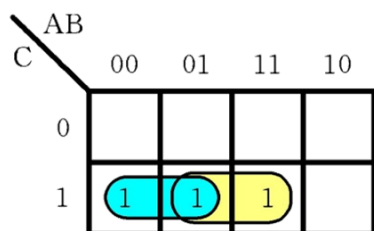
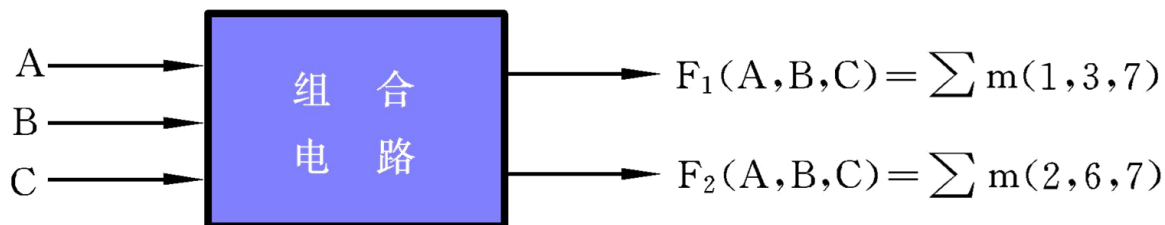
13.3 組合邏輯電路設計

- 13.3.3 設計中幾個實際問題的處理
- 一 .多輸出函數的組合邏輯電路設計
- 實際問題中，大量存在著由同一組輸入變量產生多個輸出函數的問題，實現這類問題的組合邏輯電路稱為多輸出函數的組合邏輯電路
- 設計多輸出函數的組合邏輯電路時，應該將多個輸出函數當作一個整體考慮，而不應該將其截然分開
- 多數出組合電路達到最簡的關鍵是在函數化簡時找出各輸出函數的公用項，使之在邏輯電路中實現對邏輯門的“共享”，從而達到電路整體結構最簡

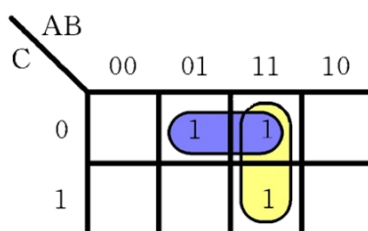


13.3 組合邏輯電路設計

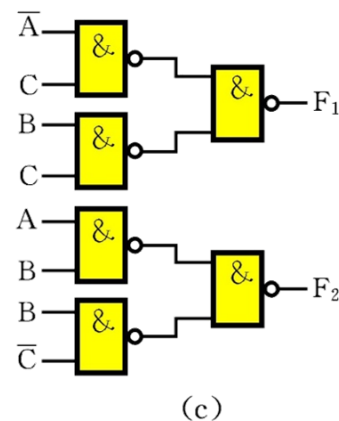
例如：



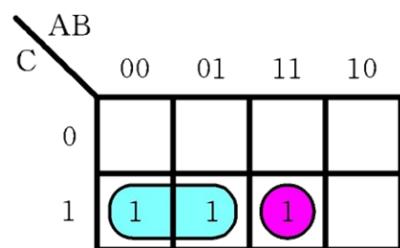
(a)



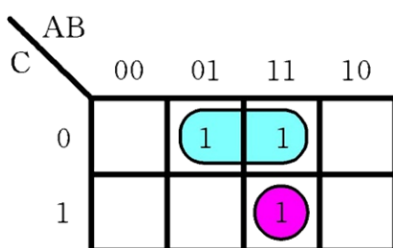
(b)



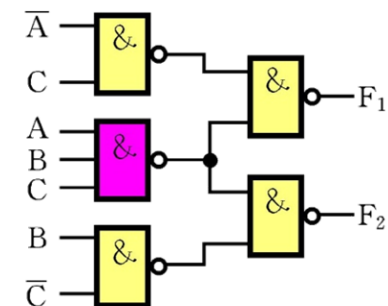
(c)



(a)



(b)



(c)

13.3 組合邏輯電路設計

- 13.3.3 設計中幾個實際問題的處理
- 例 1 設計一個全加器（邏輯門自選）
- 解 全加器：能對兩個1位二進制數及來自低位的“進位”進行相加，產生本位“和”及向高位“進位”的邏輯電路
- 可見，全加器有3個輸入變量，2個輸出函數
- 設：被加數、加數及來自低位的“進位”分別用變量 A_i 、 B_i 及 C_{i-1} 表示，相加產生的“和”及“進位”用 S_i 和 C_i 表示

13.3 組合邏輯電路設計

● 13.3.3 設計中幾個實際問題的處理

設：被加數、加數及來自低位的“進位”分別用變量 A_i 、 B_i 及 C_{i-1} 表示，相加產生的“和”及“進位”用 S_i 和 C_i 表示。

根據二進制加法運算法則可列出全加器的真值表如下表所示

輸出函數表達式：

$$S_i(A_i, B_i, C_{i-1}) = \sum m(1, 2, 4, 7)$$

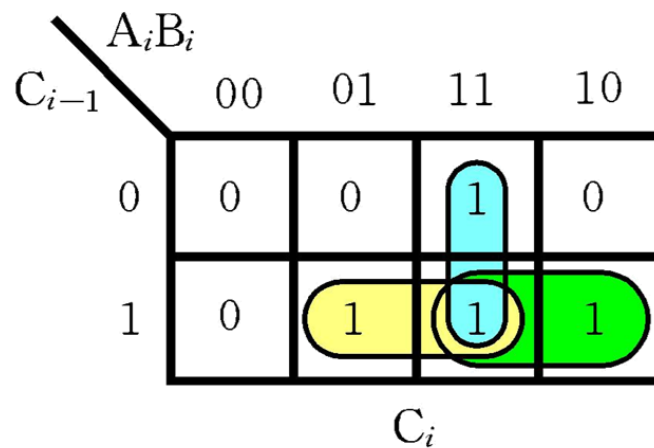
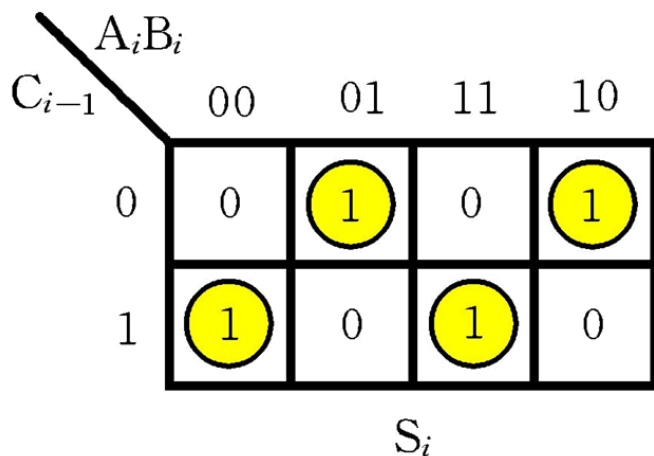
$$C_i(A_i, B_i, C_{i-1}) = \sum m(3, 5, 6, 7)$$

| A_i | B_i | C_{i-1} | S_i | C_i |
|-------|-------|-----------|-------|-------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

13.3 組合邏輯電路設計

● 13.3.3 設計中幾個實際問題的處理

可作出相應函數卡諾圖如下：



經化簡後的輸出函數表達式為：

$$S_i = \overline{A_i} \cdot \overline{B_i} C_{i-1} + \overline{A_i} B_i \overline{C_{i-1}} + A_i \overline{B_i} \cdot \overline{C_{i-1}} + A_i B_i C_{i-1}$$
$$C_i = A_i B_i + A_i C_{i-1} + B_i C_{i-1}$$

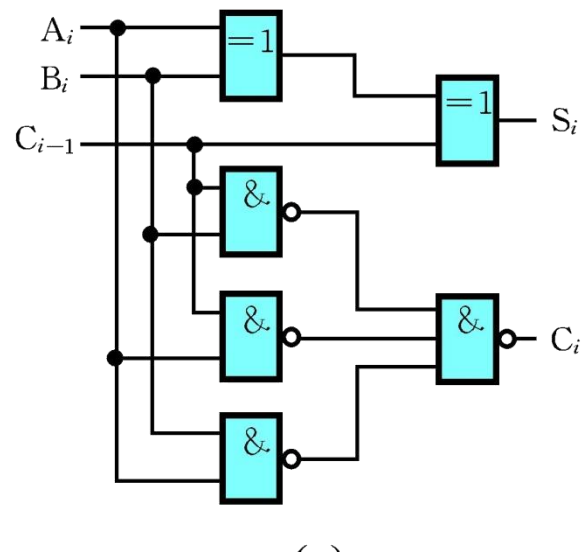
其中， S_i 的標準“與-或”式即最簡“與-或”式！

13.3 組合邏輯電路設計

當採用異或門和與非門構成實現給定功能的電路時，可分別對表達式作如下變換：

$$\begin{aligned} S_i &= \overline{A_i} \cdot \overline{B_i} C_{i-1} + \overline{A_i} B_i \overline{C_{i-1}} + A_i \overline{B_i} \cdot \overline{C_{i-1}} + A_i B_i C_{i-1} \\ &= \overline{A_i} (\overline{B_i} C_{i-1} + B_i \overline{C_{i-1}}) + A_i (\overline{B_i} \cdot \overline{C_{i-1}} + B_i C_{i-1}) \\ &= \overline{A_i} (B_i \oplus C_{i-1}) + A_i (\overline{B_i \oplus C_{i-1}}) \\ &= A_i \oplus B_i \oplus C_{i-1} \end{aligned}$$

$$\begin{aligned} C_i &= A_i B_i + A_i C_{i-1} + B_i C_{i-1} \\ &= \overline{\overline{A_i B_i} \cdot \overline{A_i C_{i-1}} \cdot \overline{B_i C_{i-1}}} \end{aligned}$$



邏輯電路圖

該電路就單個函數而言， A_i 、 C_i 均已達到最簡，但從整體考慮則并非最簡！

13.3 組合邏輯電路設計

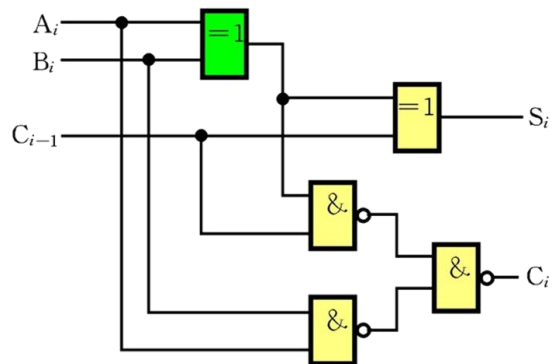
- 當按多輸出函數組合電路進行設計時，可對函數 C_i 作如下變換：

$$\begin{aligned}C_i &= \overline{A_i} B_i C_{i-1} + A_i \overline{B_i} C_{i-1} + A_i B_i \overline{C_{i-1}} + A_i B_i C_{i-1} \\&= (\overline{A_i} B_i + A_i \overline{B_i}) C_{i-1} + A_i B_i (\overline{C_{i-1}} + C_{i-1}) \\&= (A_i \oplus B_i) C_{i-1} + A_i B_i \\&= \overline{(A_i \oplus B_i) C_{i-1}} \cdot \overline{A_i B_i}\end{aligned}$$

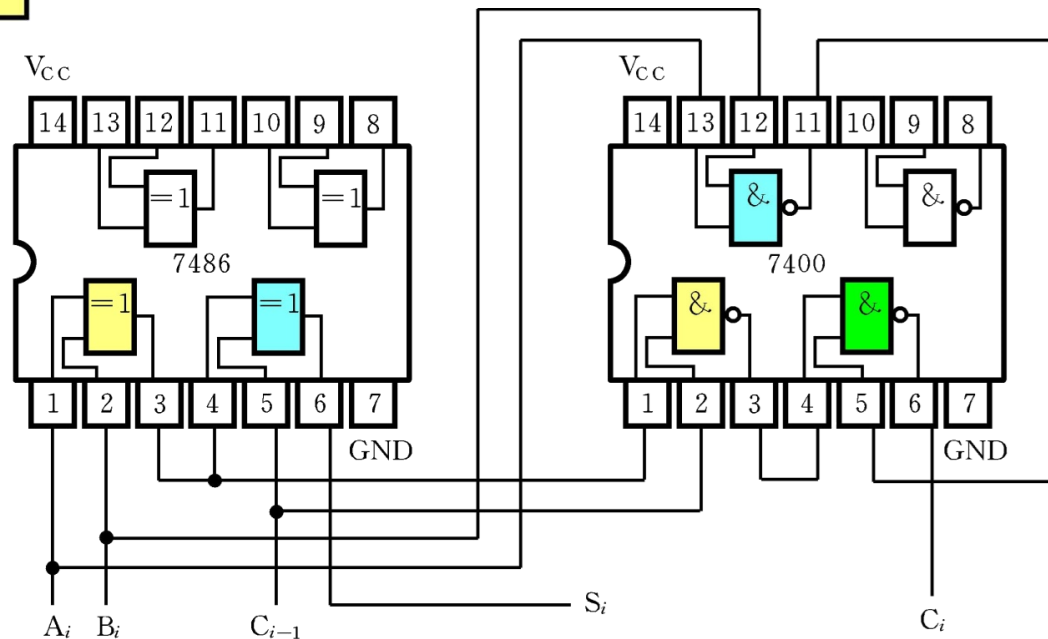
- 經變換後， S_i ($S_i = A_i \oplus B_i \oplus C_{i-1}$) 和 C_i 的邏輯表達式中有公用項 $A_i \oplus B_i$

13.3 組合邏輯電路設計

- 組成電路時可令2個輸出共享同一個異或門



- 芯片引脚圖：





13.3 組合邏輯電路設計

- 二. 包含無關條件的組合邏輯電路設計
- 在某些實際問題中，常常由于輸入變量之間存在的相互制約或問題的某種特殊限定等，使得邏輯函數與輸入變量的某些取值組合無關，通常把這類問題稱為與包含無關條件的邏輯問題；描述這類問題的邏輯函數稱為包含無關條件的邏輯函數
- 無關最小項的概念：由于輸入變量之間存在的相互制約或問題的某種特殊限定，使輸出函數與某些變量取值無關，這些輸入取值組合對應的最小項稱為無關最小項，簡稱為無關項或者任意項



13.3 組合邏輯電路設計

- 二. 包含無關條件的組合邏輯電路設計
- 例如，假定用A、B、C表示計算器中的+、-、×運算，并令變量取值1執行相應運算，則A、B、C三個變量不允許兩個或兩個以上同時為1
- 即A、B、C只允許出現000，001，010，100四種取值組合，不允許出現011，101，110，111四種組合。
- 即包含無關最小項 $\overline{A}BC$ 、 $A\overline{B}C$ 、 $ABC\overline{C}$ 、 ABC 。與A、B、C相關的邏輯函數稱為包含無關條件的邏輯函數
- 當採用“最小項之和”表達式描述一個包含無關條件的邏輯問題時，函數表達式中是否包含無關項，以及對無關項是令其值為1還是為0，并不影響函數的實際邏輯功能
- 注意：在化簡這類邏輯函數時，利無關項用隨意性往往可以使邏輯函數得到更好地簡化，從而使設計的電路達到更簡

13.3 組合邏輯電路設計

- 二. 包含無關條件的組合邏輯電路設計
- 例 設計一個組合邏輯電路，用于判別以餘3碼表示的1位十進制數是否為合數
- 解 設輸入變量為 $ABCD$ ，輸出函數為 F ，當 $ABCD$ 表示的十進制數為合數(4、6、8、9)時，輸出 F 為1，否則 F 為0
- 因為按照餘3碼的編碼規則， $ABCD$ 的取值組合不允許為0000、0001、0010、1101、1110、1111，故該問題為包含無關條件的邏輯問題，與上述6種取值組合對應的最小項為無關項，即在這些取值組合下輸出函數 F 的值可以隨意指定為1或者為0，通常記為“d”

13.3 組合邏輯電路設計

- 二. 包含無關條件的組合邏輯電路設計
- 根據分析，可建立描述該問題的真值表如下：

| ABCD | F | ABCD | F |
|---------|---|---------|---|
| 0 0 0 0 | d | 1 0 0 0 | 0 |
| 0 0 0 1 | d | 1 0 0 1 | 1 |
| 0 0 1 0 | d | 1 0 1 0 | 0 |
| 0 0 1 1 | 0 | 1 0 1 1 | 1 |
| 0 1 0 0 | 0 | 1 1 0 0 | 1 |
| 0 1 0 1 | 0 | 1 1 0 1 | d |
| 0 1 1 0 | 0 | 1 1 1 0 | d |
| 0 1 1 1 | 1 | 1 1 1 1 | d |

- 由真值表可寫出F 的邏輯表達式為
- $F(A,B,C,D) = \sum m(7,9,11,12) + \sum d(0,1,2,13,14,15)$

13.3 組合邏輯電路設計

● 二. 包含無關條件的組合邏輯電路設計

| AB \ CD | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 00 | d | 0 | 1 | 0 |
| 01 | d | 0 | d | 1 |
| 11 | 0 | 1 | d | 1 |
| 10 | d | 0 | d | 0 |

| AB \ CD | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 00 | d | 0 | 1 | 0 |
| 01 | d | 0 | d | 1 |
| 11 | 0 | 1 | d | 1 |
| 10 | d | 0 | d | 0 |

➡ 若不考慮無關項，則函數F的最簡式為

$$F(A, B, C, D) = \bar{A}\bar{B}D + A\bar{B}\bar{C}\bar{D} + \bar{A}BCD$$

➡ 若考慮無關項，則函數F的最簡式為

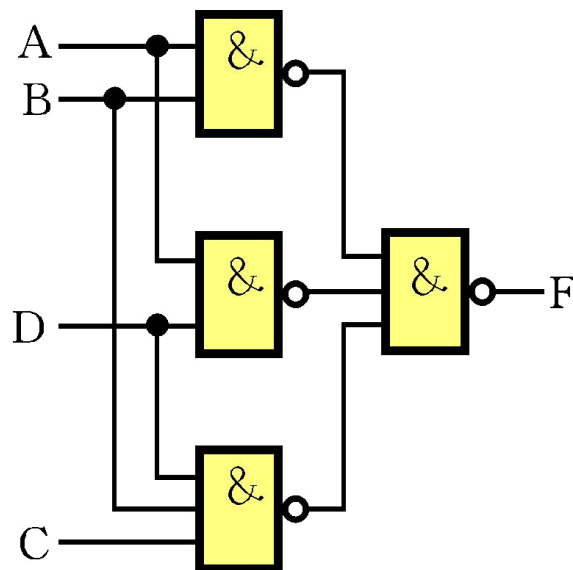
$$F(A, B, C, D) = AB + AD + BCD$$

13.3 組合邏輯電路設計

- 二. 包含無關條件的組合邏輯電路設計
- 假定采用與非門實現給定邏輯功能，可將F的最簡表達式變換成“與非-與非”表達式：

$$F(A, B, C, D) = \overline{\overline{AB + AD + BCD}} = \overline{AB} \cdot \overline{AD} \cdot \overline{BCD}$$

相應的邏輯電路圖：



- 設計包含無關條件的組合邏輯電路時，恰當地利用無關項進行函數化簡，通常可使設計出來的電路更簡單



13.3 組合邏輯電路設計

- 三 .無反變量提供的組合邏輯電路設計
- 在某些問題的設計中，爲了減少各部件之間的連線，在邏輯電路的輸入端只提供原變量，不提供反變量
- 設計這類電路時，若直接用非門將原變量轉換成相應的反變量，則處理結果往往是不經濟的。因此，通常進行適當的變換，以便盡可能減少非門數量



13.3 組合邏輯電路設計

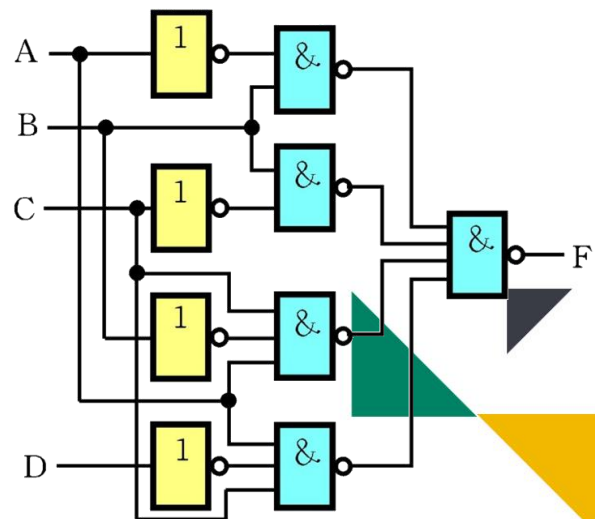
- 三 . 無反變量提供的組合邏輯電路設計
- 例 輸入不提供反變量時，用與非門實現如下邏輯函數。

$$F(A,B,C,D) = \bar{A}B + \bar{B}C + \bar{A}\bar{B}C + A\bar{C}\bar{D}$$

- 解 因為給定函數已經是最簡“與-或”表達式，故可直接變換成“與非-與非”表達式

$$\begin{aligned} F(A,B,C,D) &= \bar{A}B + \bar{B}C + \bar{A}\bar{B}C + A\bar{C}\bar{D} \\ &= \overline{\overline{\bar{A}B} \cdot \overline{\bar{B}C} \cdot \overline{\bar{A}\bar{B}C} \cdot \overline{A\bar{C}\bar{D}}} \end{aligned}$$

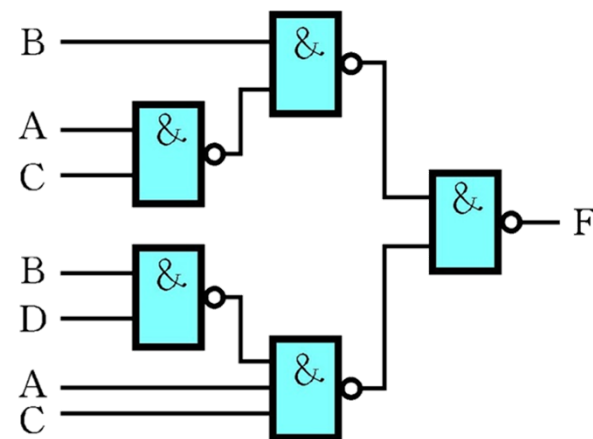
- 相應邏輯電路如右圖所示。共用了9個邏輯門




13.3 組合邏輯電路設計

- 三 . 無反變量提供的組合邏輯電路設計
- 如果對函數F的表達式作如下整理，即

$$\begin{aligned} F(A, B, C, D) &= \bar{A}B + B\bar{C} + \bar{A}BC + AC\bar{D} \\ &= B(\bar{A} + \bar{C}) + AC(\bar{B} + \bar{D}) \\ &= \bar{B}\bar{A}\bar{C} + ACBD \\ &= \overline{\overline{\bar{B}\bar{A}\bar{C}}} \cdot \overline{\overline{ACBD}} \end{aligned}$$



- 可得到相應的邏輯電路如右圖所示。僅用了5個邏輯門
- 顯然，此圖比上幅圖更簡單、合理



休息一下
Take a break



13.4 組合邏輯電路中的競爭與險象

- 信號經過任何邏輯門和導綫都會產生時間延遲，因而當電路所有輸入達到穩定狀態時，輸出并不是立即達到穩定狀態
 - 一般來說，延遲時間對數字系統是一個有害的因素
 - 例如，使得系統操作速度下降，引起電路中信號的波形參數變壞，以及產生競爭險象等問題。下面對後一個問題進行討論
-
- 13.4.1 競爭現象與險象的產生
 - 邏輯電路中各路徑上延遲時間的長短與信號經過的門的級數有關，與具體邏輯門的時延大小有關，還與導綫的長短有關，因此，輸入信號經過不同路徑到達輸出端的時間有先有後，這種現象稱為競爭現象



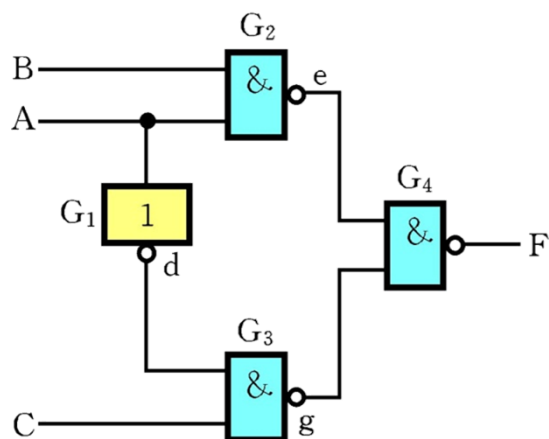
13.4 組合邏輯電路中的競爭與險象

- 競爭：由于延遲時間的影響，使得輸入信號經過不同路徑到達輸出端的時間有先有後，這一現象稱為競爭
- 通常，可以更廣義地把競爭理解為多個信號到達某一點有時差的現象
- 競爭的類型：競爭可以分為兩種類型
- 非臨界競爭---不產生錯誤輸出的競爭稱為非臨界競爭
- 臨界競爭-----導致錯誤輸出的競爭稱為臨界競爭
- 險象：由競爭導至的錯誤輸出信號
- 注意！組合電路中的險像是一種瞬態現象，它表現為在輸出端產生不應有的尖脈衝，暫時地破壞正常邏輯關係。一旦瞬態過程結束，即可恢復正常邏輯關係



13.4 組合邏輯電路中的競爭與險象

例如，如下圖所示是由與非門構成的組合電路，該電路有3個輸入變量，1個輸出函數



根據邏輯電路圖可寫出輸出函數表達式為

$$F = \overline{\overline{AB}} \cdot \overline{\overline{AC}} = AB + \overline{AC}$$

假設輸入變量 $B=C=1$ ，將 B 、 C 的值代入上述函數表達式，可得

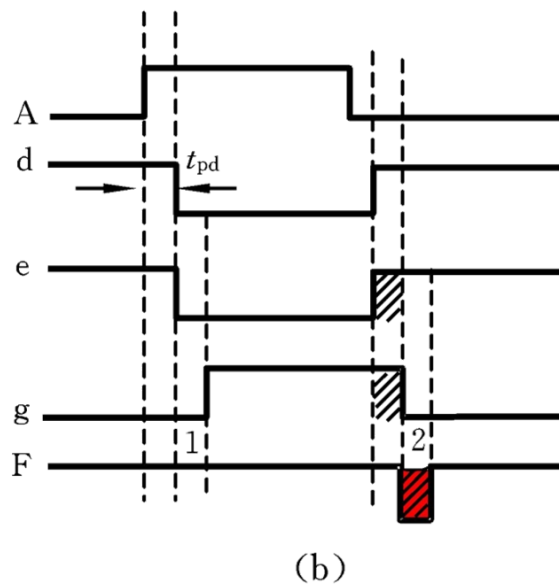
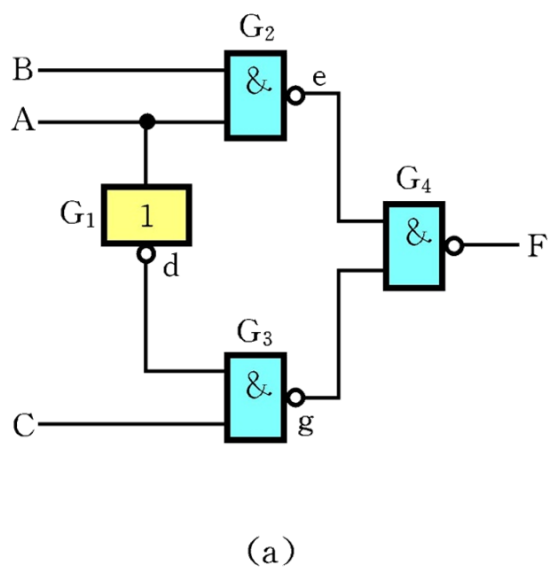
$$F = A + \overline{A}$$

由互補律可知，該函數的值應恒為1，即 $B=C=1$ 時，無論 A 怎樣變化，輸出 F 的值都應保持1不變

13.4 組合邏輯電路中的競爭與險象

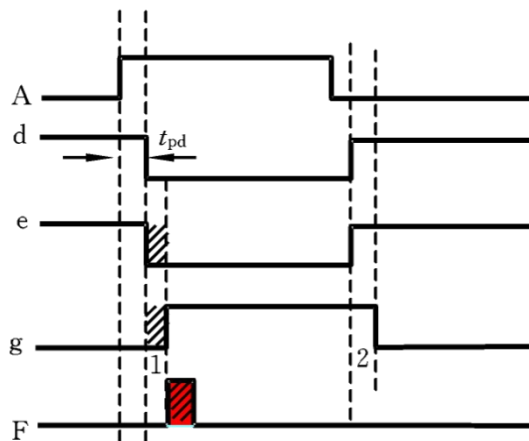
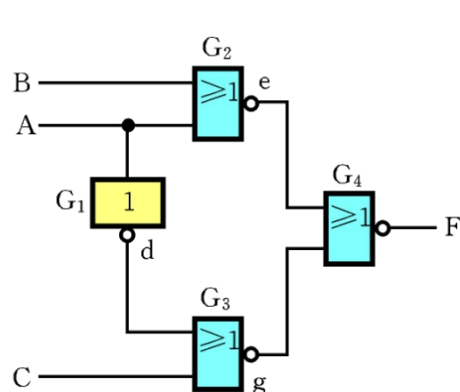
當考慮電路中存在的時間延遲時，該電路的實際輸入、輸出關係又將怎樣呢？

假定每個門的延遲時間為 t_{pd} ，則實際輸入、輸出關係可用如下所示的時間圖來說明。



13.4 組合邏輯電路中的競爭與險象

若將前述圖中的與非門換成或非門，如下圖所示。



輸出函數表達式為

$$F = \overline{\overline{A+B} + \overline{\overline{A}+C}}$$
$$= (A+B) \cdot (\overline{A}+C)$$

假設輸入變量 $B=C=0$ ，將 B 、 C 的值代入上述函數表達式，可得

$$F = A \cdot \overline{A}$$

由互補律可知，函數 F 的值應恒為 0，即 $B=C=0$ 時，無論 A 怎樣變化， F 的值都應保持 0 不變。但考慮時延後，將產生正脈衝信號

按錯誤輸出脈衝信號的極性通常分為 “0” 型險象與 “1” 型險象

13.4 組合邏輯電路中的競爭與險象

- 13.4.2 險象的判斷
- 判斷電路是否可能產生險象的方法有代數法和卡諾圖法
- 針對前面分析的情況可知，當某個變量 X 同時以原變量和反變量的形式出現在函數表達式中，且在一定條件下該函數表達式可簡化成 $X + \bar{X}$ 或者 $X \cdot \bar{X}$ 的形式時，該函數表達式對應的電路在 X 發生變化時，可能由于競爭而產生險象
- 代數法：
- 檢查函數表達式中是否存在具備競爭條件的變量，即是否有某個變量 X 同時以原變量和反變量的形式出現在函數表達式中。
- 若存在具備競爭條件的變量 X ，則消去函數式中的其他變量，看函數表達式是否會變為 $X + \bar{X}$ 或者 $X \cdot \bar{X}$ 的形式。若會，則說明對應的邏輯電路可能產生險象

13.4 組合邏輯電路中的競爭與險象

● 13.4.2 險象的判斷

例1 已知描述某組合電路的邏輯函數表達式為

$$F = \overline{\overline{A}C} + \overline{A}B + AC$$

試判斷該邏輯電路是否可能產生險象

解 由表達式可知，變量A和C均具備競爭條件，所以，應對這兩個變量分別進行分析。先考察變量A，為此將B和C的各種取值組合分別代入函數表達式中，可得到如下結果：

| | |
|-------|------------------------|
| BC=00 | $F = \overline{A}$ |
| BC=01 | $F = A$ |
| BC=10 | $F = \overline{A}$ |
| BC=11 | $F = A + \overline{A}$ |

可見，當B=C=1時，A的變化可能使電路產生險象。類似地，將A和B的各種取值組合分別代入函數表達式中，可由代入結果判斷出變量C發生變化時不會產生險象

13.4 組合邏輯電路中的競爭與險象

● 13.4.2 險象的判斷

例2 試判斷函數表達式 $F=(A+B) \cdot (\bar{A}+C) \cdot (\bar{B}+C)$ 描述的邏輯電路中是否可能產生險象

解 從給出的函數表達式可以看出，變量A和B均具備競爭條件。考察變量B時，將A和C的各種取值組合分別代入函數表達式中，結果如下：

| | |
|---------|--------------|
| $AC=00$ | $F=B\bar{B}$ |
| $AC=01$ | $F=B$ |
| $AC=10$ | $F=0$ |
| $AC=11$ | $F=1$ |

可見，當 $A=C=0$ 時，B的變化可能使電路輸出產生險象。用同樣的方法考察A，可發現當 $B=C=0$ 時，A的變化也可能產生險象



13.4 組合邏輯電路中的競爭與險象

- 13.4.2 險象的判斷
- 當描述電路的邏輯函數為“與-或”表達式時，採用卡諾圖判斷險象比代數法更為直觀、方便
- 卡諾圖法：作出函數卡諾圖，並畫出和函數表達式中各“與”項對應的卡諾圈。若卡諾圈之間存在“相切”關係，即兩卡諾圈之間存在不被同一卡諾圈包含的相鄰最小項，則該電路可能產生險象

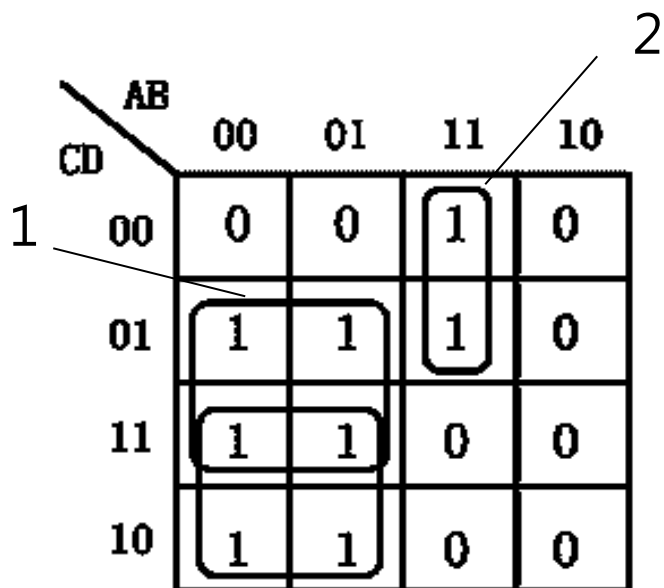


13.4 組合邏輯電路中的競爭與險象

例 已知某邏輯電路對應的函數表達式為 $F = \bar{A}D + \bar{A}C + ABC\bar{C}$

試判斷該電路是否可能產生險象。

解 作出給定函數的卡諾圖。



圖中，卡諾圈 1 和卡諾圈 2 之間存在相鄰最小項 m_5 和 m_{13} ，且 m_5 和 m_{13} 不被同一卡諾圈所包含，所以這兩個卡諾圈“相切”。這說明相應電路可能產生險象

所得結論可用代數法進行驗證，假定 $B=D=1$ ， $C=0$ ，代入函數表達式 F 之後可得 $F = A + \bar{A}$ ，可見相應電路可能由于 A 的變化而產生險象



13.4 組合邏輯電路中的競爭與險象

- 13.4.3 險象的消除
- 消除或避免電路中出現險象的幾種常用的方法
 - 一．用增加冗餘項的方法消除險象
 - 二．增加慣性延時環節
 - 三．選通法





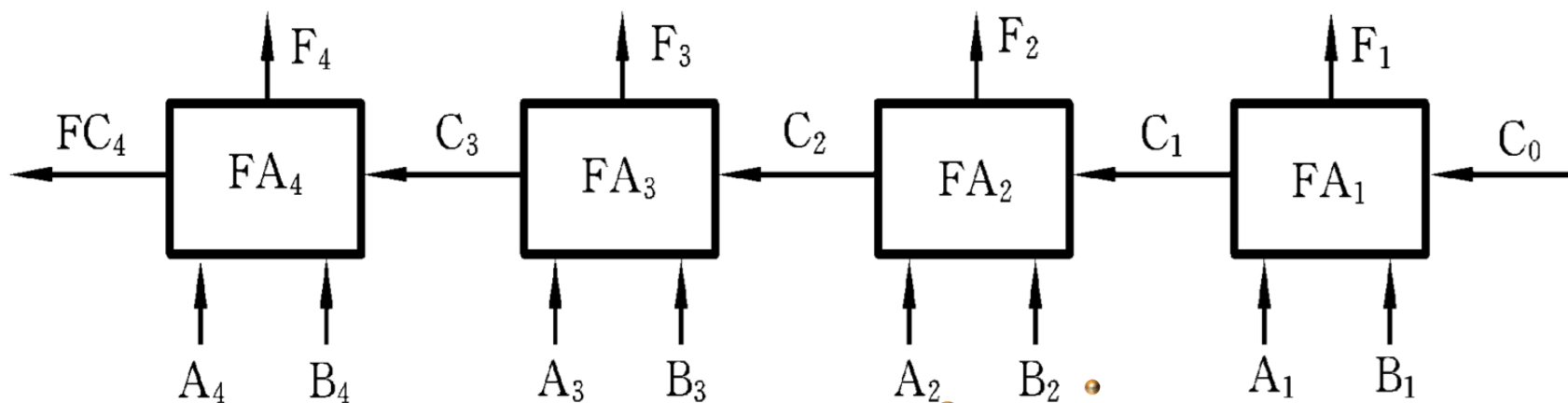
13.5 常見組合邏輯器件及應用

- 常用中規模組合邏輯器件
- 使用最廣泛的中規模組合邏輯集成電路有二進制并行加法器、譯碼器、編碼器、多路選擇器和多路分配器等
- 二進制并行加法器
 - 一、定義
 - 二進制并行加法器：是一種能并行產生兩個二進制數算術和的組合邏輯部件
 - 二、類型及典型產品
- 按其進位方式的不同，可分為串行進位二進制并行加法器和超前進位二進制并行加法器兩種類型



13.5 常見組合邏輯器件及應用

- 常用中規模組合邏輯器件
- 1．串行進位二進制并行加法器
- 由全加器級聯構成，高位的進位輸出依賴于低位的進位輸入
- 串行進位二進制并行加法器的結構框圖：



加法器的運算
速度如何？

13.5 常見組合邏輯器件及應用

- 常用中規模組合邏輯器件
- 串行進位并行加法器的特點：
 - 1. 被加數和加數的各位能并行到達各位的輸入端
 - 2. 各位的進位由低位向高位逐級串行傳遞
 - 3. 運算速度受進位信號傳遞的影響，位數越多，速度就越低

**如何提高加法器
的運算速度?**

- 設法減小或去除由于進位信號逐級傳送所花費的時間，使各位的進位直接由加數和被加數來決定,而不需依賴低位進位
- 根據這一思想設計的加法器稱為超前進位(又稱先行進位)二進制并行加法器

13.5 常見組合邏輯器件及應用

- 常用中規模組合邏輯器件
- 2．超前進位二進制并行加法器
- 根據輸入信號同時形成各位向高位的進位，然後同時產生各位的和。通常又稱為先行進位二進制并行加法器或者并行進位二進制并行加法器
- 超前進位二進制并行加法器的構成思想如下：
- 由全加器的結構可知，第*i*位全加器的進位輸出函數表達式為

$$\begin{aligned}C_i &= \overline{A_i}B_iC_{i-1} + A_i\overline{B_i}C_{i-1} + A_iB_i\overline{C_{i-1}} + A_iB_iC_{i-1} \\ &= (A_i \oplus B_i)C_{i-1} + A_iB_i\end{aligned}$$

何時有
進位？

13.5 常見組合邏輯器件及應用

- 常用中規模組合邏輯器件
- 2．超前進位二進制并行加法器

令 $A_i \oplus B_i \rightarrow P_i$ (進位傳遞函數)

$A_i B_i \rightarrow G_i$ (進位產生函數)

則有

$$C_i = P_i C_{i-1} + G_i$$

當 $i=1、2、3、4$ 時，可得到4位并行加法器各位的進位輸出函數表達式為：

$$C_1 = P_1 C_0 + G_1$$

$$C_2 = P_2 C_1 + G_2 = P_2 P_1 C_0 + P_2 G_1 + G_2$$

$$C_3 = P_3 C_2 + G_3 = P_3 P_2 P_1 C_0 + P_3 P_2 G_1 + P_3 G_2 + G_3$$

$$C_4 = P_4 C_3 + G_4 = P_4 P_3 P_2 P_1 C_0 + P_4 P_3 P_2 G_1 + P_4 P_3 G_2 + P_4 G_3 + G_4$$

13.5 常見組合邏輯器件及應用

- 常用中規模組合邏輯器件
- 2 · 超前進位二進制并行加法器

$$C_1 = P_1 C_0 + G_1$$

$$C_2 = P_2 C_1 + G_2 = P_2 P_1 C_0 + P_2 G_1 + G_2$$

$$C_3 = P_3 C_2 + G_3 = P_3 P_2 P_1 C_0 + P_3 P_2 G_1 + P_3 G_2 + G_3$$

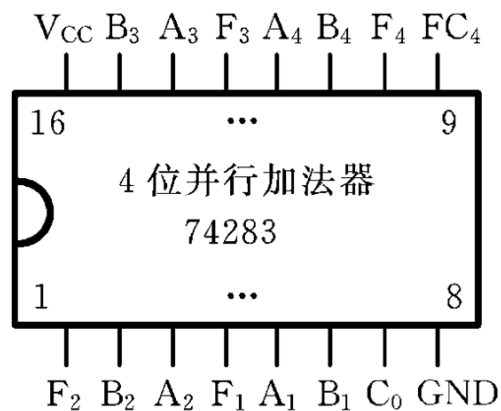
$$C_4 = P_4 C_3 + G_4 = P_4 P_3 P_2 P_1 C_0 + P_4 P_3 P_2 G_1 + P_4 P_3 G_2 + P_4 G_3 + G_4$$

由于 $C_1 \sim C_4$ 是 P_i 、 G_i 和 C_0 的函數，即 $C_i = f(P_i, G_i, C_0)$ ，而 P_i 、 G_i 又是 A_i 、 B_i 的函數，所以，在提供輸入 A_i 、 B_i 和 C_0 之後，可以同時產生 $C_1 \sim C_4$ 。通常將根據 P_i 、 G_i 和 C_0 形成 $C_1 \sim C_4$ 的邏輯電路稱為先行進位發生器

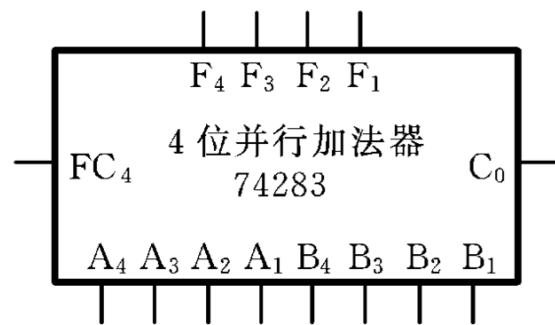
改進後4位加法器需要
經過幾級門？N位呢？

13.5 常見組合邏輯器件及應用

- 常用中規模組合邏輯器件
- 典型芯片
- 常用的集成電路有四位超前進位并行加法器74283。74283芯片的管腳排列圖和邏輯符號如下



(a)



(b)

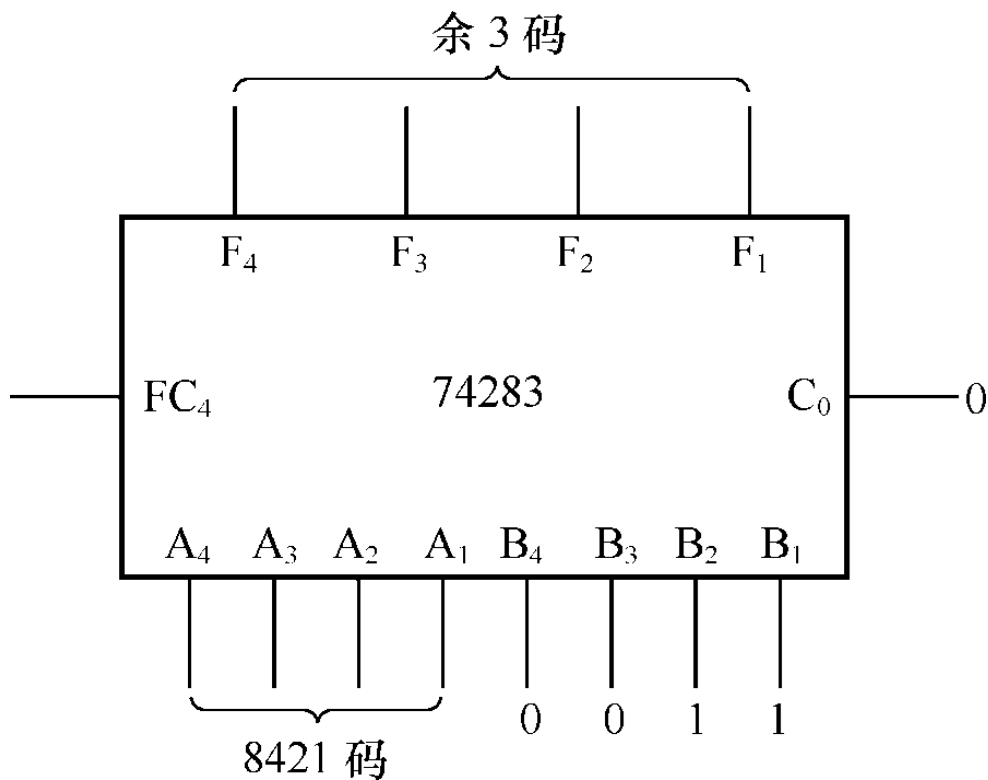
圖中: A₄、A₃、A₂、A₁ --- 二進制被加數 ;
B₄、B₃、B₂、B₁ --- 二進制加數 ;
F₄、F₃、F₂、F₁ --- 相加產生的和數 ;
C₀ ----- 來自低位的進位輸入 ;
FC₄ ----- 向高位的進位輸出。

13.5 常見組合邏輯器件及應用

- 常用中規模組合邏輯器件
- 應用舉例
- 二進制并行加法器除實現二進制加法運算外，還可實現代碼轉換、二進制減法運算、二進制乘法運算、十進制加法運算等功能
- 例1 用4位二進制并行加法器設計一個將8421碼轉換成餘3碼的代碼轉換電路
- 解 由于餘3碼是由8421碼加3後形成的代碼。所以，只需從4位二進制并行加法器的一組輸入端接收8421碼，而另一組輸入端接收0011，進位輸入端 C_0 接上“0”，便可從輸出端得到與輸入8421碼對應的餘3碼

13.5 常見組合邏輯器件及應用

- 常用中規模組合邏輯器件
- 應用舉例
- 實現給定功能的邏輯電路圖如下圖所示



13.5 常見組合邏輯器件及應用

- 常用中規模組合邏輯器件
- 應用舉例

例2 用4位二進制并行加法器設計一個4位二進制并行加法/減法器

解 根據問題要求，設減法采用補碼運算，并令

$A = a_4a_3a_2a_1$ ----- 為被加數(或被減數)；

$B = b_4b_3b_2b_1$ ----- 為加數(或減數)；

$S = s_4s_3s_2s_1$ ----- 為和數(或差數)；

M ----- 為功能選擇變量.當 $M=0$ 時，執行

$A+B$ ；當 $M=1$ 時，執行 $A-B$

由運算法則可歸納出電路功能為：

當 $M=0$ 時，執行 $a_4a_3a_2a_1 + b_4b_3b_2b_1 + 0$ ($A+B$)

當 $M=1$ 時，執行 $a_4a_3a_2a_1 + \bar{b}_4\bar{b}_3\bar{b}_2\bar{b}_1 + 1$ ($A-B$)

13.5 常見組合邏輯器件及應用

- 分析結果表明，可用一片4位二進制并行加法器和4個異或門實現上述邏輯功能

具體實現：

將4位二進制數 $a_4a_3a_2a_1$ 直接加到并行加法器的 $A_4A_3A_2A_1$ 輸入端，4位二進制數 $b_4b_3b_2b_1$ 分別和M異或後加到并行加法器的 $B_4B_3B_2B_1$ 輸入端。並將M同時加到并行加法器的 C_0 端

$$M=0: A_i=a_i, B_i=b_i, C_0=0$$

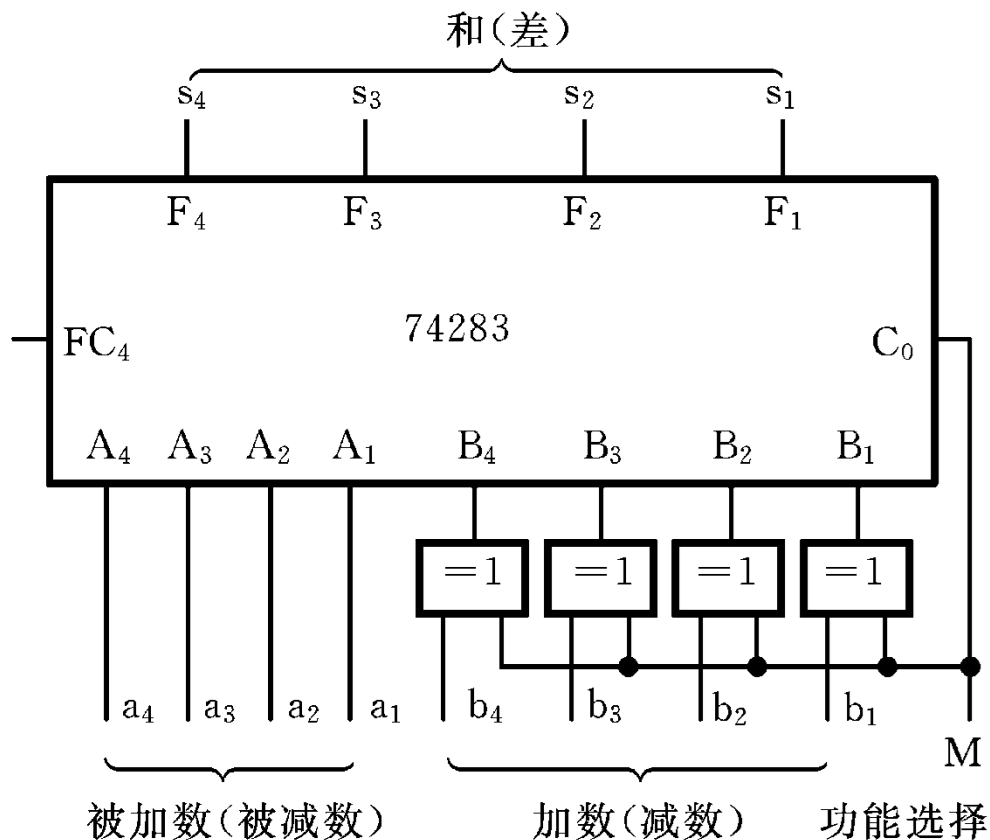
實現 $a_4a_3a_2a_1 + b_4b_3b_2b_1 + 0$ （即A+B）；

$$M=1: A_i=a_i, B_i=\overline{b_i}, C_0=1,$$

實現 $a_4a_3a_2a_1 + \overline{b_4b_3b_2b_1} + 1$ （即A-B）。

13.5 常見組合邏輯器件及應用

- 常用中規模組合邏輯器件
- 應用舉例
- 實現給定功能的邏輯電路圖如下：



13.5 常見組合邏輯器件及應用

- 常用中規模組合邏輯器件
- 應用舉例

例3 用一個4位二進制并行加法器和六個與門設計一個乘法器，實現 $A \times B$ ，其中
 $A = a_3a_2a_1$ ， $B = b_2b_1$

解 根據乘數和被乘數的取值範圍，可知乘積範圍處在0~21之間。故該電路應有5個輸出，設輸出用 $Z_5Z_4Z_3Z_2Z_1$ 表示，兩數相乘求積的過程如下：

$$\begin{array}{r} \text{被乘數} \quad a_3 \quad a_2 \quad a_1 \\ \times) \text{ 乘數} \quad \quad b_2 \quad b_1 \\ \hline \quad \quad \quad a_3b_1 \quad a_2b_1 \quad a_1b_1 \\ +) \quad a_3b_2 \quad a_2b_2 \quad a_1b_2 \\ \hline \text{乘積} \quad Z_5 \quad Z_4 \quad Z_3 \quad Z_2 \quad Z_1 \end{array}$$

13.5 常見組合邏輯器件及應用

- 常用中規模組合邏輯器件
- 應用舉例

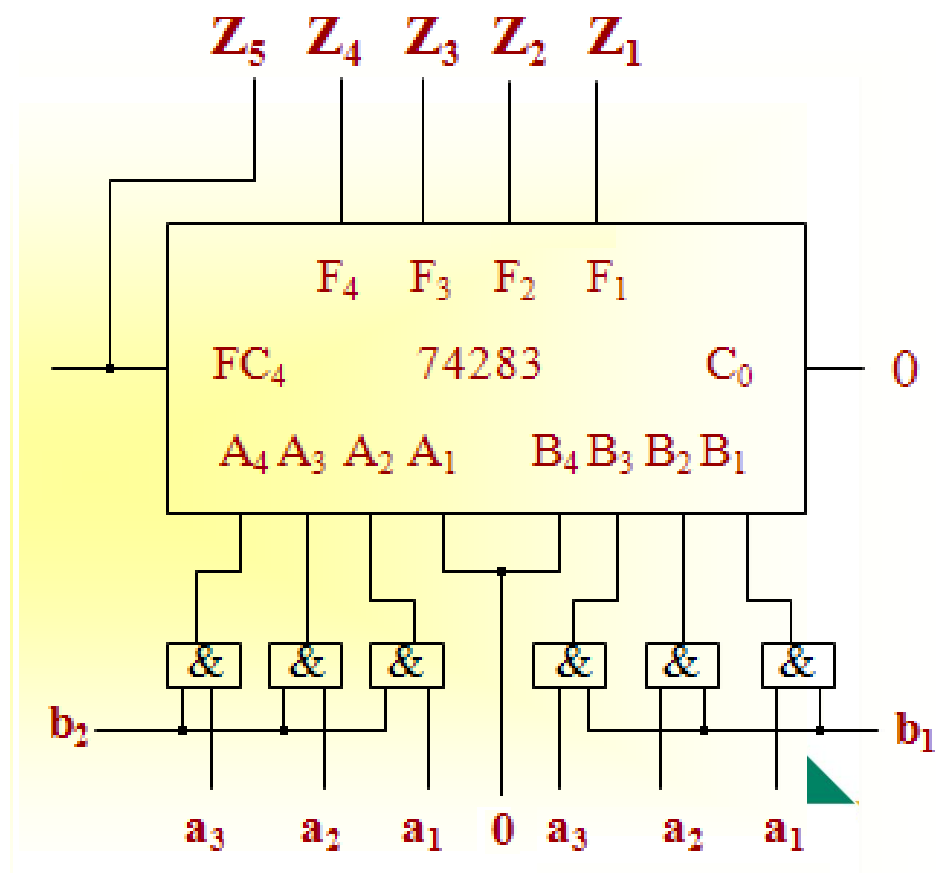
☆ 1位二進制數乘法

法則和邏輯“與”運算法則相同，

“積”項 $a_i b_j$ ($i=1, 2, 3; j=1, 2$) 可用兩輸入與門實現

☆ 對部分積求和可用并行加法器實現。

電路可由6個兩輸入與門和1個4位二進制并行加法器構成






思考題

- 組合邏輯電路設計的一般步驟有哪些？請簡要說明。
- 如何對組合邏輯電路進行分析？請簡要說明。
- 什麼是無關最小項，請具體闡述。





休息一下
Take a break





感謝觀賞

Thank you for listening.