

# 計算機科學導論



### 主講人 姓名 張琪

Name Zhang Qi

#### 澳門城市大學

City University of Macau

# 第十二章基本器件的知識

### 本章學習要點:

- 1 數字集成電路的分類
- 2 半導體器件的開關特性
- 3 邏輯門電路
- 4 邏輯函數的實現

# 背景

- 隨著微電子技術的發展,人們把實現各種邏輯功能的元器件及其連綫都集中制造在同一塊半導體材料小片上,并封裝在一個殼體中,通過引綫與外界聯繫,即構成所謂的集成電路塊,通常又稱爲集成電路芯片
- 集成門電路和觸發器等邏輯器件是實現數字系統功能的物質基礎
- 采用集成電路進行數字系統設計的優點:
- 可靠性高、可維性好、功耗低、成本低等優點,可以大大簡化設計和調試過程

# ₹12.1 數字集成電路的分類

- 數字集成電路通常按照所用半導體器件的不同或者根據集成規模 的大小進行分類
- 一. 根據所采用的半導體器件進行分類
- 根據所采用的半導體器件,分爲兩大類
- 雙極型集成電路:采用雙極型半導體器件作爲元件。主要特點是 速度快、負載能力强,但功耗較大、集成度較低
- 單極型集成電路(MOS集成電路): 采用金屬-氧化物半導體場效應管(Metel Oxide Semiconductor Field Effect Transister)作爲元件。主要特點是結構簡單、製造方便、集成度高、功耗低,但速度相對雙極型較慢

# 12.1 數字集成電路的分類

- 數字集成電路通常按照所用半導體器件的不同或者根據集成規模的大小進行分類
- 一. 根據所采用的半導體器件進行分類
- 雙極型集成電路分爲:
- 晶體管-晶體管邏輯電路TTL(Transistor Transistor Logic)
- 發射極耦合邏輯電路(Emitter Coupled Logic)
- 集成注入邏輯電路I2L(Integrated Injection Logic)
- TTL電路的"性能價格比"較佳,應用最廣泛
- MOS集成電路分爲:
- PMOS( P-channel Metel Oxide Semiconductor)
- NMOS(N-channel Metel Oxide Semiconductor)
- CMOS(Complement Metal Oxide Semiconductor)
- CMOS電路應用較普遍,因爲它不但適用于通用邏電路的設計 而且綜合性能好

# 12.1 數字集成電路的分類

- 數字集成電路通常按照所用半導體器件的不同或者根據集成規模的大小進行分類
- 二·根據集成電路規模的大小進行分類
- 根據一片集成電路芯片上包含的邏輯門個數或元件個數,分爲 SSI、MSI、LSI、VLSI
- 1. SSI (Small Scale Integration: 邏輯門數小于10 門(或元件數小于100個);
- 2. MSI (Medium Scale Integration): 邏輯門數爲10 門~99 門(或元件數100個~999個);
- 3. LSI (Large Scale Integration): 邏輯門數爲100門~9999門(或元件數1000個~99999個);
- 4. VLSI (Very Large Scale Integration): 邏輯門數大于 10000 門(或元件數大于100000個)

# 12.1 數字集成電路的分類

- 數字集成電路通常按照所用半導體器件的不同或者根據集成規模的大小進行分類
- 三 · 根據設計方法和功能定義分類
- 根據設計方法和功能定義通常可分爲如下3類:
- 1. 非定制電路(又稱爲標準集成電路)
- 2. 全定制電路(又稱爲專用集成電路)
- 3. 半定制電路

- 數字電路中的晶體三極管、三極管和MOS管等器件一般是以開關方式運用的,工作狀態相當于相當于開關的"接通"與"斷開"
- 數字系統中的半導體器件運用在開關頻率十分高的電路中,研究 其開關特性時,不僅要研究它們在導通與截止兩種狀態下的靜止 特性,而且還要分析它們在導通和截止狀態之間的轉變過程,即 動態特性

- 晶體 二極管的開關特性
- 一 · 靜態特性



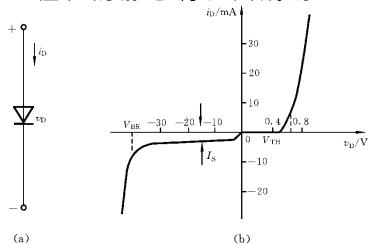




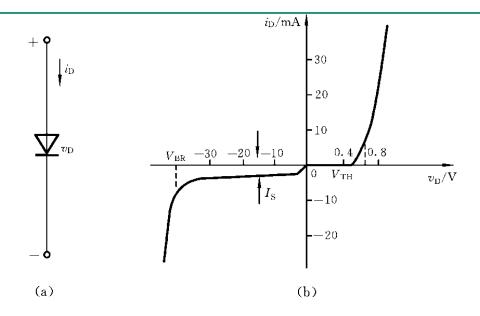


常見外形圖

● 靜態特性是指三極管在導通和截止兩種穩定狀態下的特性。典型 二極管的靜態特性曲綫爲:



●晶體三極管的開關特性

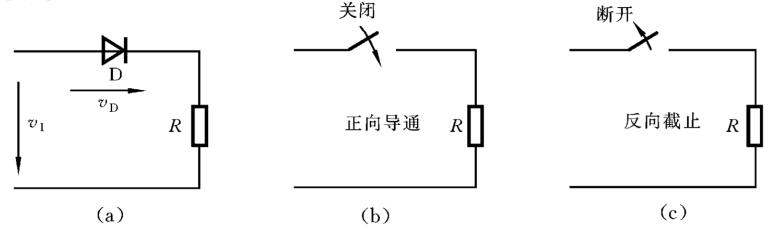


- 1. 正向特性:
- 門檻電壓 (V<sub>TH</sub>): 使三極管開始導通的正向電壓,一般鍺管約0.1V, 矽管約0.5V
- 正向電壓  $V_F \leq V_{TH}$ : 管子截止,電阻很大、正向電流  $I_F$  接近于0,三極管類似于開關的斷開狀態 ;
- 正向電壓 V<sub>F</sub> = V<sub>TH</sub>:管子開始導通,正向電流 I<sub>F</sub>開始上升;
- 正向電壓 V<sub>F</sub> > V<sub>TH</sub> : 管子充分導通(導通電壓一般鍺管約0.3 V,約 0.7 V,通常稱爲導通電壓) ,電阻很小,正向電流I<sub>F</sub> 急劇增加極管類似于開關的接通狀態

# ▼12.2 半導體器件的開關特性

- 晶體 二極管的開關特性
- 2 · 反向特性
- 二極管在反向電壓 V<sub>R</sub> 作用下,處于截止狀態,反向電阻很大, 反向電流 I<sub>R</sub> 很小(將其稱爲反向飽和電流,用 I<sub>S</sub> 表示,通常可 忽略不計),二極管的狀態類似于開關斷開。而且反向電壓在一 定範圍內變化基本不引起反向電流的變化
- 正嚮導通時可能因電流過大而導致二極管燒壞。組成實際電路時通常要串接一隻電阻 R,以限制二極管的正向電流
- 反向電壓超過某個極限值時,將使反向電流I<sub>R</sub>突然猛增,致使二極管被擊穿(通常將該反向電壓極限值稱爲反向擊穿電壓V<sub>BR</sub>), 一般不允許反向電壓超過此值

- 晶體二極管的開關特性
- 由于二極管的單向導電性・所以在數字電路中經常把它當作開關 使用



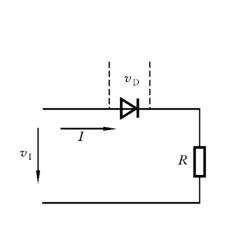
二極管開關電路及等效電路

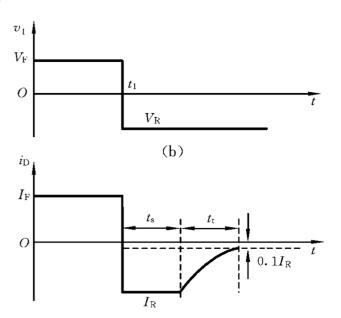
注意: 圖中忽略了二極管的正向壓降

# ▼12.2 半導體器件的開關特性

- 晶體 二極管的開關特性
- 二. 動態特性
- 二極管的動態特性是指二極管在導通與截止兩種狀態轉換過程中的特性,它表現在完成兩種狀態之間的轉換需要一定的時間。爲此,引入了反向恢復時間和開通時間的概念
- 1. 反向恢復時間
- 反向恢復時間: 二極管從正嚮導通到反向截止所需要的時間稱爲 反向恢復時間
- 當作用在三極管兩端的電壓由正嚮導通電壓V<sub>F</sub>轉爲反向截止電 壓 V<sub>R</sub>時,在理想情况下三極管應該立即由導通轉爲截止,電路 中只存在極小的反向電流

● 實際過程如圖所示:





 $t_s$  — 稱爲存儲時間;

 $t_t$  — 稱爲渡越時間;

 $t_{re} = t_s + t_t$  —稱爲反 向恢複時間。

 $0\sim t_1$ 時刻:輸入正嚮導通電壓  $V_F$ ,二極管導通,電阻很小,電路中的正向電流 $I_F\approx V_F/R$ 

 $\mathbf{t}_1$  時刻:輸入電壓由正向電壓 $\mathbf{V}_F$  轉爲反向電壓  $\mathbf{V}_R$ ,首先正向電流 $\mathbf{I}_F$  變到一 图很大的 反向電流  $\mathbf{I}_R \approx \mathbf{V}_R/R$ ,該電流維持一段時間 $\mathbf{t}_s$ 後開始逐漸下降,經過一段時間  $\mathbf{t}_r$  下降 到一個很小的數值 $\mathbf{0}.1\mathbf{I}_R$ (接近反向飽和電流  $\mathbf{I}_S$ ),二極管進入反向截止狀態

# ▼12.2 半導體器件的開關特性

● 産生反向恢復時間的原因

#### 具體如下:

- ★ 二極管外加正向電壓 V<sub>F</sub> 時,PN結兩邊的多數載流子不斷向對方區域擴散,一方面使空間電荷區變窄,另一方面使相當數量的載流子存儲在PN結的兩側
- ★ 當輸入電壓突然由正向電壓  $V_F$  變爲反向電壓  $V_R$ 時,PN 結兩邊存儲的載流子在反向電壓作用下朝各自原來的方向運動,即P 區中的電子被拉回 N區,N區中的空穴被拉回 P區,形成反向漂移電流  $I_R$  開始時空間電荷區依然很窄,二極管電阻很小,反向電流

 $I_R \approx V_R / R \circ$ 

經過時間 $\mathbf{t}_s$ 後,PN 結兩側存儲的載流子顯著减少,空間電荷區逐漸變寬,反向電流慢慢減小;直至經過時間 $\mathbf{t}_t$ 後, $\mathbf{I}_R$ 减小至反向飽和電流 $\mathbf{I}_S$ ,二極管截止。該過程如下圖所示

- 2. 開通時間
- 開通時間: 二極管從反向截止到正嚮導通的時間稱爲開通時間
- 由于PN結在正向電壓作用下空間電荷區迅速變窄,正向電阻很小,因而它在導通過程中及導通以後,正向壓降都很小,故電路中的正向電流I<sub>F</sub> ≈ V<sub>F</sub>/R。而且加入輸入電壓V<sub>F</sub>後,回路電流幾乎是立即達到I<sub>F</sub>的最大值
- 即:二極管的開通時間很短,對開關速度影響很小,相對反向恢 復時間而言幾乎可以忽略不計

# ₹12.2 半導體器件的開關特性

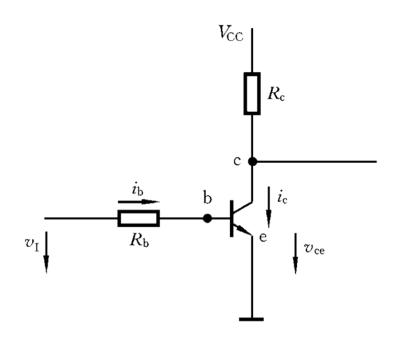
● 晶體三極管的開關特性

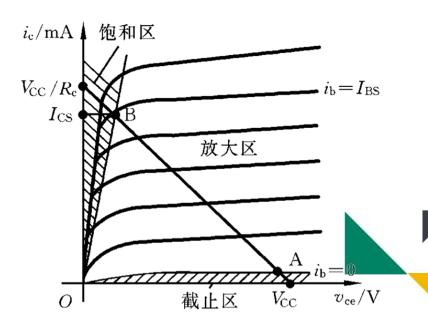




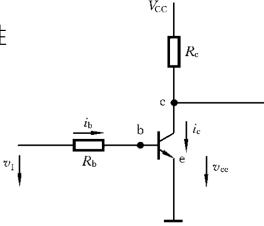


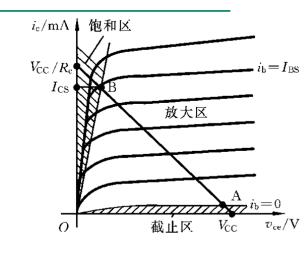
- 晶體三極管的開關特性
- 一 · 靜態特性
- 晶體三極管由集電結和發射結兩個PN結構成。三極管有截止、 放大、飽和3種工作狀態
- 一個用NPN型共發射極晶體三極管組成的簡單電路及其輸出特性曲綫如下圖所示





- 晶體三極管的開關特性
- 電路工作特點





#### 1. 截止狀態

 $v_i ≤ 0$ ,兩個PN結均爲反偏, $i_B ≈ 0$ , $i_C ≈ 0$ , $v_{CE} ≈ V_{CC}$ 。三極管呈現高阻抗,類似于開關斷開

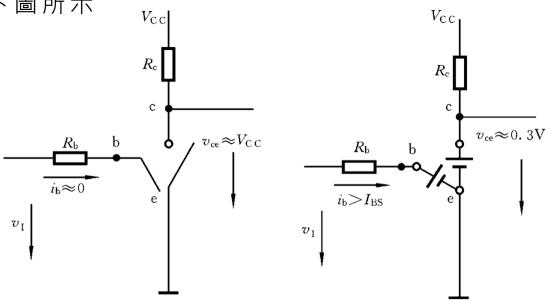
#### 2. 放大狀態

 $v_i > V_{TH}$  ,發射結正偏,集電結反偏, $i_C = \beta i_B$ 

#### 3. 飽和狀態

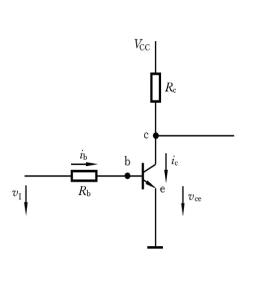
 $V_I > V_{TH}$ ,并達到一定值,兩個PN結均爲正偏, $i_B \ge I_{BS}$ (基極臨界飽和 添)  $\approx V_{CC}/\beta R_c$ ,此時 $i_C = I_{CS}$ (集電極飽和電流)  $\approx V_{CC}/R_c$ 。 三極管呈現低阻抗 類似 于開關接通

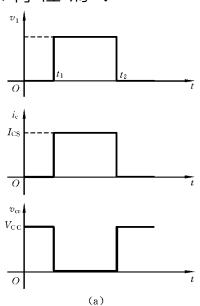
- 晶體三極管的開關特性
- 在數字邏輯電路中,三極管相當于一個由基極信號控制的無觸點開關,其作用對應于觸點開關的"閉合"與"斷開"
- 上述共發射極晶體三極管電路在三極管截止與飽和狀態下的等效 電路如下圖所示 ...

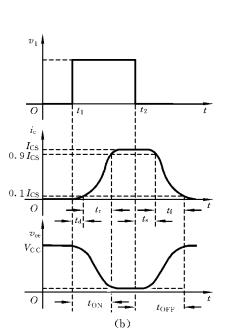


● 晶體三極管在截止與飽和這兩種穩態下的特性稱爲三極管的<mark>靜態</mark> 開關特性

- 晶體三極管的開關特性
- 二 · 動態特性
- 晶體三極管在飽和與截止兩種狀態轉換過程中具有的特性稱爲三極管的動態特性
- 三極管的內部也存在著電荷的建立與消失過程。兩種狀態的轉換 也需要一定的時間才能完成
- 如圖所示電路的動態特性爲:







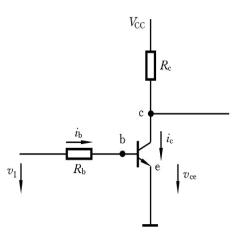
- 晶體三極管的開關特性
- 二 · 動態特性

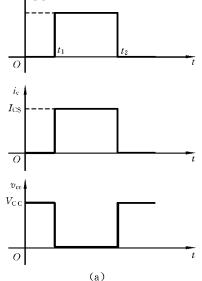
當輸入電壓 $v_i$ 由- $V_1$  跳變到+ $V_2$ 時,三極管從截止到開始導通所需要的時間<mark>稱爲延</mark>遲時間 $t_d$ 

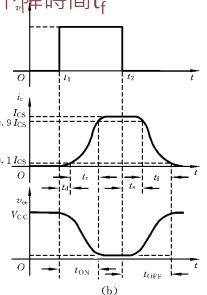
經過延遲時間 $t_d$ 後, $i_c$ 不斷增大。 $i_c$ 上升到最大值的90%所需要的時間稱爲上升時間 $t_r$ 

當輸入電壓 $v_i$ 由 +  $V_2$ 跳變到 -  $V_1$ 時,集電極電流從 $I_{CS}$ 到下降至 $0.9I_{CS}$ 所需要的時間稱爲存儲時間 $t_s$ 

集電極電流由0.9I<sub>CS</sub>降至0.1I<sub>CS</sub>所需的時間稱爲下降時間t<sub>f</sub>



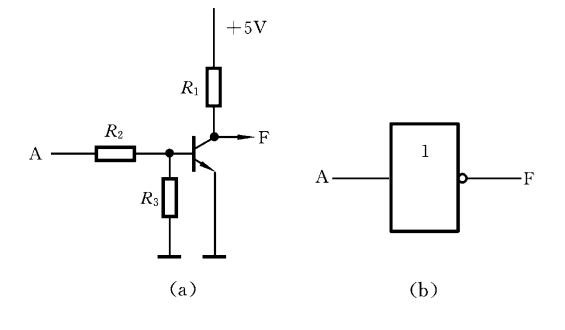




- ●晶體三極管的開關特性
- 二 · 動態特性
- 1. 開通時間( $t_{on}$ ) 開通時間: 三極管從截止狀態到飽和狀態所需要的時間 開通時間 $t_{on}$  = 延遲時間 $t_{d}$  +上升時間 $t_{r}$
- 2. 關閉時間( $t_{off}$ ) 關閉時間:三極管從飽和狀態到截止狀態所需要的時間 關閉時間 $t_{off}$ =存儲時間 $t_{s}$ +下降時間 $t_{f}$

- 實現基本邏輯運算和常用複合邏輯運算的邏輯器件統稱爲邏輯門 電路,它們是組成數字系統的基本單元電路
- 以TTL集成邏輯門和CMOS集成邏輯爲例進行介紹
- 要求:
- 重點掌握集成邏輯門電路的功能和外部特性,以及器件的使用方法。對其內部結構和工作原理只要求作一般瞭解

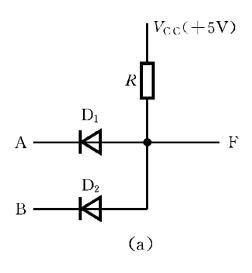
- 簡單邏輯門電路
- 一. 非門
- 圖 (a)和圖(b)所示
- 非門又稱 "反相器"。晶體三極管反相器的電路圖和邏輯符號如

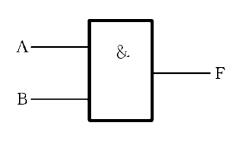


A/V	F/V
0	+5
+5	0

A	$\mathbf{F}$
0	1
1	0

- ●簡單邏輯門電路
- 二. 與門
- 一個由二極管構成的2輸入與門電路如下圖所示



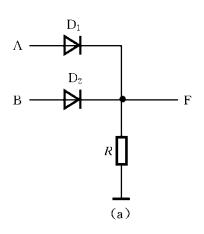


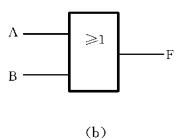
(b)

A/V B/V	F/V
0 0	0
0 +5	0
+5 0	0
+5 +5	+5

A B	F
0 0	0
0 1	0
1 0	0
1 1	1

- ●簡單邏輯門電路
- 三. 或門
- 一個由二極管構成的2輸入或門電路如下圖所示





A/V B/V	F/V
0 0	0
0 +5	+5
+5 0	+5
+5 +5	+5

A B	F
0 0	0
0 1	1
1 0	1
1 1	1

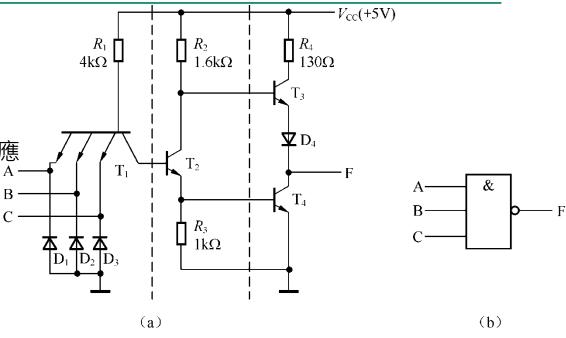
# 思考題

- 什麽是二極管?請簡要說明。
- 什麽是三極管?請簡要說明。
- 什麽是非門,與門,或門?請簡要說明。

# 休息一下 Take a break

- TTL 集成邏輯門電路
- TTL(Transistor Transistor Logic)電路是晶體管-晶體管邏輯電路的簡稱。60年代問世,經過對電路結構和工藝的不斷改進,性能得到不斷改善,至今仍被廣泛應用于各種邏輯電路和數字系統中
- TTL電路的功耗大、綫路較複雜,使其集成度受到一定的限制, 故廣泛應用于中小規模邏輯電路中
- 下面,對幾種常見TTL門電路進行介紹,重點討論TTL與非門

- TTL集成邏輯門電路
- 一.典型TTL與非門
- (1) 電路結構典型
- TTL與非門電路圖及相應 邏輯符號如圖所示



#### 該電路可按 圖中虛綫劃分爲三部分:

輸入級——由多發射極晶體管 $T_1$ 和電阻 $R_1$ 組成;

 $\mathbf{C}$ 

中間級—— 由晶體管 $T_2$ 和電阻 $R_2 \setminus R_3$ 組成;

輸出級——由晶體管 $T_3 \cdot T_4 \cdot D4$ 和電阻 $R_4$ 組成。

### ▼12.3 邏輯門電路

- TTL 集成邏輯門電路
- (2) 工作原理

#### 邏輯功能分析如下:

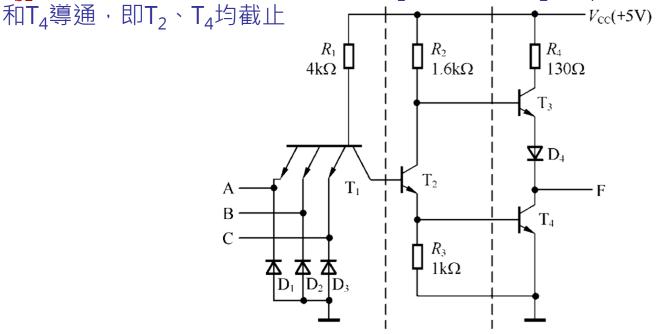
※ 輸入端全部接高電平(3.6V):電源 $V_{cc}$ 通過 $R_1$ 和 $T_1$ 的集電結向 $T_2$ 提供足够的基極電流,使 $T_2$ 飽和導通。 $T_2$ 的發射極電流在 $R_3$ 上産生的壓降又使  $T_4$ 飽和導通,輸出爲低電平( $\approx 0.3V$ )

此時, $T_1$ 的基極電壓 $v_{b1}=v_{bc1}+v_{be2}+v_{be4}\approx 2.1V$ ; $T_2$ 的集電極電壓 $v_{c2}=v_{ces2}+v_{be4}\approx 0.3V+0.7V\approx 1V$ ,該值不足以使 $T_3$ 和 $D_4$ 導通,故 $D_4$ 截止

實現了"輸入全高,輸出爲低"的邏輯關係

- TTL 集成邏輯門電路
- (2) 工作原理

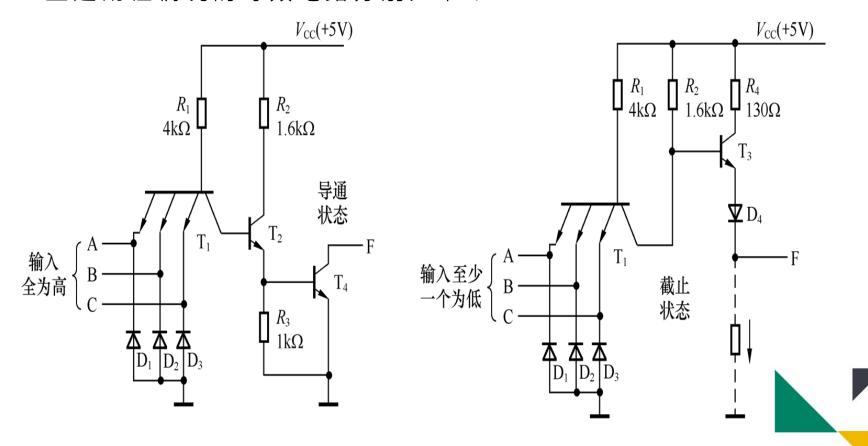
※ 當有輸入端接低電平(0.3V)時:輸入端爲低的發射結導通,使 $T_1$ 的基極電位  $v_{b1}$ =0.3V+0.7V=1V。該電壓作用于 $T_1$ 的集電結和 $T_2$ 、 $T_4$ 的發射結上,不可能使 $T_2$ 



由于T<sub>2</sub>截止,電源V<sub>CC</sub>通過R<sub>2</sub>驅動T<sub>3</sub>和D<sub>4</sub>管,使之工作在導通狀態,電路<mark>輸出爲高電平(≈3.6V)</mark>。通常將電路的這種工作狀態稱爲截止狀態,它實現了"輸入有低輸出爲高"的邏輯功能

- TTL 集成邏輯門電路
- 上述兩種情况的等效電路分別如下:

(a)



(b)

- TTL 集成邏輯門電路
- 綜合上述:當輸入A、B、C均爲高電平時,輸出爲低電平(≈0V); 當 A、B、C中至少有一個爲低電平時,輸出爲高電平(≈3.6V)
- 輸出與輸入之間構成 "與非" 邏輯 , 即  $F = A \cdot B \cdot C$

輸入	輸出
A B C	F
LLL	Н
LLH	Н
LHL	Н
LHH	Н
HLL	Н
HLH	Н
HHL	Н
ннн	L

輸入	輸出
A B C	F
0 0 0	1
0 0 1	1
0 1 0	1
0 1 1	1
1 0 0	1
1 0 1	1
1 1 0	1
1 1 1	0

- TTL 集成邏輯門電路
- 2. 主要外部特性參數

TTL與非門的主要外部特性參數有輸出邏輯電平、開門電平、關門電平、扇入係數、扇出係數、平均傳輸時延和空載功耗等

- (1) 輸出高電平V<sub>OH</sub>:輸出高電平V<sub>OH</sub>是指至少有一個輸入端接低電平時的輸出電平。V<sub>OH</sub>的典型值是3.6V。產品規範值爲V<sub>OH</sub>≥2.4V
- (2) 輸出低電平 $V_{OL}$ :輸出低電平 $V_{OL}$ 是指輸入全爲高電平時的輸出電平。 $V_{OL}$ 的典型值是0.3V,產品規範值爲 $V_{OL} \le 0.4V$

#### ▼12.3 邏輯門電路

- TTL 集成邏輯門電路
- 2. 主要外部特性參數
- (3) 開門電平 $V_{ON}$  :開門電平 $V_{ON}$ 是指保證與非門輸出爲低電平時所允許的最小輸入高電平,它表示使與非門開通的輸入高電平最小值  $V_{ON}$ 的典型值是1.5V,產品規範值爲 $V_{ON} \le 1.8V$ 。開門電平的大小反映了高電平抗幹擾能力, $V_{ON}$  愈小,在輸入高電平時的抗幹擾能力愈强
- (4) 關門電平 $V_{OFF}$ : 關門電平 $V_{OFF}$ 是指保證與非門輸出爲高電平時所允許的最大輸入低電平,它表示使與非門關斷的輸入低電平最大值  $V_{OFF}$  的典型值是1.3V,產品規範值 $V_{OFF} \ge 0.8V$ 。關門電平的大小反映了低電平抗幹擾能力, $V_{OFF}$ 越大,在輸入低電平時的抗幹擾能力越强

- TTL 集成邏輯門電路
- 2. 主要外部特性參數
- (5) 扇入係數N<sub>i</sub>:指與非門提供的輸入端數目

Ni是由製造廠家安排的,一般Ni為2~5,最多不超過8。當應用中要求輸入端數目超過N<sub>i</sub>時,可通過分級實現的方法减少對扇入係數的要求

(6) 扇出係數No: 指允許與非門輸出端連接同類門的最多個數

它反映了與非門的帶負載能力.典型TTL與非門的扇出係數No≥8

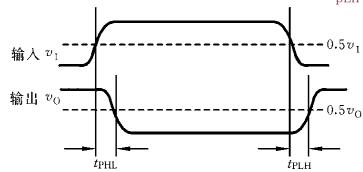
- TTL 集成邏輯門電路
- 2. 主要外部特性參數

(7) 平均傳輸延遲時間t<sub>pd</sub>: 指一個矩形波信號從與非門輸入端傳到與非門輸出端 (反相輸出)所延遲的時間

通常將從輸入波上沿中點到輸出波下沿中點的時間延遲稱爲<mark>導通延遲時間tpll</mark>; 從輸入波下沿中點到輸出波上沿中點的時間延遲稱爲截止延遲時間tpll

平均延遲時間定義爲

$$t_{pd} = (t_{pHL} + t_{pLH})/2$$



平均延遲時間是反映與非門開關速度的一個重要參數。t<sub>pd</sub> 的典型值約10 c, 一般小于40ns

- TTL 集成邏輯門電路
- 2. 主要外部特性參數
- (8) 空載功耗P:平均功耗指在空載條件下工作時所消耗的平均電功率

通常將輸出爲低電平時的功耗稱爲空載導通功耗PON,輸出爲高電平時的功耗稱

爲空載截止功耗P<sub>OFF</sub>,一般P<sub>ON</sub>大于P<sub>OFF</sub>

平均功耗 P = (P<sub>ON</sub> + P<sub>OFF</sub>)/2

TTL與非門的平均功耗一般爲20mW左右

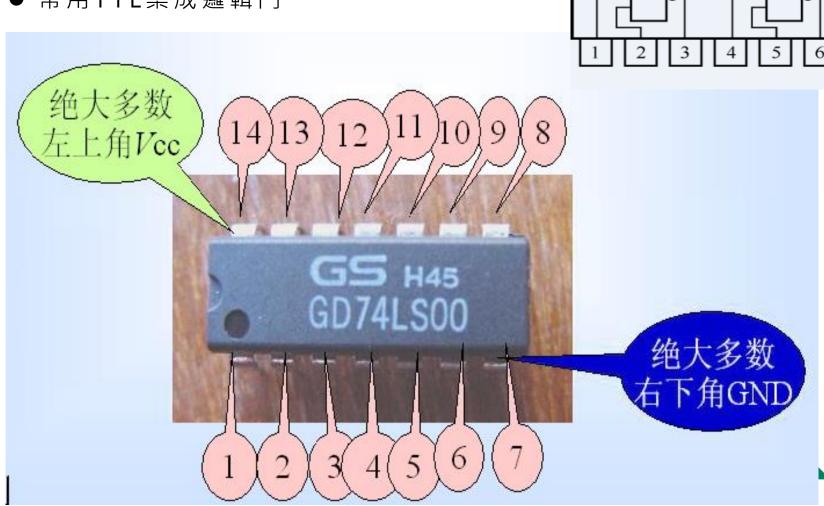
### 【12.3 邏輯門電路

- 常用TTL集成邏輯門
- 常用的TTL集成邏輯門有與門、或門、非門、與非門、或非門、 與或非門、异或門等不同功能的産品。各種集成邏輯門屬小規模 集成電路,下圖所示爲幾種常用邏輯門的芯片實物圖



# 【12.3 邏輯門電路

● 常用TTL集成邏輯門



 $V_{cc}$ 

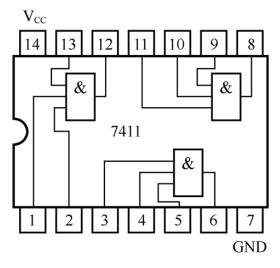
&

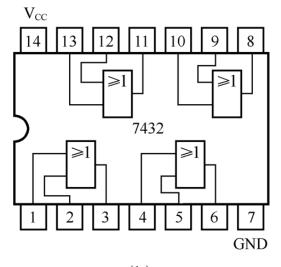
7400

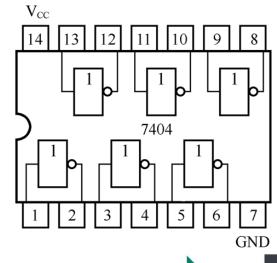
&

**GND** 

- 常用TTL集成邏輯門
- 1. 基本邏輯門
- 基本邏輯門是指實現3種基本邏輯運算的與門、或門和非門。常用的TTL與門集成電路芯片有四2輸入與門7408,三3輸入與門7411等





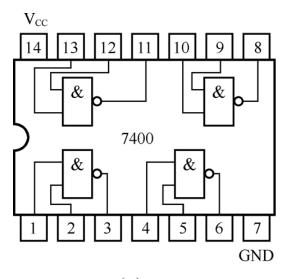


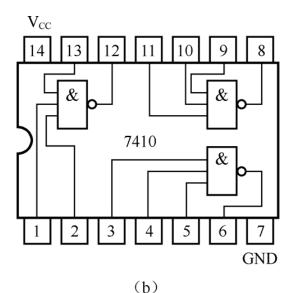
(a)

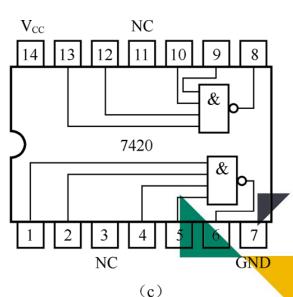
(b)

(c)

- 常用TTL集成邏輯門
- 2 、 複合 邏輯門
- 複合邏輯門是指實現複合邏輯運算的與非門、或非門、與或非門、 异或門等
- 與非門
- 常用的TTL與非門集成電路芯片有四2輸入與非門7400,三3輸入與非門7410,二4輸入與非門7420等

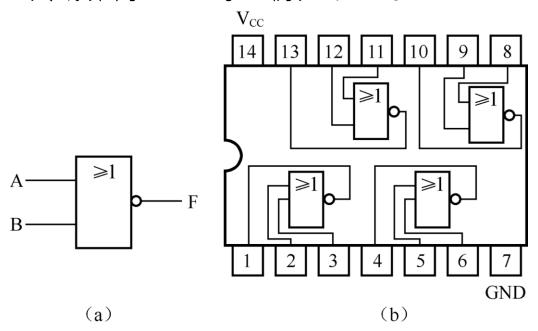




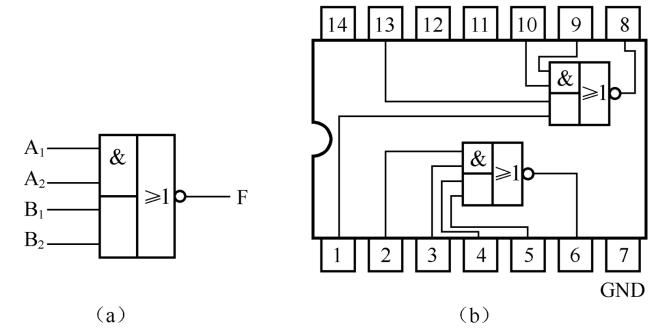


(a)

- 常用TTL集成邏輯門
- 2 、 複合邏輯門
- ●或非門
- 常用的TTL或非門集成電路芯片有四2輸入或非門7402,三3輸入或非門7427等。例如:7402

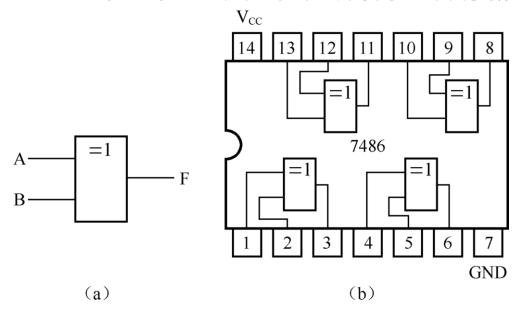


- 常用TTL集成邏輯門
- 2 、 複合邏輯門
- 與或非門
- 常用的TTL與或非門集成電路芯片有雙2-2與或非門7451、3-2-2-3與或非門7454等。例如:7451

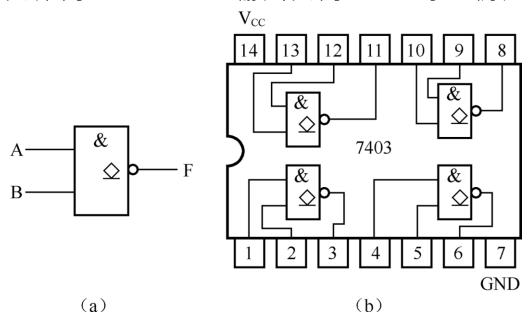


 $V_{cc}$ 

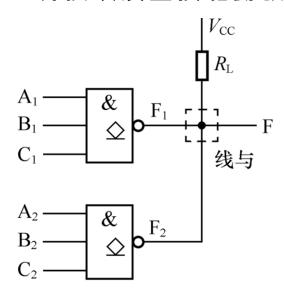
- 常用TTL集成邏輯門
- 2 、 複合邏輯門
- 异或門
- 异或門只有兩個輸入端,常用的TTL异或門集成電路芯片有7486等。下圖所示爲异或門的邏輯符號和7486的引脚排列圖



- 3 、 兩種特殊邏輯門
- 集電極開路門(OC門)
- 一種輸出端可以相互連接的特殊邏輯門,稱爲集電極開路門 (Open Collector Gate,OC門)
- 常用的TTL集電極開路門芯片有六反相器7405,四2輸入與門7409,四2輸入與非門7403,三3輸入與非門7412,雙4輸入與非門7422,三3輸入與門7415等。例如7403



- 3 、 兩種特殊邏輯門
- 集電極開路門(OC門)
- 使用集電極開路與非門可以很方便地實現 "綫與" 邏輯、電平轉換以及直接驅動發光二極管等。 例如



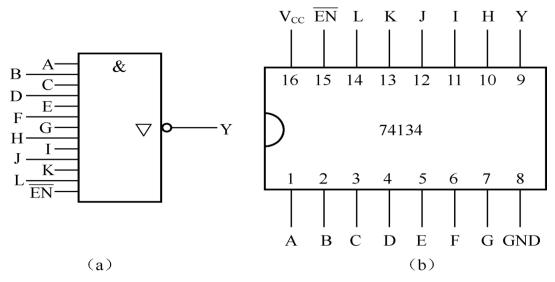
所示電路中,只要有一個門輸出爲低電平,輸出F 便爲低電平;僅當兩個門的輸出均爲高電平時,輸 出F才爲高電平。即

$$F = F_1 \cdot F_2 = \overline{A_1 \cdot B_1 \cdot C}_1 \cdot \overline{A_2 \cdot B_2 \cdot C}_2$$

該電路實現了兩個與非門輸出相"與"的邏輯功能。由于該"與"邏輯文能是由輸出端引綫連接實現的,故稱爲"綫與"邏輯。

- 3 、 兩種特殊邏輯門
- 三態輸出門(TS門)
- 三態輸出門有三種輸出狀態:輸出高電平、輸出低電平和高阻狀態,前兩種狀態爲工作狀態(輸出爲O或1),後一種狀態爲禁止狀態(呈高阻狀態,相當于斷開)。簡稱三態門(Three state Gate)、TS門等
- 注意! 三態門不是指具有三種邏輯值
- 如何使電路處在工作狀態和禁止狀態?
- ullet 通過外加<u>控</u>制信號!控制信號可分爲高電平有效(EN)或低電平有效( $\overline{EN}$ )

- 3 、 兩種特殊邏輯門
- 三態輸出門(TS門)
- 常用的TTL三態門芯片有四總綫緩衝門74125 (使能控制端爲低電平有效)、74126 (使能控制端爲高電平有效),12輸入與非門74134 (使能控制端爲低電平有效)等
- 例如 · 74134的 邏輯符號和引脚排列圖如下



● 利用三態門不僅可以實現綫與,而且被廣泛應用于總綫傳送,它 既可用于單向數據傳送,也可用于雙向數據傳送

- 4 · TTL 邏輯門的使用注意事項
- ① TTL邏輯門的電源電壓應滿足5V±5%的要求,電源不能反接
- ② 一般邏輯門的輸出不能并聯使用(OC門和三態門除外),也不允許直接與電源或"地"相連接。
- ③ 對邏輯門的多餘輸入端,應根據不同邏輯門的邏輯要求接電源、地,或者與其他使用的輸入引脚并接
- 例如,將與門和與非門的多餘輸入端接電源,或門和或非門的多餘輸入端接地。總之,既要避免多餘輸入端懸空造成信號幹擾, 又要保證對多餘輸入端的處置不影響正常的邏輯功能

- CMOS集成邏輯門電路
- MOS集成電路的基本元件是MOS晶體管。MOS晶體管是一種電壓控制器件,它的三個電極分別稱爲柵極(G)、漏極(D)和源極(S),由柵極電壓控制漏源電流
- MOS型集成門電路的主要優點:製造工藝簡單、集成度高、功耗小、抗幹擾能力强等
- 主要缺點:速度相對TTL電路較低
- MOS門電路有三種類型:
- 使用P溝道管的PMOS電路
- 使用N溝道管的NMOS電路
- 同時使用PMOS管和NMOS管的CMOS電路
- 其中, CMOS電路以其優越的性能而得到廣泛應用。以CMOS 集成邏輯門爲例討論

- CMOS集成邏輯門電路
- CMOS主要系列
- ●標準CMOS 4000系列。高速CMOS 74HC系列。與TTL兼容的高速CMOS 74HCT系列。先進CMOS 74AC系列。與TTL兼容的先進CMOS 74ACT系列
- CMOS電路工作電壓範圍寬,4000系列爲3V~15V,74HC系列爲2V~6V
- 隨著製造工藝的不斷改進,CMOS電路的工作速度已接近TTL電路,而在集成度、功耗、抗幹擾能力等方面則遠遠優于TTL電路。目前,幾乎所有的超大規模集成器件,如超大規模存儲器件、可編程邏輯器件等都采用CMOS工藝製造
- 常用的CMOS邏輯門有CMOS 4000系列。高速CMOS 74HC系列。國産CMOS集成電路主要有CC4000系列,其中第1個字母C代表中國,第2個字母C代表CMOS

- CMOS集成邏輯門電路
- 二、 常用邏輯門
- 下面以4000系列爲例,給出幾種常用邏輯門的型號
- 1 、 基本 邏 輯 門
- 常用的CMOS非門集成電路芯片有: 六反相器4069
- 常用的CMOS與門集成電路芯片有:四2輸入與門4081, 雙4輸入與門4082,三3輸入與門4073等
- 常用的CMOS或門集成電路芯片有:四2輸入或門4071,雙4輸入或門4072,三3輸入或門4075等

- CMOS集成邏輯門電路
- 二、 常用邏輯門
- 下面以4000系列爲例,給出幾種常用邏輯門的型號
- 2 、 複合羅輯門
- ◆ 4000系列常用的複合邏輯門有:
- 四2輸入或非門4001
- 雙4輸入或非門4002
- 三3輸入或非門4025
- 四2輸入與非門4011
- 雙4輸入與非門4012
- 三3輸入與非門4023
- 四异或門4030

- CMOS集成邏輯門電路
- 二、 常用邏輯門
- 3 、 CMOS 邏輯門的使用注意事項
- ① 注意所有規定的極限參數指標
- 如電源電壓、輸入電壓範圍、允許功耗、工作環境和儲存環境溫度範圍等
- ② 保證正常的電源電壓值
- CMOS邏輯門的電壓工作範圍較寬,大多在3V~18V範圍內均可以工作。一般令電源電壓VDD=(VDDmax+VDDmin)/2,其中VDDmax和VDDmin分別表示工作電壓的上限和下限

- CMOS集成邏輯門電路
- 二、 常用邏輯門
- 3 、 CMOS 邏輯門的使用注意事項
- ③ 輸入端不允許懸空
- 否則會導致門電路被擊穿,一般可視具體情况接電源或地。一般 CMOS 邏輯門的輸出端不能并聯使用
- ④ 采 取 一 些 常 規 的 靜 電 擊 穿 防 止 措 施
- 由于CMOS邏輯門電路中MOS管柵極的氧化層很薄,容易被擊穿。通常在開始進行實驗、測量、調試時,應先接通電源後加信號,結束時應先斷開信號再關電源;拔插芯片時應先斷開電源; 儲藏、運輸時應用導電材料屏蔽等

- CMOS集成邏輯門電路
- 正邏輯和負邏輯
- 一. 正邏輯與負邏輯的概念
- 前面討論各種邏輯門電路的邏輯功能時,約定用高電平表示邏輯 1、低電平表示邏輯0。事實上,既可以規定用高電平表示邏輯1、 低電平表示邏輯0,也可以規定用高電平表示邏輯0,低電平表 示邏輯1。這就引出了正邏輯和負邏輯的概念
- 正邏輯:用高電平表示邏輯1,低電平表示邏輯0
- 負邏輯:用高電平表示邏輯0,低電平表示邏輯1

- CMOS集成邏輯門電路
- 正邏輯和負邏輯
- 二. 正邏輯與負邏輯的關係
- 對于同一電路,可以采用正邏輯,也可以采用負邏輯。正邏輯與 負邏輯的規定不涉及邏輯電路本身的結構與性能好壞,但不同的 規定可使同一電路具有不同的邏輯功能
- 例如,假定某邏輯門電路的輸入、輸出電平關係如下表所示

輸入、輸出電平關係		
А	В	F
L	L	L
L	Н	L
Н	L	L
Н	Н	Н

#### ● CMOS集成邏輯門電路

- ●正邏輯和負邏輯
- 按正邏輯規定:"與"門
- 按負邏輯規定: "或"門
- 即正邏輯與門等價于負邏輯或門

輸入、輸出	出電平關係
A B	F
L L	L
L H	L
H L	L
Н Н	Н

正邏輯真值表				
A	В	F		
0	0	0		
0	1	0		
1	0	0		
1	1	1		

負邏輯真值表			
A	В	F	
1	1	1	
1	0	1	
0	1	1	
0	0	0	

- CMOS集成邏輯門電路
- 正邏輯和負邏輯
- 上述邏輯關係可以用反演律證明。假定一個正邏輯與門的輸出爲 F,輸入爲A、B,則有
- $\bullet$  F = A . B
- 根據反演律,可得

$$F = A \cdot B = A + B$$

- 若將一個邏輯門的輸出和所有輸入都反相,則正邏輯變爲負邏輯。 據此,可將正邏輯門轉換爲負邏輯門。
- 在本課中,若無特殊說明,約定按正邏輯討論問題,所有門電路 的符號均按正邏輯表示

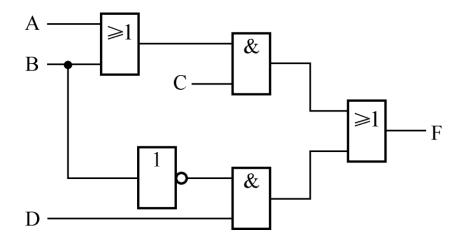
# 12.4 邏輯函數的實現

- 用邏輯函數表達式描述的各種邏輯問題均可用邏輯門實現,而且 實現某一邏輯功能的邏輯電路并不是唯一的
- 它不僅與表徵該邏輯功能的函數表達式形式及繁簡有關,而且與 采用的邏輯門類型有關
- 由于用邏輯代數中的與、或、非3種基本運算可以描述各種不同的邏輯問題,所以使用相應的與門、或門、非門即可構成實現各種邏輯功能的電路

# 12.4 邏輯函數的實現

- 例如 用3種基本邏輯門實現邏輯函數
- 采用3種基本邏輯門實現邏輯函數的必然結果是在一個電路中要同時使用不同類型的邏輯門。實際應用中,人們從電路中邏輯門性能以及類型的一致性考慮,廣泛使用各種複合邏輯門實現邏輯函數功能

$$F = (A + B) \cdot C + \overline{BD}$$



# 思考題

- 什麽是TTL電路?請簡要說明。
- MOS門電路有那幾種類型?請簡要說明。
- 常用TTL集成邏輯門有哪幾種,請舉例說明。

# 休息一下 Take a break

