# 

# K2pro+ M3子系统设计方案

文档作者：马伟硕 日期：2024/05/16

项目经理：卢文岩 日期：20XX/XX/XX

研究部门：硬件研发组 日期：20XX/XX/XX

文档管理：XXXX 日期：

**中科驭数（北京）科技有限公司**

版权所有 不得复制

## 修订记录

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 日期 | 修订版本 | 修改内容及说明 | 作者 | 邮箱 |
| 2024/05/16 | v1.00 | Initial | 马伟硕 | maweishuo |
| 2024/06/28 | v1.01 | 增加SOC通过寄存器接口访问flash | 马伟硕 | maweishuo |
| 2024/07/01 | v1.02 | 修改中断地址映射细节描述 | 马伟硕 | maweishuo |
| 2024/07/05 | v1.03 | 修改总线结构 | 马伟硕 | maweishuo |
| 2024/08/22 | v1.04 | 增加系统寄存器描述 | 马伟硕 | maweishuo |

**目录**

[K2pro+ M3子系统设计方案 1](#_Toc8039)

[修订记录 2](#_Toc22411)

[1. 概述 4](#_Toc3629)

[1.1 功能列表 4](#_Toc23373)

[2. 结构 4](#_Toc13895)

[2.1 框图 4](#_Toc24053)

[3. Boot 5](#_Toc32266)

[3.1 Boot 流程 5](#_Toc21920)

[3.2 流程图 6](#_Toc28617)

[4. Memory 6](#_Toc9535)

[4.1 映射表 6](#_Toc1271)

[4.2 SRAM 8](#_Toc435)

[4.3 Flash 8](#_Toc9027)

[4.4 ROM 8](#_Toc29944)

[5. M3 Core 8](#_Toc9114)

[5.1 参数配置 8](#_Toc6049)

[5.2 端口 9](#_Toc14902)

[5.3 时钟复位 13](#_Toc6955)

[6. 中断 14](#_Toc4128)

[6.1 中断向量表 14](#_Toc21492)

[7. 低功耗模式 15](#_Toc8658)

[7.1 模式切换 16](#_Toc10199)

[8. 时钟复位 16](#_Toc21470)

[9. 外设 17](#_Toc11963)

[9.1 SSI 17](#_Toc30140)

[9.2 I2C 18](#_Toc31902)

[9.3 UART 18](#_Toc27703)

[9.4 Timer 18](#_Toc2269)

[9.5 GPIO 18](#_Toc18446)

[9.6 DMA 18](#_Toc1217)

[9.7 QSPI Flash 18](#_Toc29376)

# 概述

## 功能列表

* 存储资源
  + 片上RAM0/1/2,对应大小256K/128K/64K
  + 片上RAM支持word、half word、byte访问
  + 片上64K Boot ROM
  + 片外QSPI Flash 寄存器访问擦除、烧写、读取
  + 片外QSPI Flash XIP 访问
* 接口外设
  + 1 个SSI主接口，支持多种协议以及Stand/Dual/Quad IO模式
  + 1个QSPI Flash 控制器
  + 4个I2C接口，支持SMBUS 协议
  + 32个GPIO，支持外部中断
  + 8个PWM 输出，可作为系统定时器
* 系统外设
  + 8通道总线DMA
  + 看门狗
  + 4个通用定时器，8个PWM 可配置成定时器模式
  + System Stick Timer
* BOOT 模式
  + 支持Boot ROM 启动
  + 支持Boot ROM 烧写flash
  + 支持片外Flash 启动
* 低功耗模式
  + 可选择进入睡眠模式
* 中断系统
  + 38 个外部中断

# 结构

## 框图

.ls



* ICODE BUS作为内核取指总线，访问BROM、SRAM区域，在Boot sel选择外部flash 启动时，通过XIP 方式访问外部flash。
* DCODE BUS作为内核数据总线（立即数读取以及调试访问），同DCODE访问区域一致。
* SYSTEM BUS作为内核外设总线，可访问除I/D Code 区域的其他部分；
* DMA BUS 可访问所有区域，实现模块之间的数据搬运；
* EXT MCU可代替M3 内核访问所有模块；
* SPI Flash 既可通过APB 总线访问寄存器方式访问，又支持XIP 读取访问。在XIP 模式下，地址映射到外部RAM区域，如果作为BOOT 启动模块，同时重映射到CODE区域。
* SRAM0空间重映射到CODE 区域，作为程序的执行空间。

# Boot

## Boot 流程

芯片复位结束后，程序从0x0000\_0000 地址启动，根据BOOT\_SEL0引脚，判断CPU 从片外SPI Nor Flash 启动，或内部Boot Rom启动。

如果选择Boot ROM 启动，则根据BOOT\_SEL1引脚，判断是否通过UART烧写flash，或执行程序搬运。

如果执行烧写flash操作，CPU 则执行UART 初始化，并通过UART烧写片外flash，烧写完成并通过校验后，通过复位重新启动芯片。

如果执行程序搬运，需要判断外部flash 是否有程序内容，如果有则搬运到片上RAM0区域，搬运结束并通过完整性校验后，跳转到RAM0区域执行程序。如果校验失败则重新搬运，连续三次失败后，停止搬运，并输出启动失败指示。

程序搬运过程频率选择可以通过IO 信号选择，可选择高速低速两种模式。

以上过程需要CPU通过GPIO输出烧写中，烧写成功，烧写失败，启动成功，启动失败，空程序状态指示，并通过串口输出打印信息。以下为Boot\_SEL选择状态：

|  |  |  |  |
| --- | --- | --- | --- |
| Boot 模式 | BOOT\_SEL1 | BOOT\_SEL0 | 描述 |
| ROM启动 | 1 | 1 | 执行ROM程序，搬运片外flash 到片上RAM，并跳转RAM执行 |
| ROM烧写 | 0 | 1 | 执行ROM程序，通过UART烧写到片上flash |
| Nor flash启动 | X | 0 | 备用模式，直接通过片外flash启动 |

Note ：Boot SEL引脚默认为上拉模式。

## 流程图



# Memory

## 映射表

|  |  |  |  |
| --- | --- | --- | --- |
| 起始 | 结束 | 大小 | 描述 |
| I/D Code | | | |
| 0x0000\_0000 | 0x0000\_FFFF | 64KB | Boot Rom区域，或外部flash低64K重映射地址，根据Boot sel选择 |
| 0x0001\_0000 | 0x01FF\_FFFF | 32704KB | 保留，或外部32M flash除64K外重映射地址，根据Boot sel选择 |
| 0x0200\_0000 | 0x0203\_FFFF | 256KB | I/D RAM，指令、数据运行访问区域,为片上RAM0重映射 |
| 0x0204\_0000 | 0x1FFF\_FFFF | - | 保留 |
| RAM | | | |
| 0x2000\_0000 | 0x2003\_FFFF | 256KB | 片上RAM0 区域 |
| 0x2004\_0000 | 0x2005\_FFFF | 128KB | 片上RAM1 区域 |
| 0x2006\_0000 | 0x2006\_FFFF | 64KB | 片上RAM2 区域 |
| 0x2007\_0000 | 0x21FF\_FFFF | - | 保留 |
| 0x2200\_0000 | 0x227F\_FFFF | 8MB | 片上RAM0区域bit band访问时重映射地址 |
| 0x2280\_0000 | 0x22BF\_FFFF | 4MB | 片上RAM1区域bit band访问时重映射地址 |
| 0x22C0\_0000 | 0x22DF\_FFFF | 2MB | 片上RAM2区域bit band访问时重映射地址 |
| 0x22E0\_0000 | 0x3FFF\_FFFF | - | 保留 |
| 外设 | | | |
| 0x4000\_0000 | 0x4000\_03FF | 1KB | DMA(AHB) |
| 0x4000\_0400 | 0x4000\_07FF | 1KB | AXI Stream(AHB) |
| 0x4000\_0800 | 0x4000\_0BFF | 1KB | NCSI(AHB) |
| 0x4000\_0C00 | 0x4000\_0FFF | 1KB | QSPI Flash |
| 0x4000\_1000 | 0x4000\_13FF | 1KB | SSI |
| 0x4000\_1400 | 0x4000\_17FF | 1KB | GPIO |
| 0x4000\_1800 | 0x4000\_1BFF | 1KB | I2C0 |
| 0x4000\_1C00 | 0x4000\_1FFF | 1KB | I2C1 |
| 0x4000\_2000 | 0x4000\_23FF | 1KB | I2C2 |
| 0x4000\_2400 | 0x4000\_27FF | 1KB | I2C3 |
| 0x4000\_2800 | 0x4000\_2BFF | 1KB | UART0 |
| 0x4000\_2C00 | 0x4000\_2FFF | 1KB | UART1 |
| 0x4000\_3000 | 0x4000\_33FF | 1KB | Watchdog |
| 0x4000\_3400 | 0x4000\_37FF | 1KB | Timer |
| 0x4000\_3800 | 0x4000\_3BFF | 1KB | PWM |
| 0x4000\_3C00 | 0x4000\_3FFF | 1KB | System control |
| 0x4000\_4000 | 0x4000\_43FF | 1KB | RGMII |
| 0x4000\_4400 | 0x47FF\_FFFF | - | 保留 |
| 0x4800\_0000 | 0x4FFF\_FFFF | 128MB | EXT APB BUS |
| 0x5000\_0000 | 0x5FFF\_FFFF | - | 保留 |
| 外部RAM | | | |
| 0x6000\_0000 | 0x61FF\_FFFF | 32MB | 外部flash,可通过Boot sel 映射到0x0000\_0000~0x01FF\_FFFF地址 |
| 0x6200\_0000 | 0x9FFF\_FFFF | - | 保留 |
| 外部设备 | | | |
| 0xA000\_0000 | 0xDFFF\_FFFF | - | 保留 |
| 私有外设总线（PPB） | | | |
| 0xE000\_0000 | 0xE000\_0FFF | 4KB | Instrumentation Trace Macrocell (ITM) |
| 0xE000\_1000 | 0xE000\_1FFF | 4KB | Data Watch point and Trace (DWT) |
| 0xE000\_2000 | 0xE000\_2FFF | 4KB | Flash Patch and Break point (FPB) |
| 0xE000\_3000 | 0xE000\_DFFF | - | 保留 |
| 0xE000\_E000 | 0xE000\_EFFF | 4KB | Cortex-M3 Peripherals (SysTick, NVIC, MPU and SCB) |
| 0xE000\_F000 | 0xE003\_FFFF | - | 保留 |
| 0xE004\_0000 | 0xE004\_0FFF | 4KB | Trace Port Interface Unit (TPIU) |
| 0xE004\_1000 | 0xE00F\_FFFF | - | 保留 |
| 保留 | | | |
| 0xE010\_0000 | 0xFFFF\_FFFF | - | 保留 |

Note： Boot\_sel0为0时，外部flash 映射到0x0000\_0000 ~ 0x0000\_0FFFF区域，作为启动备选方案。

## SRAM

片上RAM 可按byte，half word 以及word 访问，挂载在片上RAM区域。

* RAM0 256KB大小，重映射到Code空间，I/D Code和系统总线均可访问；
* RAM1 128KB大小，CPU片上数据空间使用，通过系统总线访问；
* RAM2 64KB大小，通过系统总线访问，可作为外设数据的存储空间。

## Flash

当前设计支持QSPI Flash接口，可通过配置寄存器对片外flash烧写擦除或读取操作。同时支持对片外flash进行XIP读取访问，不通过访问寄存器方式对flash进行直接地址读取，行为相当于读取片上SRAM。在Boot 模式选择flash启动时，flash 内存空间映射到0x0000\_0000地址，CPU通过XIP访问方式进行取指。在正常工作时，flash 在XIP 访问模式下，映射到片外RAM空间。

## ROM

当选择Boot ROM启动时，CPU上电加载ROM内指令，ROM判断是否将片外flash数据搬运到RAM0，CPU跳转到RAM0启动，或通过UART对flash进行烧写驱动程序。

# M3 Core

在k2pro+中，选择例化CortexM3Integration层次，需要对参数进行重配置。

## 参数配置

|  |  |  |  |
| --- | --- | --- | --- |
| 参数 | 默认值 | 设置值 | 描述 |
| MPU\_PRESENT | 0 | 1 | 是否集成MPU |
| NUM\_IRQ | 2 | 28 | 外部中断个数 |
| LVL\_WIDTH | 3 | 3 | 中断优先级位宽 |
| TRACE\_LVL | 3 | 1 | 0：无trace功能  1：标准trace功能，包括ITM，TPIU，DWT，计数器。  2：全trace功能，包括ITM，TPIU，ETM，DWT，计数器。  3：全trace功能加HTM。 |
| DEBUG\_LVL | 3 | 3 | 0：无debug 功能。  1：最小debug功能，debug能力仅支持2个断点和一个观测点。  2：全debug 功能，不支持DWT 数据比对。  3：全debug 功能，支持DWT 数据比对。 |
| RESET\_ALL\_REGS | 0 | 1 | 是否所有的同步状态都有异步复位。会增加非必需复位寄存器面积 |
| JTAG\_PRESENT | 1 | 1 | 调试接口是否支持JTAG，既选择SW-DP 或SWJ-DP接口。 |
| CLKGATE\_PRESENT | 0 | 1 | 是否增加动态切换的ICG，可动态节省功耗。 |
| OBSERVATION | 0 | 1 | 是否可观测处理器内部状态 |
| WIC\_PRESENT | 0 | 0 | WIC是否存在 |
| WIC\_LINES | 3 | 3 | WIC line个数 |

## 端口

|  |  |  |  |
| --- | --- | --- | --- |
| 信号 | 方向 | 描述 | 连接方式 |
| 时钟复位 | | | |
| HCLK | I | FCLK 门控时钟，当M3内核进入sleep模式且无debug访问时，可关闭内核时钟 | 用GATEHCLK 作为门控使能，与FCLK作为同步时钟约束 |
| FCLK | I | M3 free run 时钟，与HCLK同频同步 | 连接M3主频时钟 |
| SWCLKTCK | I | 调试接口时钟 | 连接到调试接口时钟PAD，可作为异步时钟约束 |
| TRACECLKIN | I | Trace 模块输出时钟 | 用M3主时钟分频得到，可作为异步时钟约束 |
| PORESETn | I | M3完整逻辑复位 | M3系统的上电复位，内部已同步到FCLK，复位源如下：   1. 上电复位 2. 看门狗复位 3. 外部寄存器软复位 |
| SYSRESETn | I | M3除NVIC，FPB，DWT，ITM的逻辑复位 | M3主要系统复位，内部已同步到FCLK，复位源如下：   1. 上电复位 2. 看门狗复位 3. 外部寄存器软复位 4. M3系统复位 5. LOCKUP引起复位 |
| ICODE 总线 | | | |
| HADDRI[31:0] | O | 指令读取地址 | 连接到后级Bus matrix |
| HTRANSI[1:0] | O | 指令读取命令  0b00 = IDLE  0b10 = NONSEQUENTIAL. | 连接到后级Bus matrix |
| HSIZEI[2:0] | O | 指令读取位宽，因为32bit 取值，HSIZEI = 0b010. | 连接到后级Bus matrix |
| HBURSTI[2:0] | O | 指令读取突发长度，仅支持1，HBURSTI =  0b000. | 连接到后级Bus matrix |
| HPROTI[3:0] | O | HPROTI[0]:  0 = Instruction fetch  1 = Vector fetch.  HPROTI[1]:  0 = Unprivileged  1 = Privileged.  HPROTI[2]:  Always 1 = Bufferable.  HPROTI[3]:  Always 1 = Cacheable. | 连接到后级Bus matrix |
| MEMATTRI[1:0] | O | Memory attributes. Always 0b00 for this bus.  They are non-allocate, nonshareable. | 连接到后级Bus matrix |
| BRCHSTAT[3:0] |  | 指令分支跳转状态，可以提高指令预读性能 | 当前设计无连接 |
| HRDATAI[31:0] | I | 读取指令数据 | 连接到后级Bus matrix |
| HREADYI | I | AHB 传输ready 信号 | 连接到后级Bus matrix |
| HRESPI[1:0] | I | AHB读取响应  0b00 = OKAY  0b01 = ERROR. | 连接到后级Bus matrix |
| IFLUSH | I | ICode-bus buffer flush | 必须接0 |
| DCODE 总线 | | | |
| HADDRD[31:0] | O | 数据访问地址 | 连接到后级Bus matrix |
| HTRANSD[1:0] | O | 数据传输命令  0b00 = IDLE  0b10 = NONSEQUENTIAL  0b11 = SEQUENTIAL. | 连接到后级Bus matrix |
| HWRITED | O | 数据读写选择 |  |
| HSIZED[2:0] | O | 数据传输位宽  0b000 = byte  0b001 = halfword  0b010 = word. | 连接到后级Bus matrix |
| HBURSTD[2:0] | O | 数据访问突发长度 | 连接到后级Bus matrix |
| HMASTERD[1:0] | O | DCOCDE BUS 访问master 指示  0b00 = Core data side  0b01 = DAP  0b10 = Core instruction side |  |
| HPROTD[3:0] | O | HPROTD[0]:  Always 1 = Data access  HPROTD[1]:  0 = Unprivileged  1 = Privileged.  HPROTD[2]:  0 = Non-buffer-able  1 = Bufferable.  HPROTD[3]:  0 = Non-cache-able  1 = Cacheable. | 连接到后级Bus matrix |
| MEMATTRD[1:0] | O | Memory attributes.:  Bit 0 = Allocate  Bit 1 = Shareable. | 连接到后级Bus matrix |
| HWDATAD[31:0] | O | 写数据 | 连接到后级Bus matrix |
| HRDATAD[31:0] | I | 读取指令数据 | 连接到后级Bus matrix |
| HREADYD | I | AHB 传输ready 信号 | 连接到后级Bus matrix |
| HRESPD[1:0] | I | AHB读取响应  0b00 = OKAY  0b01 = ERROR. | 连接到后级Bus matrix |
| EXREQD | O | Exclusive Request | 当前设计无连接 |
| EXRESPD | I | Exclusive Response | 当前设计接0 |
| 系统总线 | | | |
| HADDRS[31:0] | O | 数据访问地址 | 连接到后级Bus matrix |
| HTRANSS[1:0] | O | 数据传输命令  0b00 = IDLE  0b10 = NONSEQUENTIAL  0b11 = SEQUENTIAL. | 连接到后级Bus matrix |
| HWRITES | O | 数据读写选择 | 连接到后级Bus matrix |
| HSIZES[2:0] | O | 数据传输位宽  0b000 = byte  0b001 = halfword  0b010 = word. | 连接到后级Bus matrix |
| HBURSTS[2:0] | O | 数据访问突发长度 | 连接到后级Bus matrix |
| HMASTERS[1:0] | O | DCOCDE BUS 访问master 指示  0b00 = Core data side  0b01 = DAP  0b10 = Core instruction side | 连接到后级Bus matrix |
| HPROTS[3:0] | O | HPROTS[0]:  0 = Instruction  1 = Data access.  HPROTS[1]:  0 = Unprivileged  1 = Privileged.  HPROTS[2]:  0 = Non-bufferable  1 = Bufferable.  HPROTS[3]:  0 = Non-cacheable  1 = Cacheable. | 连接到后级Bus matrix |
| MEMATTRS[1:0] | O | Memory attributes.:  Bit 0 = Allocate  Bit 1 = Shareable. | 连接到后级Bus matrix |
| HWDATAS[31:0] | O | 写数据 | 连接到后级Bus matrix |
| HMASTLOCKS | O | Indicates a transaction that must be  atomic on the bus. This is only used for  bit-band writes, performed as  read-modify-write. | 连接到后级Bus matrix |
| HRDATAS[31:0] | I | 读取指令数据 | 连接到后级Bus matrix |
| HREADYS | I | AHB 传输ready 信号 | 连接到后级Bus matrix |
| HRESPS[1:0] | I | AHB读取响应  0b00 = OKAY  0b01 = ERROR. | 连接到后级Bus matrix |
| EXREQS | O | Exclusive Request | 当前设计无连接 |
| EXRESPS | I | Exclusive Response | 当前设计接0 |
| 睡眠接口 | | | |
| TXEV | O | 输出事件请求 | 当前设计无连接 |
| RXEV | O | 接收事件请求 | 当前设计接0 |
| SLEEPING | O | CPU处于睡眠模式状态 | 连接到系统状态寄存器上 |
| SLEEPDEEP | O | CPU处于深度睡眠状态 | 连接到系统状态寄存器 |
| GATEHCLK | O | 可以关闭HCLK指示，说明CPU处于睡眠模式且无调试请求 | 作为HCLK 的门控使能 |
| SLEEPHOLDREQn | I | 保持CPU睡眠模式请求 | 当前设计接1 |
| SLEEPHOLDACKn | O | CPU进入睡眠保持模式反馈 | 当前设计无连接 |
| 中断接口 | | | |
| INTISR[239:0] | I | 外部中断输入 | 连接到各外设中断，需要同步到FCLK |
| INTNMI | I | 不可屏蔽中断输入 | 当前设计接0 |
| CURRPRI[7:0] | O | 中断处理状态输出 | 连接到观测寄存器上 |
| MISC | | | |
| SYSRESETREQ | O | 系统复位请求 | 作为SYSRESETn的源头之一 |
| LOCKUP | O | CPU死锁信号 | 作为SYSRESETn的源头之一 |
| INTERNALSTATE[148:0] |  | CPU内部观测信号 | 连接到观测寄存器上 |
| BIGEND | I | 1 = big-endian  0 = little-endian. | 当前设计接0 |
| AUXFAULT[31:0] | I | Auxillary FSR pulse inputs | 当前设计接0 |
| HALTED | O | Core is halted via debug | 连接到观测寄存器 |
| ETMINTNUM[8:0] | O | Interrupt that is currently active | 连接到观测寄存器 |
| ETMINTSTAT[2:0] | O | Interrupt activation status | 连接到观测寄存器 |
| FIXMASTERTYPE | I | Override HMASTER for AHB-AP accesses | 当前设计接0 |
| WIC 接口 | | | |
| PWRUP | I | 系统power up 指示 | 当前设计接1 |
| ISOLATEn | I | 当系统进入power down 时，信号隔离请求 | 当前设计接1 |
| RETAINn | I | 当系统进入power down 时，寄存器保存请求 | 当前设计接1 |
| WICENREQ | I | WIC mode Request from PMU | 当前设计接0 |
| PWRUPREADY | O | Power up ready to indicate power upis done and voltage is stable | 当前设计无连接 |
| WICENACK | O | WIC mode acknowledge from WIC | 当前设计无连接 |
| WAKEUP | O | Wake-up request from WIC | 当前设计无连接 |
| SWJ-DP 接口（JTAG与SWD端口复用见调试接口章节） | | | |
| nTRST | I | 调试接口复位 | 连接到调试接口复位PAD |
| TDI | I | Debug TDI | 连接到调试接口TDI PAD |
| TDO | O | Debug TDO | 连接到调试接口TDO PAD |
| nTDOEN | O | DBGTDO output pad control signal | 连接到调试接口TDO PAD |
| SWDITMS | I | Debug TMS | 连接到调试接口SWDTMS PAD |
| SWDO | O | Serial Wire Data Out | 连接到调试接口SWDTMS PAD |
| SWDOEN | O | Serial Wire Output Enable | 连接到调试接口SWDTMS PAD |
| SWCLKTCK | I | Serial Wire Clock/TCK | 连接到调试接口SWCLKTCK PAD |
| JTAGNSW | O | JTAG mode(1) or SW mode(0) | 连接到调试接口TDO PAD |
| SWV | O | SingleWire Viewer Data | 当前设计无连接 |
| TRACECLK | O | TracePort clock reference | 当前设计无连接 |
| TRACEDATA | O | TracePort Data | 当前设计无连接 |
| DFT 接口 | | | |
| SE | I | Scan Enable | 接scan enable |
| RSTBYPASS | I | Reset bypass when performing scan testing | 接scan mode |
| CGBYPASS | I | Clock gate bypass when performing scan testing | 接scan enable |
| Sys Tick 接口 | | | |
| STCALIB[25:0] | I | : 0表示STCLK无效  :表示按照[23:0]数值计数，是否是精准10ms  [23:0]: 10ms 计数值 | 连接到寄存器上，默认值  STCALIB[25]=1;  STCALIB[24]=1;  STCALIB[23:0]=0x07A11F(50M FCLK); |
| STCLK | I | 计数参考信号 | FCLK 8分频，非时钟信号 |
| 外部调试请求 | | | |
| EDBGRQ | I | Debug Request | 当前设计接0 |
| DBGRESTART | I | External Debug Restart request | 当前设计接0 |
| DBGRESTARTED | O | External Debug Restart Ready | 当前设计无连接 |
| HTM DATA | | | |
| HTMDHADDR | O | HTM 总线信号 | 当前设计无连接 |
| HTMDHTRANS | O | HTM 总线信号 | 当前设计无连接 |
| HTMDHSIZE | O | HTM 总线信号 | 当前设计无连接 |
| HTMDHBURST | O | HTM 总线信号 | 当前设计无连接 |
| HTMDHPROT | O | HTM 总线信号 | 当前设计无连接 |
| HTMDHWDATA | O | HTM 总线信号 | 当前设计无连接 |
| HTMDHWRITE | O | HTM 总线信号 | 当前设计无连接 |
| HTMDHRDATA | O | HTM 总线信号 | 当前设计无连接 |
| HTMDHREADY | O | HTM 总线信号 | 当前设计无连接 |
| HTMDHRESP | O | HTM 总线信号 | 当前设计无连接 |

## 时钟复位

以下为CortexM3Integration层次内时钟复位结构。



Figure 5.3 时钟复位结构

## 调试接口

# 

以上5个端口实现SWJ-DP 接口，JTAG与SWD接口复用如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 端口 | JTAG | | SWD | |
| 方向 | 描述 | 方向 | 描述 |
| SWDIOTMS | I | JTAG测试模式选择 | IO | 串行数据输入输出 |
| SWCLKTCK | I | JTAG测试时钟 | I | 串行时钟 |
| TDI | I | JTAG测试数据输入 | - | - |
| TDO | O | JTAG测试数据输出 | - | -（当前设计不使能异步追踪） |
| nTRST | I | JTAG测试复位 | - | - |

# 中断

## 中断向量表

**表1 NVIC异常类型**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 异常类型 | 向量编号 | 优先级（a） | 向量地址 | 描述 |
| - | 0 | - | 0x0000\_0000 | 保留 |
| 复位 | 1 | -3 | 0x0000\_0004 | 复位 |
| NMI | 2 | -2 | 0x0000\_0008 | 不可屏蔽中断 |
| 硬件故障 | 3 | -1 | 0x0000\_000C | 各种硬件级别的故障 |
| 存储器管理 | 4 | 可编程设置 | 0x0000\_0010 | 存储器管理 |
| 总线故障 | 5 | 可编程设置 | 0x0000\_0014 | 预取指故障，存储器访问故障 |
| 用法故障 | 6 | 可编程设置 | 0x0000\_0018 | 未定义的指令或非法状态 |
| - | 7-10 | - | 0x0000\_001C - 0x0000\_002B | 保留 |
| SVCall 服务调 用 | 11 | 可编程设置 | 0x0000\_002C | 通过 SWI 指令实现系统服务 调用 |
| 调试监控 | 12 | 可编程设置 | 0x0000\_0030 | 调试监视器 |
| - | 13 | - | 0x0000\_0034 | 保留 |
| PendSV 挂起 服务 | 14 | 可编程设置 | 0x0000\_0038 | 可挂起的系统服务请求 |
| SysTick | 15 | 可编程设置 | 0x0000\_003C | 系统节拍定时器 |

**表2外设中断向量**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 中断编号 | 向量编号 | 优先级 | 向量地址 | 非互联型外设中断描述 |
| 0 | 16 | 可编程设置 | 0x0000\_0040 | 看门狗定时器中断 |
| 1 | 17 | 可编程设置 | 0x0000\_0044 | EXTI 0 中断 |
| 2 | 18 | 可编程设置 | 0x0000\_0048 | EXTI1 中断 |
| 3 | 19 | 可编程设置 | 0x0000\_004C | EXTI2 中断 |
| 4 | 20 | 可编程设置 | 0x0000\_0050 | EXTI3 中断 |
| 5 | 21 | 可编程设置 | 0x0000\_0054 | DMA0 通道 0 全局中断 |
| 6 | 22 | 可编程设置 | 0x0000\_0058 | DMA0 通道 1 全局中断 |
| 7 | 23 | 可编程设置 | 0x0000\_005C | DMA0 通道 2 全局中断 |
| 8 | 24 | 可编程设置 | 0x0000\_0060 | DMA0 通道 3 全局中断 |
| 9 | 25 | 可编程设置 | 0x0000\_0064 | DMA0 通道 4 全局中断 |
| 10 | 26 | 可编程设置 | 0x0000\_0068 | DMA0 通道 5 全局中断 |
| 11 | 27 | 可编程设置 | 0x0000\_006C | DMA0 通道 6 全局中断 |
| 12 | 28 | 可编程设置 | 0x0000\_0070 | Timer 0 中断 |
| 13 | 29 | 可编程设置 | 0x0000\_0074 | Timer 1 中断 |
| 14 | 30 | 可编程设置 | 0x0000\_0078 | Timer 2 中断 |
| 15 | 31 | 可编程设置 | 0x0000\_007C | Timer 3 中断 |
| 16 | 32 | 可编程设置 | 0x0000\_0080 | Timer 4 中断 |
| 17 | 33 | 可编程设置 | 0x0000\_0084 | Timer 5 中断 |
| 18 | 34 | 可编程设置 | 0x0000\_0088 | Timer 6 中断 |
| 19 | 35 | 可编程设置 | 0x0000\_008C | Timer 7 中断 |
| 20 | 36 | 可编程设置 | 0x0000\_0090 | I2C0中断 |
| 21 | 37 | 可编程设置 | 0x0000\_0094 | I2C1 中断 |
| 22 | 38 | 可编程设置 | 0x0000\_0098 | I2C2 中断 |
| 23 | 39 | 可编程设置 | 0x0000\_009C | I2C3 中断 |
| 24 | 40 | 可编程设置 | 0x0000\_00A0 | QSPI中断 |
| 25 | 41 | 可编程设置 | 0x0000\_00A4 | SSI 中断 |
| 26 | 42 | 可编程设置 | 0x0000\_00A8 | UART0 中断 |
| 27 | 43 | 可编程设置 | 0x0000\_00AC | UART1 中断 |
| 28 | 44 | 可编程设置 | 0x0000\_00B0 | NCSI |
| 29 | 45 | 可编程设置 | 0x0000\_00B4 | AXI Stream |
| 30 | 46 | 可编程设置 | 0x0000\_00B8 | Mailbox 0 |
| 31 | 47 | 可编程设置 | 0x0000\_00BC | Mailbox1 |
| 32 | 48 | 可编程设置 | 0x0000\_00B4 | MAC0 Magic packet |
| 33 | 49 | 可编程设置 | 0x0000\_00B8 | MAC1 Magic packet |
| 34 | 50 | 可编程设置 | 0x0000\_00BC | MAC0 Link status change |
| 35 | 51 | 可编程设置 | 0x0000\_00C0 | MAC1 Link status change |
| 36 | 52 | 可编程设置 | 0x0000\_00C4 | 总成系统中断0 |
| 37 | 53 | 可编程设置 | 0x0000\_00C8 | 总成系统中断1 |

# 低功耗模式

当前设计支持正常模式以及休眠模式，不支持电源关断。

|  |  |  |  |
| --- | --- | --- | --- |
| 模式 | 进入 | 唤醒 | 时钟 |
| 正常模式 | 默认 | 无 | FCLK，HCLK正常工作，外设正常工作 |
| 休眠模式 | WFI指令 | 可选择任意中断 | FCLK工作在低频模式，HCLK关断，外设时钟关断 |

## 模式切换

系统上电后，默认工作在正常模式，进入休眠模式之前，CPU可以选择将外设时钟尽可能关闭，同时切换系统FCLK为低频模式，并通过WFI指令进入休眠模式，HCLK随后被门控。外部中断的到来会使CPU退出休眠模式，同时HCLK 门控打开，CPU将时钟切换到正常频率，进入正常工作模式。以下为相关工作流程：



Figure 7.1 模式切换流程图

# 时钟复位



M3 启动使能来自外部PAD输入，可选择外部MCU启动，M3 处于复位状态。M3系统全局复位的产生在时钟复位设计中体现，M3 时钟复位逻辑控制均在系统CMU RMU实现，详情见K2pro+时钟复位设计方案。

# 外设

## SSI

当前设计例化designware IP dw\_apb\_ssi。

## I2C

当前设计例化designware IP dw\_apb\_i2c。

## UART

当前设计例化designware IP dw\_apb\_uart。

## Timer

当前设计例化designware IP dw\_apb\_timer。

## PWM

当前设计例化designware IP dw\_apb\_timer。

## GPIO

当前设计例化designware IP dw\_apb\_gpio。

## DMA

当前设计例化designware IP dw\_ahb\_dmac。

## QSPI Flash

当前设计例化designware IP dw\_apb\_ssi。

## Watchdog

当前设计例化ARM cmsdk IP cmsdk\_apb\_watchdog 或 designware IP dw\_apb\_wdt。

## RAM

当前设计例化ARM cmsdk IP cmsdk\_ahb\_ram.

# 实现

## 顶层端口

|  |  |  |  |
| --- | --- | --- | --- |
| 名称 | 位宽 | 方向 | 描述 |
| 系统信号 | | | |
| clk | 1 | I | 系统时钟 |
| rstn | 1 | I | 系统复位 |
| sw\_srstn | 30 | I | 模块软复位信号 |
| sw\_clk\_gate | 30 | I | 模块时钟门控信号 |
| 数据流接口 | | | |
| ncsi\_axi\_st\_rx\_tdata | 256 | I | Ncsi 数据流输入数据 |
| ncsi\_axi\_st\_rx\_tvalid | 1 | I | Ncsi 数据流输入有效指示 |
| ncsi\_axi\_st\_rx\_tready | 1 | O | Ncsi 数据流输入接收使能 |
| ncsi\_axi\_st\_rx\_tuser | 2 | I | Ncsi 数据流输入用户字段 |
| ncsi\_axi\_st\_rx\_tkeep | 32 | I | Ncsi 数据流输入keep字段 |
| ncsi\_axi\_st\_rx\_terr | 1 | I | Ncsi 数据流输入错误指示 |
| ncsi\_axi\_st\_tx\_tdata | 256 | O | Ncsi 数据流输出数据 |
| ncsi\_axi\_st\_tx\_tvalid | 1 | O | Ncsi 数据流输出有效指示 |
| ncsi\_axi\_st\_tx\_tready | 1 | I | Ncsi 数据流输出接收使能 |
| ncsi\_axi\_st\_tx\_tuser | 2 | O | Ncsi 数据流输出用户字段 |
| ncsi\_axi\_st\_tx\_tkeep | 32 | O | Ncsi 数据流输出keep字段 |
| ncsi\_axi\_st\_tx\_terr | 1 | O | Ncsi 数据流输出错误指示 |
| pkt\_axi\_st\_rx\_tdata | 256 | I | pkt 数据流输入数据 |
| pkt\_axi\_st\_rx\_tvalid | 1 | I | pkt 数据流输入有效指示 |
| pkt\_axi\_st\_rx\_tready | 1 | O | pkt 数据流输入接收使能 |
| pkt\_axi\_st\_rx\_tuser | 2 | I | pkt 数据流输入用户字段 |
| pkt\_axi\_st\_rx\_tkeep | 32 | I | pkt 数据流输入keep字段 |
| pkt\_axi\_st\_rx\_terr | 1 | I | pkt 数据流输入错误指示 |
| pkt\_axi\_st\_tx\_tdata | 256 | O | pkt 数据流输出数据 |
| pkt\_axi\_st\_tx\_tvalid | 1 | O | pkt 数据流输出有效指示 |
| pkt\_axi\_st\_tx\_tready | 1 | I | pkt 数据流输出接收使能 |
| pkt\_axi\_st\_tx\_tuser | 2 | O | pkt 数据流输出用户字段 |
| pkt\_axi\_st\_tx\_tkeep | 32 | O | pkt 数据流输出keep字段 |
| pkt\_axi\_st\_tx\_terr | 1 | O | pkt 数据流输出错误指示 |
| 控制总线接口 | | | |
| EXT\_HADDR | 32 | O | 外部总线读取地址 |
| EXT\_HTRANS | 2 | O | 外部总线读取命令  0b00 = IDLE  0b10 = NONSEQUENTIAL. |
| EXT\_HSIZE | 3 | O | 外部总线读取位宽 |
| HBURSTI[2:0] | O |  | 读取突发长度，仅支持1，HBURSTI =  0b000. |
| HPROTI[3:0] | O | HPROTI[0]:  0 = Instruction fetch  1 = Vector fetch.  HPROTI[1]:  0 = Unprivileged  1 = Privileged.  HPROTI[2]:  Always 1 = Bufferable.  HPROTI[3]:  Always 1 = Cacheable. | 连接到后级Bus matrix |
| MEMATTRI[1:0] | O | Memory attributes. Always 0b00 for this bus.  They are non-allocate, nonshareable. | 连接到后级Bus matrix |
| BRCHSTAT[3:0] |  | 指令分支跳转状态，可以提高指令预读性能 | 当前设计无连接 |
| HRDATAI[31:0] | I | 读取指令数据 | 连接到后级Bus matrix |
| HREADYI | I | AHB 传输ready 信号 | 连接到后级Bus matrix |
| HRESPI[1:0] | I | AHB读取响应  0b00 = OKAY  0b01 = ERROR. | 连接到后级Bus matrix |

## 系统寄存器描述

**0x00 外设复位寄存器 默认值 0x00**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 名称 | 位 | 类型 | default | 描述 |
| Reseverd | 31：21 | RO | 0x00 | - |
| Sw\_rstn | 20:0 | RW | 0x1FFFFF | 模块复位，写0 进入复位，写1释放复位  0：CPU  1：ROM  2：RAM0  3：RAM1  4：RAM2  5：DMA  6：AXIS  7：NCSI  8：QSPI FLASH  9：SSI  10：GPIO  11：I2C0  12：I2C1  13：I2C2  14：I2C3  15：UART0  16：UART1  17：Watchdog  18：timer  19：pwm  20：RGMII |

**0x04 时钟门控寄存器 默认值 0x00**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 名称 | 位 | 类型 | default | 描述 |
| Reseverd | 31：21 | RO | 0x00 | - |
| Gate\_en | 20：0 | RO | 0x8107 | 各模块门控使能  0：CPU （默认打开）  1：ROM（默认打开）  2：RAM0（默认打开）  3：RAM1  4：RAM2  5：DMA  6：AXIS  7：NCSI  8：QSPI FLASH（默认打开）  9：SSI  10：GPIO  11：I2C0  12：I2C1  13：I2C2  14：I2C3  15：UART0（默认打开）  16：UART1  17：Watchdog  18：timer  19：pwm  20：RGMII |

**0x08 SPI 访问模式寄存器 默认值 0x00**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 名称 | 位 | 类型 | default | 描述 |
| Reseverd | 31：2 | RO | 0x00 | - |
| ssi\_xip\_en | 1 | RW | 0x0 | 通用SSI 接口XIP 使能 |
| qspi\_xip\_en | 0 | RW | 0x0 | QSPI flash XIP 使能  Note：如果启动模式选择外部flash 启动，强制选择XIP 访问模式 |

**0x0C CPU lockup 使能寄存器 默认值 0x1**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 名称 | 位 | 类型 | default | 描述 |
| Reseverd | 31：1 | RO | 0x00 | - |
| Enable | 0 | RW | 0x0 | M3 lockup 是否引起系统复位  0：disable  1：enable |

**0x10 系统复位状态寄存器 默认值 0x54000401**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 名称 | 位 | 类型 | default | 描述 |
| Reseverd | 31：3 | RO | 0x00 | - |
| System\_reset | 2 | RO | 0x0 | CPU 发生系统复位 |
| Wdt\_timeout | 1 | RO | 0x0 | watchdog发生 timeout 复位 |
| lockup | 0 | RO | 0x0 | CPU 发生了lockup复位 |

**0x14 BOOT 模式选择寄存器 默认值 0x11**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 名称 | 位 | 类型 | default | 描述 |
| Reseverd | 31：1 | RO | 0x00 | - |
| Boot\_sel | 1:0 | RO | 0x00 | Boot 模式选择  00：  01：  1x： |