

## 实验四 模型机时序部件的实现

班级 人工智能 2103 班 姓名 姚丁钰 学号 202107030125

### 一、实验目的

1. 了解模型机中 SM 的作用。
2. 熟悉指令寄存器、状态寄存器、指令计数器、寄存器的工作原理
3. 学会使用 VERILOG 语言设计时序电路。

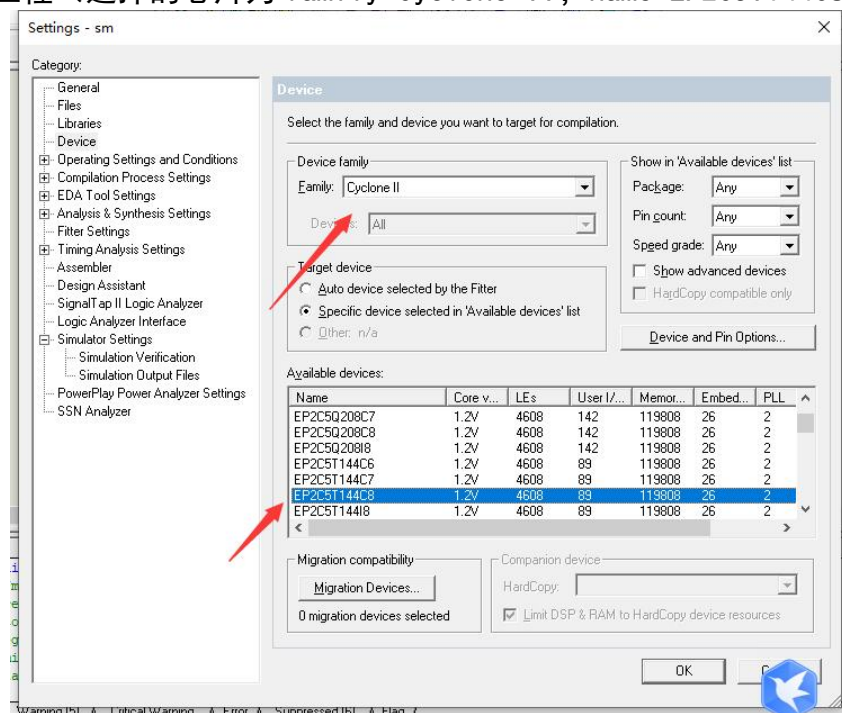
### 二、实验内容

1. 用 VERILOG 语言设计 SM;
2. 用 VERILOG 语言设计一个 8 位的指令寄存器 IR;
3. 用 VERILOG 语言设计一个 2 位的状态寄存器 PSW;
4. 用 VERILOG 语言设计一个 8 位的指令计数器 PC;
5. 用 VERILOG 语言设计 3 个 8 位寄存器组成的寄存器组，实现读写操作;
6. 用 LPM\_RAM\_IO 定制一个 256\*8 的 RAM，实现对 RAM 的读写操作。

### 三、实验过程

#### 1、SM

A) 创建工程（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）



## B) 编写源代码

```

1 module sm(clk,sm_en,sm);
2   input clk,sm_en;
3   output sm;
4   reg sm;
5   always@(negedge clk)
6     if(sm_en==1)
7       sm<=~sm;
8   else
9     sm<=sm;
10 endmodule

```

## C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

警告信息：

Type	Message
Warning	Warning: Feature LogicLock is not available with your current license
Warning	Warning: No exact pin location assignment(s) for 3 pins of 3 total pins
Warning	Warning: Found 1 output pins without output pin load capacitance assignment
Warning	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
Warning	Warning: Found pins functioning as undefined clocks and/or memory enables

System (20) Processing (58) Extra Info Info (53) **Warning (5)** CriticalWarning Error Suppressed (6) Flag /

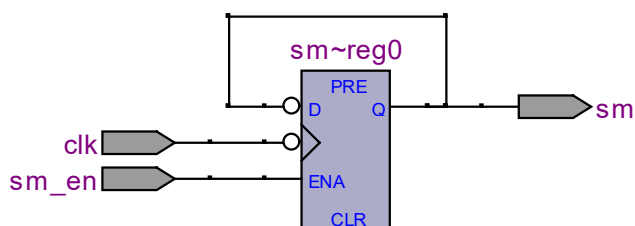
资源消耗：

```

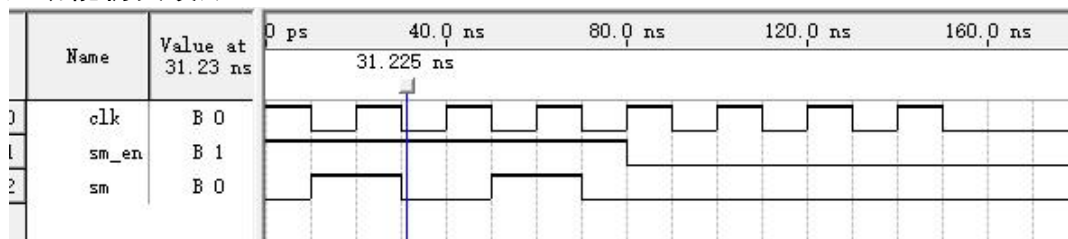
Flow Status                Successful - Sat Nov 26 00:11:22 2022
Quartus II Version          9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name               sm
Top-level Entity Name       sm
Family                      Cyclone II
Device                      EP2C5T144C8
Timing Models                Final
Met timing requirements      Yes
Total logic elements         1 / 4,608 (< 1 %)
  Total combinational functions 1 / 4,608 (< 1 %)
  Dedicated logic registers   1 / 4,608 (< 1 %)
Total registers              1
Total pins                   3 / 89 ( 3 %)
Total virtual pins           0
Total memory bits            0 / 119,808 ( 0 %)
Embedded Multiplier 9-bit elements 0 / 26 ( 0 %)
Total PLLs                   0 / 2 ( 0 %)

```

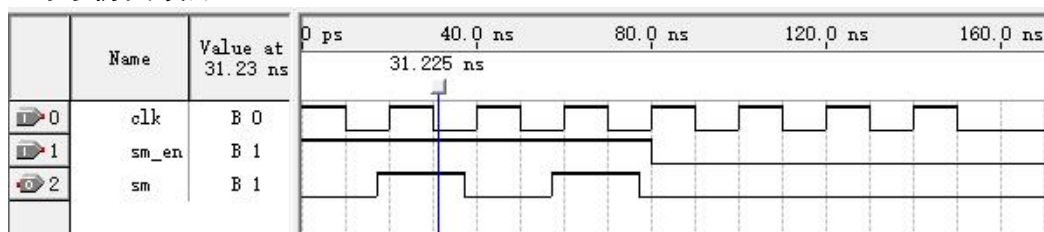
## D) RTL 视图



## E) 功能仿真波形



## F) 时序仿真波形

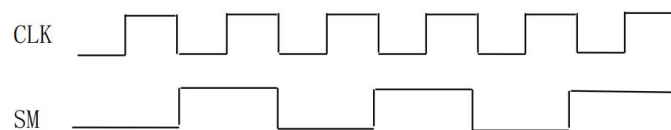


## G) 结果分析及结论

由于总线不能同时传输多种数据，一个指令的执行不能在一个周期内完成，需要有两个周期分别进行读取指令和执行指令，使用 SM 进行标识。SM 为 0 是取指令周期，SM 为 1 是执行指令周期。

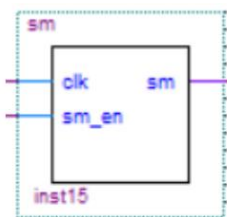
从功能仿真中看出，当 sm\_en 信号为 1 有效时，输出的 sm 在时钟的下降沿发生了翻转，当 sm\_en 信号为 0 时，输出信号 sm 保持不变。

时序仿真和功能仿真的波形大致相同，但是时序仿真延迟了约 8ns，由于只有一个逻辑门和一个输入信号，因此不存在冒险毛刺的现象。



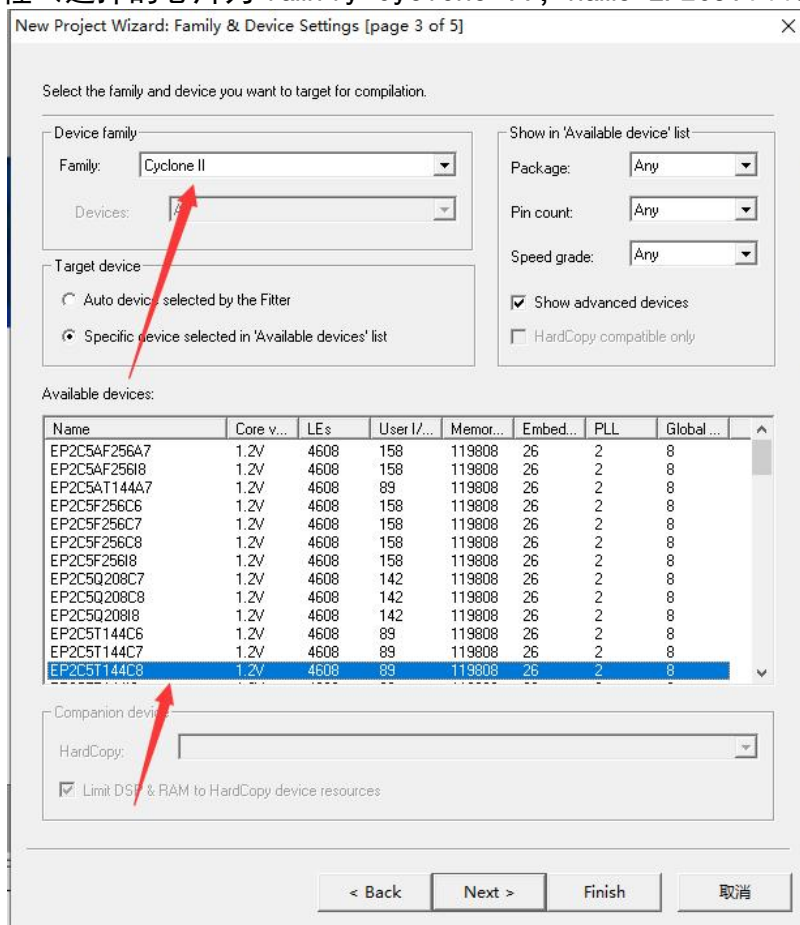
SM的功能表：

CLK	SM_EN	功能
	1	$SM \leftarrow \neg SM$



## 2、指令寄存器 IR

## A) 创建工程（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）



## B) 编写源代码

```

1 module ir(clk,ir_ld,d,ir);
2   input [7:0]d;
3   input clk,ir_ld;
4   output [7:0]ir;
5   reg [7:0]ir;
6   always@(negedge clk)
7       if(ir_ld==1)
8           ir<=d;
9       else
10          ir<=ir;
11 endmodule

```

## C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

资源消耗：

Type	Message
Warning	Warning: Feature LogicLock is not available with your current license
Warning	Warning: No exact pin location assignment(s) for 18 pins of 18 total pins
Warning	Warning: Found 8 output pins without output pin load capacitance assignment
Warning	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
Warning	Warning: Found pins functioning as undefined clocks and/or memory enables

System (54) Processing (57) Extra Info Info (52) Warning (5) Critical Warning Error Suppressed (6) Flag /

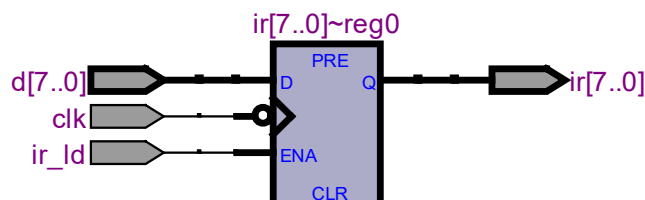
警告信息：

```

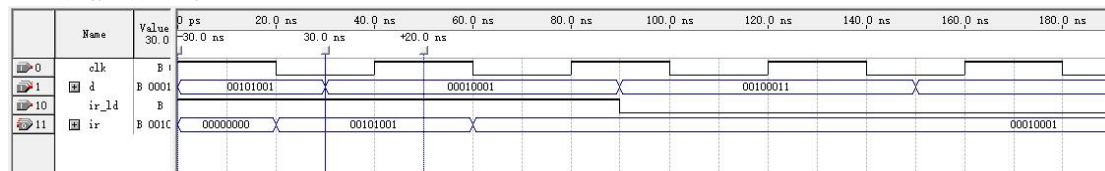
Flow Status                Successful - Sat Nov 26 00:43:26 2022
Quartus II Version          9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name               ir
Top-level Entity Name       ir
Family                      Cyclone II
Device                      EP2C5T144C8
Timing Models               Final
Met timing requirements     Yes
Total logic elements        8 / 4,608 ( < 1 % )
    Total combinational functions 0 / 4,608 ( 0 % )
    Dedicated logic registers  8 / 4,608 ( < 1 % )
Total registers             8
Total pins                  18 / 89 ( 20 % )
Total virtual pins          0
Total memory bits           0 / 119,808 ( 0 % )
Embedded Multiplier 9-bit elements 0 / 26 ( 0 % )
Total PLLs                  0 / 2 ( 0 % )

```

## D) RTL 视图



## E) 功能仿真波形



## F) 时序仿真波形




## G) 结果分析及结论

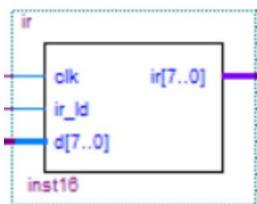
指令寄存器将总线送来的指令存入 8 位寄存器中,但并不是每次总线上的数据都需要寄存,因为数据总线上有时传输指令,有时传输数据。当控制信号 IR\_LD 为 1 时,指令寄存

器在时钟信号 CLK 的下降沿将总线传输的指令写入寄存器。

在功能仿真中，ir\_ld 为 1，在时钟下降沿将输入写入输出，当 ir\_ld 为 0 时，输出保持不变。

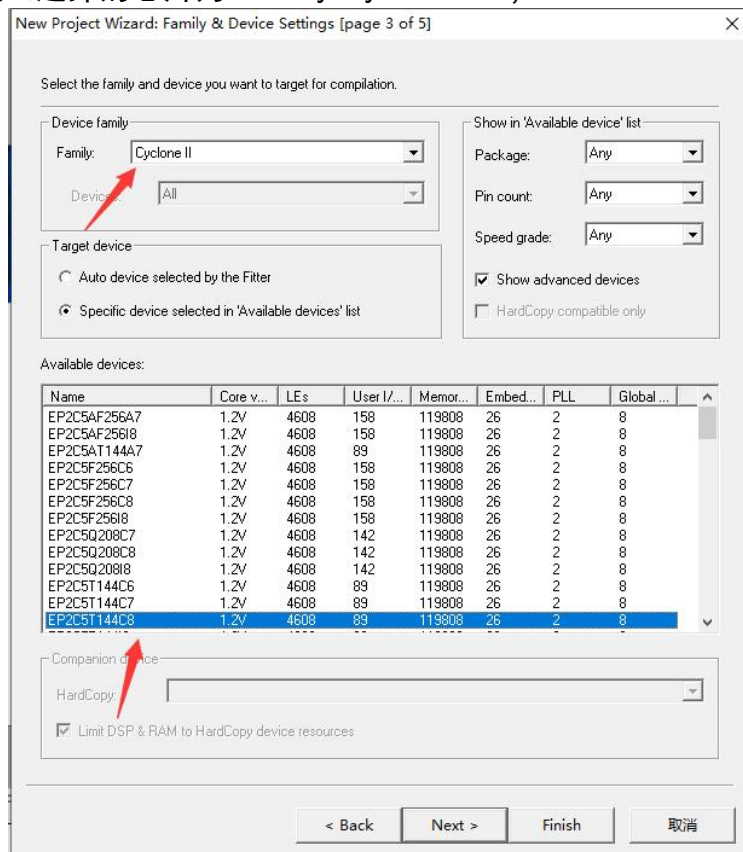
由于信号延迟，在时序仿真中，ir 的值并不是在时钟的下降沿马上就变化，而是会延迟 9ns 左右，而且还会出现短时间的杂乱信号。

CLK	ir_ld	功能
	1	d写入ir



### 3、状态寄存器 PSW

#### A) 创建工程（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）





## B) 编写源代码






```

1 module psw(clk,cf_en,zf_en,cf,zf,c,z);
2   input clk,cf_en,zf_en,cf,zf;
3   output c,z;
4   reg c,z;
5   always@(negedge clk)
6   begin
7     if(cf_en==1)
8       c<=cf;
9     else
10      c<=c;
11     if(zf_en==1)
12       z<=zf;
13     else
14       z=z;
15   end
16 endmodule

```

## C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

警告信息：

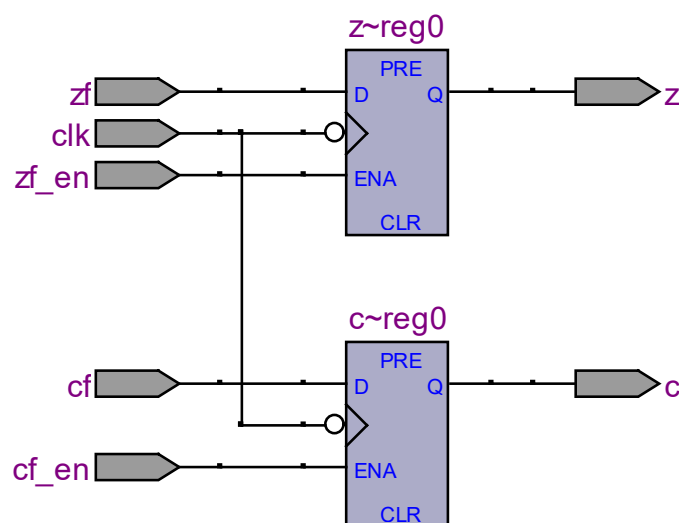
Type	Message
	Warning: Feature LogicLock is not available with your current license
	Warning: No exact pin location assignment(s) for 7 pins of 7 total pins
	Warning: Found 2 output pins without output pin load capacitance assignment
	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
	Warning: Found pins functioning as undefined clocks and/or memory enables

System (6) Processing (59) Extra Info Info (54) **Warning (5)** Critical Warning Error Suppressed (7) Flag /

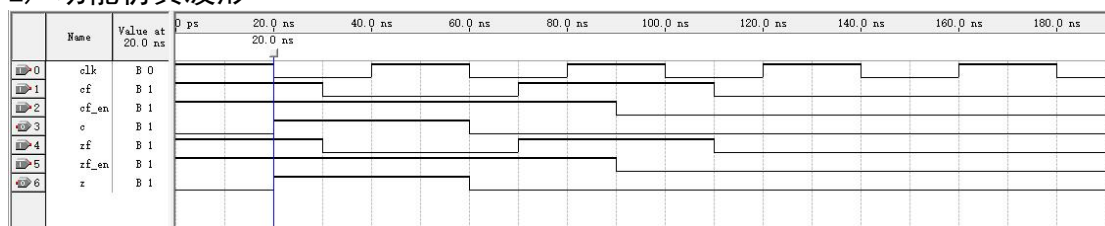
资源消耗：

Flow Status	Successful - Sat Nov 26 01:09:52 2022
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	psw
Top-level Entity Name	psw
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	2 / 4,608 ( < 1 % )
Total combinational functions	2 / 4,608 ( < 1 % )
Dedicated logic registers	2 / 4,608 ( < 1 % )
Total registers	2
Total pins	7 / 89 ( 8 % )
Total virtual pins	0
Total memory bits	0 / 119,808 ( 0 % )
Embedded Multiplier 9-bit elements	0 / 26 ( 0 % )
Total PLLs	0 / 2 ( 0 % )

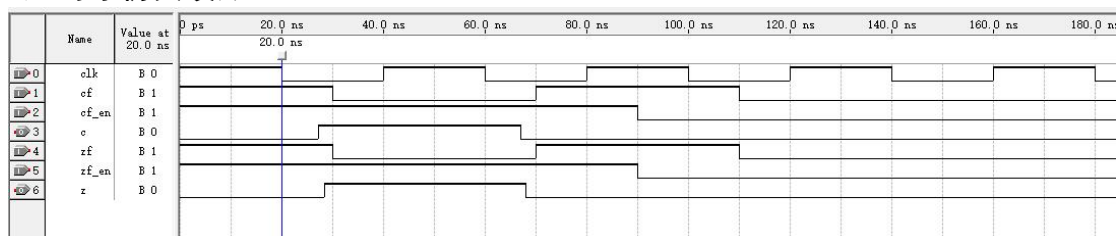
## D) RTL 视图



## E) 功能仿真波形



## F) 时序仿真波形



## G) 结果分析及结论

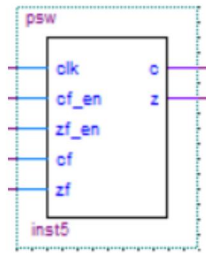
本模型机 PSW 用来存放 ADD、SUB、RSR、RSL 指令执行结果的状态标志，如有无借位进位 (C)、结果是否为零 (Z)。

在功能仿真中，cf\_en 和 zf\_en 为 1，在时钟下降沿，将 cf 和 zf 的值写入输出 c，z 中，cf\_en 和 zf\_en 为 0，输出 c 和 z 保持不变。

在时序仿真中，波形图的整体与功能仿真基本相同，但是从 c 和 z 的值并不是在时钟的下降沿马上就被赋值变化，而是会延迟 7.5ns 左右。

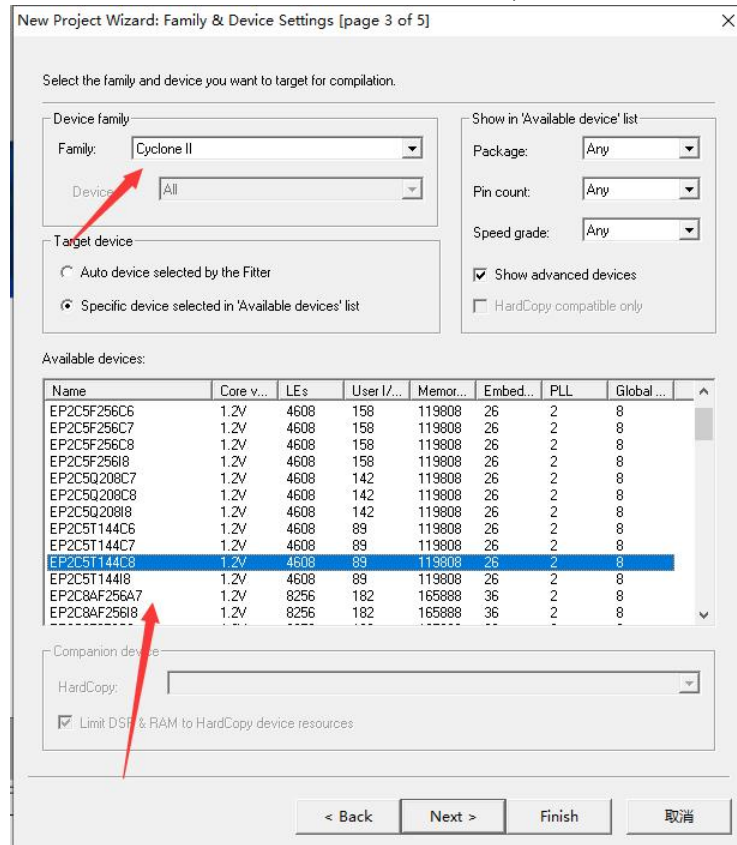
CLK	控制信号	功能
	cf_en=1	cf 写入 c
	zf_en=1	zf 写入 z





#### 4、指令计数器 PC

A) 创建工程（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）



## B) 编写源代码







```

1 module pc(clk,pc_ld,pc_inc,a,add);
2   input clk,pc_ld,pc_inc,a;
3   output add;
4   wire [7:0]a;
5   reg [7:0]add;
6   always @(negedge clk)
7   =begin
8     if(pc_inc==1 && pc_ld==0)
9       add<=add+1;
10    else if(pc_ld==1 && pc_inc==0)
11      add<=a;
12    else add<=add;
13  end
14 endmodule

```

## C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

警告信息：

Type	Message
	Warning (10230): Verilog HDL assignment warning at pc.v(9): truncated value with size 32 to match size of target (8)
	Warning: Feature LogicLock is not available with your current license
	Warning: No exact pin location assignment(s) for 19 pins of 19 total pins
	Warning: Found 8 output pins without output pin load capacitance assignment
	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
	Warning: Found pins functioning as undefined clocks and/or memory enables

System (33) Processing (64) Extra Info Info (56) **Warning (8)** Critical Warning Error Suppressed (6) Flag

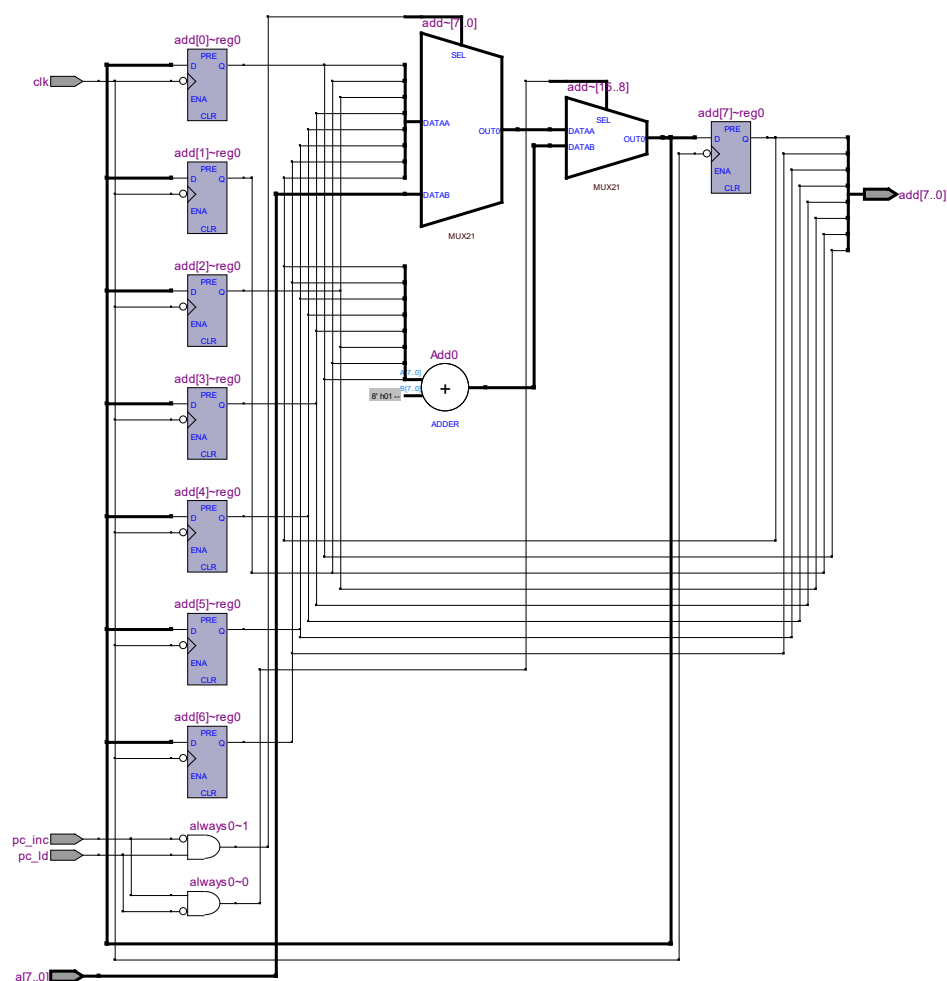
资源消耗：

```

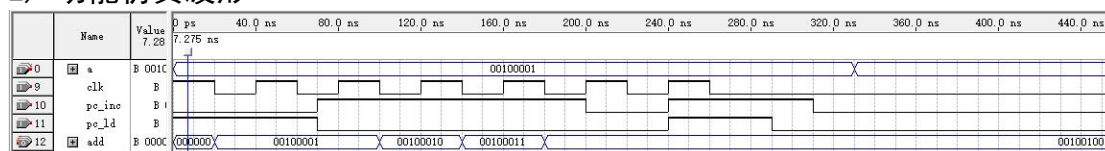
Flow Status                Successful - Sun Nov 27 00:01:05 2022
Quartus II Version         9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name              pc
Top-level Entity Name      pc
Family                     Cyclone II
Device                     EP2C5T144C8
Timing Models              Final
Met timing requirements     Yes
Total logic elements        10 / 4,608 ( < 1 % )
    Total combinational functions  10 / 4,608 ( < 1 % )
    Dedicated logic registers      8 / 4,608 ( < 1 % )
Total registers            8
Total pins                 19 / 89 ( 21 % )
Total virtual pins         0
Total memory bits          0 / 119,808 ( 0 % )
Embedded Multiplier 9-bit elements  0 / 26 ( 0 % )
Total PLLs                 0 / 2 ( 0 % )

```

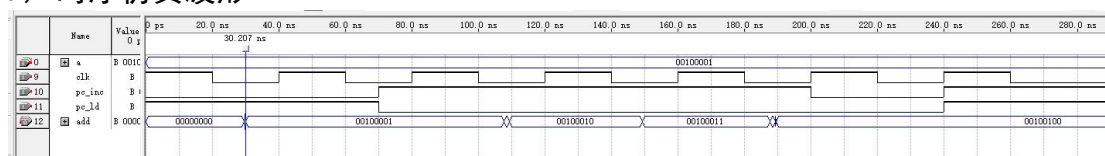
## D) RTL 视图



## E) 功能仿真波形



## F) 时序仿真波形





## G) 结果分析及结论

在功能仿真中， $pc\_inc$  为 1， $pc\_ld$  为 0，执行地址加 1 操作； $pc\_inc$  为 0， $pc\_ld$  为 1，执行写入操作，将输入写入到输出中， $pc\_inc$  为 0， $pc\_ld$  为 0，数据保持不变。

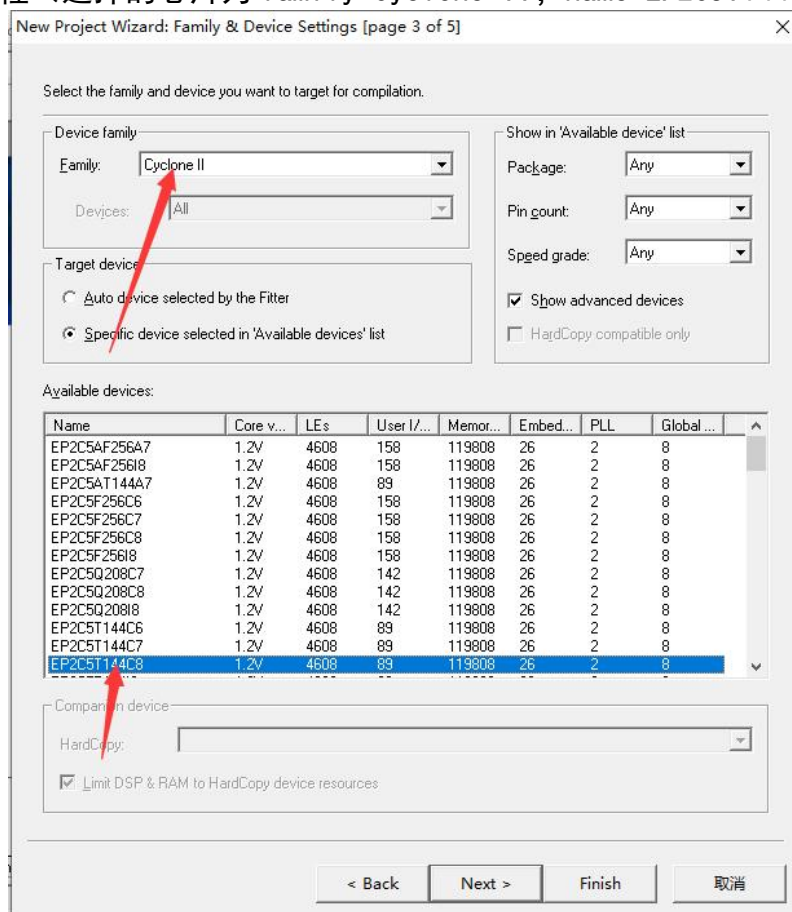
在时序仿真中，由于信号延迟， $add$  的值并不是在时钟的下降沿马上就被赋值变化，而是会延迟 10ns 左右，而且还可能会出现短时间的杂乱信号，但是波形图的整体与功能仿真相同。

在每条指令读取后，指令计数器 PC 中的地址自动加 1，指向下一条指令在 RAM 中的存放地址。

CLK	pc_inc	pc_ld	功能
	1	0	add[7..0]中数据自加1
	0	1	a[7..0]写入add[7..0]

## 5、通用寄存器组

### A) 创建工程（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）



## B) 编写源代码











```

1  module reg_group(clk,we,raa,rwba,i,s,d);
2  input clk,we,raa,rwba,i;
3  output s,d;
4  wire [7:0]i;
5  wire [1:0]raa;
6  wire [1:0]rwba;
7  reg [7:0]r [2:0];
8  reg [7:0]s;
9  reg [7:0]d;
10
11 always @(we,raa,rwba,i)
12 begin
13     if(raa!=2'b11) s=r[raa];
14     else s=r[2];
15     if(rwba!=2'b11) d=r[rwba];
16     else d=r[2];
17 end
18
19 always @(negedge clk)
20     if(we==0)
21         if(rwba!=2'b11) r[rwba]<=i;
22         else r[2]<=i;
23
24 endmodule
25

```

## C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

## 警告信息

Type	Message
	Warning (10227): Verilog HDL Port Declaration warning at reg_group.v(5): data type declaration for "raa" declares packed dimensions but the port declaration declaration does not
	Warning (10227): Verilog HDL Port Declaration warning at reg_group.v(6): data type declaration for "rwba" declares packed dimensions but the port declaration declaration does not
	Warning (10227): Verilog HDL Port Declaration warning at reg_group.v(4): data type declaration for "i" declares packed dimensions but the port declaration declaration does not
	Warning (10227): Verilog HDL Port Declaration warning at reg_group.v(8): data type declaration for "s" declares packed dimensions but the port declaration declaration does not
	Warning (10227): Verilog HDL Port Declaration warning at reg_group.v(9): data type declaration for "d" declares packed dimensions but the port declaration declaration does not
	Warning: Feature LogicLock is not available with your current license
	Warning: No exact pin location assignment(s) for 30 pins of 30 total pins
	Warning: Found 16 output pins without output pin load capacitance assignment
	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
	Warning: Found pins functioning as undefined clocks and/or memory enables

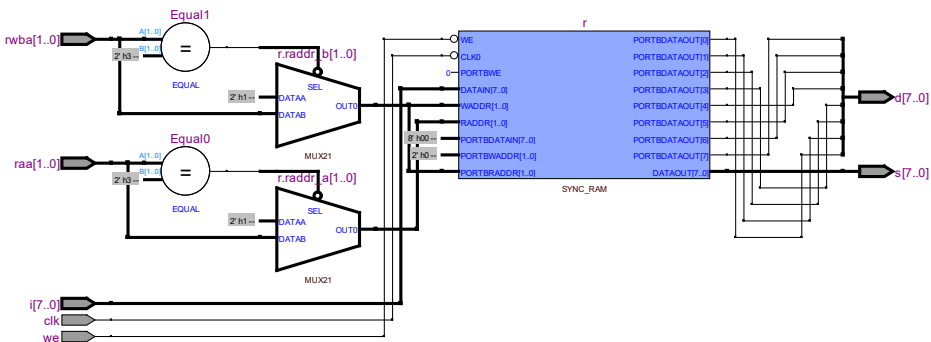
## 资源消耗

```

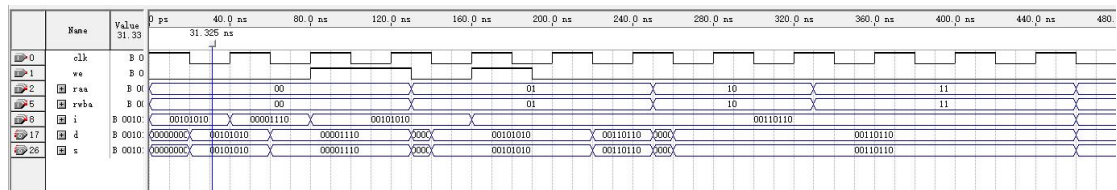
Flow Status                Successful - Sat Dec 03 13:19:32 2022
Quartus II Version         9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name              reg_group
Top-level Entity Name      reg_group
Family                     Cyclone II
Device                     EP2C5T144C8
Timing Models              Final
Met timing requirements    Yes
Total logic elements       35 / 4,608 ( < 1 % )
    Total combinational functions  35 / 4,608 ( < 1 % )
    Dedicated logic registers      24 / 4,608 ( < 1 % )
Total registers            24
Total pins                 30 / 89 ( 34 % )
Total virtual pins         0
Total memory bits          0 / 119,808 ( 0 % )
Embedded Multiplier 9-bit elements  0 / 26 ( 0 % )
Total PLLs                 0 / 2 ( 0 % )

```

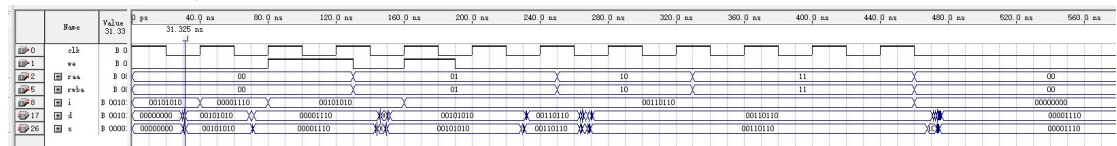
## D) RTL 视图



## E) 功能仿真波形



## F) 时序仿真波形



## G) 时序分析

操作方法是：编译后，在 compilation report 中选择【timing analysis】-【summary】

## Timing Analyzer Summary

	Type	Slack	Required Time	Actual Time	From	To	From Clock	To Clock	Failed Paths	
1	Worst-case tsu	N/A	None	7.454 ns	rwba[0]	r~15	--	clk	0	
2	Worst-case tco	N/A	None	12.391 ns	r~10	d[2]	clk	--	0	
3	Worst-case tpd	N/A	None	16.703 ns	rwba[0]	d[2]	--	--	0	
4	Worst-case th	N/A	None	-0.044 ns	i[1]	r~17	--	clk	0	
5	Total number of failed paths								0	



tpd						
	Slack	Required P2P Time	Actual P2P Time	From	To	
1	N/A	None	16.703 ns	rwba[0]	d[2]	
2	N/A	None	16.587 ns	rwba[0]	d[6]	
3	N/A	None	16.227 ns	rwba[0]	d[7]	
4	N/A	None	15.805 ns	rwba[0]	d[4]	
5	N/A	None	15.552 ns	rwba[1]	d[2]	
6	N/A	None	15.515 ns	rwba[1]	d[4]	
7	N/A	None	15.438 ns	rwba[1]	d[6]	
8	N/A	None	15.410 ns	rwba[0]	d[3]	
9	N/A	None	15.265 ns	rwba[0]	d[1]	
10	N/A	None	15.128 ns	rwba[1]	d[3]	
11	N/A	None	15.076 ns	rwba[1]	d[7]	
12	N/A	None	14.882 ns	rwba[0]	d[0]	
13	N/A	None	14.861 ns	raa[1]	s[5]	
14	N/A	None	14.858 ns	raa[0]	s[0]	
15	N/A	None	14.811 ns	raa[0]	s[4]	
16	N/A	None	14.805 ns	raa[1]	s[0]	
17	N/A	None	14.759 ns	raa[1]	s[4]	
18	N/A	None	14.684 ns	raa[1]	s[7]	
19	N/A	None	14.681 ns	raa[0]	s[2]	
20	N/A	None	14.626 ns	raa[1]	s[2]	
21	N/A	None	14.524 ns	raa[0]	s[5]	
22	N/A	None	14.512 ns	raa[1]	s[6]	
23	N/A	None	14.486 ns	rwba[1]	d[1]	
24	N/A	None	14.344 ns	raa[0]	s[7]	
25	N/A	None	14.179 ns	raa[0]	s[6]	
26	N/A	None	14.102 ns	rwba[1]	d[0]	
27	N/A	None	14.075 ns	rwba[0]	d[5]	
28	N/A	None	13.408 ns	raa[0]	s[3]	
29	N/A	None	13.389 ns	raa[0]	s[1]	
30	N/A	None	13.355 ns	raa[1]	s[3]	
31	N/A	None	13.297 ns	rwba[1]	d[5]	
32	N/A	None	13.247 ns	raa[1]	s[1]	

## H) 结果分析及结论

延迟时间比较集中, 约是 13-15ns, 由于信号延迟, 在时序仿真中, 可见 d 和 s 的值并不是在时钟的下降沿马上就被赋值变化而是会延迟 12ns 左右, 而且还会出现短时间的杂乱信号, 波形图的整体与功能仿真相同。

WE=1 时, 输出 (写的功能)

RAA[1...0]的值从 A,B,C 中选择一个寄存器的值由 AO 口输出

如 RAA[1...0]=00, AO<=A 寄存器的值

RAA[1...0]=01, AO<=B 寄存器的值

RAA[1...0]=10, AO<=C 寄存器的值

根据 RWBA[1...0]的值从选择 A,B,C 中选择一个寄存器的值由 BO 口输出,

如 RWBA[1...0]=00, BO<=A 寄存器的值


RWBA[1...0]=01, BO<=B 寄存器的值

RWBA[1...0]=10, BO<=C 寄存器的值

WE=0 时 (读的功能)

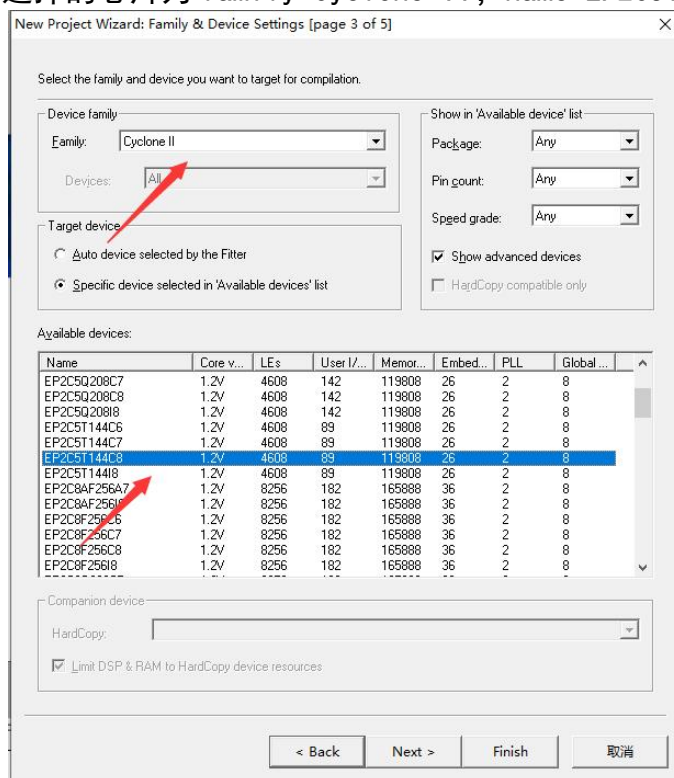
根据 RWBA[1...0]的值,将外部输入写入 A,B,C 三个寄存器中的一个寄存器内。为了不出现未定义的情况, 先进行一次重置, Reset 在一开始置为 0, 将所有的触发器触发成复位。然后连续 12 个时钟周期, 保证时钟信号有效。

模型机的通用寄存器组包含 3 个 8 位寄存器 A、B、C, 可对这 3 个寄存器进行读写操作

操作	CLK	WE	功能
读			根据RAA[1..0]的值从A,B,C中选择一个寄存器的值由S口输出 根据RWBA[1..0]的值从A,B,C中选择一个寄存器的值由D口输出
写		0	控制信号WE为0,根据RWBA[1..0]的值,在CLK下降沿将外部输入i写入A,B,C三个寄存器中的某个寄存器中。

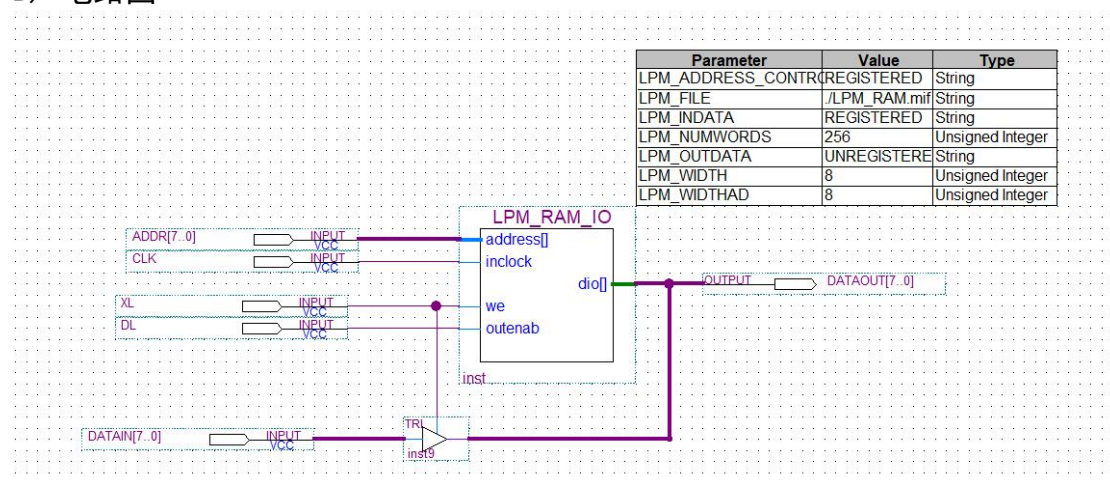
## 6、RAM 的使用

### A) 创建工程（选择的芯片为 family=Cyclone II; name=EP2C5T144C8）



Addr	+0	+1	+2	+3	+4	+5	+6	+7
0	0	1	2	3	4	5	6	7
8	8	9	10	11	12	13	14	15
16	16	17	18	19	20	21	22	23
24	24	25	26	27	28	29	30	31
32	32	33	34	35	36	37	38	39
40	40	41	42	43	44	45	46	47
48	48	49	50	51	52	53	54	55
56	56	57	58	59	60	61	62	63
64	64	65	66	67	68	69	70	71
72	72	73	74	75	76	77	78	79
80	80	81	82	83	84	85	86	87
88	88	89	90	91	92	93	94	95
96	96	97	98	99	100	101	102	103
104	104	105	106	107	108	109	110	111
112	112	113	114	115	116	117	118	119
120	120	121	122	123	124	125	126	127
128	128	129	130	131	132	133	134	135
136	136	137	138	139	140	141	142	143
144	144	145	146	147	148	149	150	151
152	152	153	154	155	156	157	158	159
160	160	161	162	163	164	165	166	167
168	168	169	170	171	172	173	174	175
176	176	177	178	179	180	181	182	183
184	184	185	186	187	188	189	190	191
192	192	193	194	195	196	197	198	199
200	200	201	202	203	204	205	206	207
208	208	209	210	211	212	213	214	215
216	216	217	218	219	220	221	222	223
224	224	225	226	227	228	229	230	231
232	232	233	234	235	236	237	238	239
240	240	241	242	243	244	245	246	247
248	248	249	250	251	252	253	254	255

## B) 电路图



## C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

## 警告信息

Type	Message
Warning	Warning: Assertion warning: altfsm does not support Cyclone II device family -- attempting best-case memory conversions, but power-up states and read during write behavior will be different for Cyclone II devices
Warning	Warning: Tri-state node(s) do not directly drive top-level pin(s)
Warning	Warning: Feature LogicLock is not available with your current license
Warning	Warning: No exact pin location assignment(s) for 27 pins of 27 total pins
Warning	Warning: Found 8 output pins without output pin load capacitance assignment
Warning	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
Warning	Warning: Found pins functioning as undefined clocks and/or memory enables

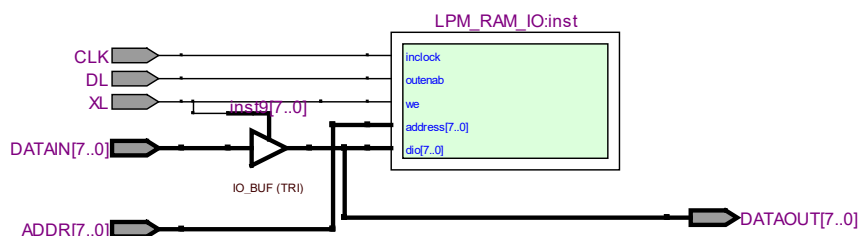
## 资源消耗

```

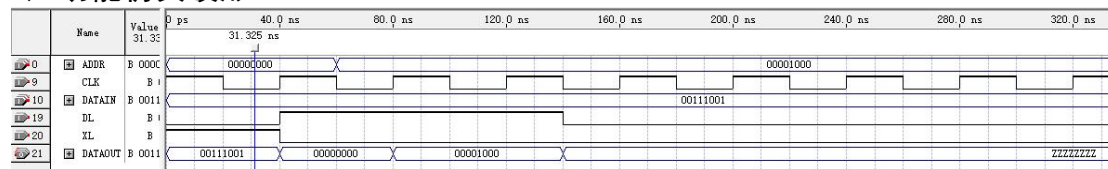
Flow Status                Successful - Sat Dec 03 15:28:20 2022
Quartus II Version         9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name              LPM_RAM
Top-level Entity Name      LPM_RAM
Family                     Cyclone II
Device                     EP2C5T144C8
Timing Models              Final
Met timing requirements    Yes
Total logic elements       10 / 4,608 ( < 1 % )
  Total combinational functions 10 / 4,608 ( < 1 % )
  Dedicated logic registers   0 / 4,608 ( 0 % )
Total registers            0
Total pins                 27 / 89 ( 30 % )
Total virtual pins        0
Total memory bits         2,048 / 119,808 ( 2 % )
Embedded Multiplier 9-bit elements 0 / 26 ( 0 % )
Total PLLs                 0 / 2 ( 0 % )

```

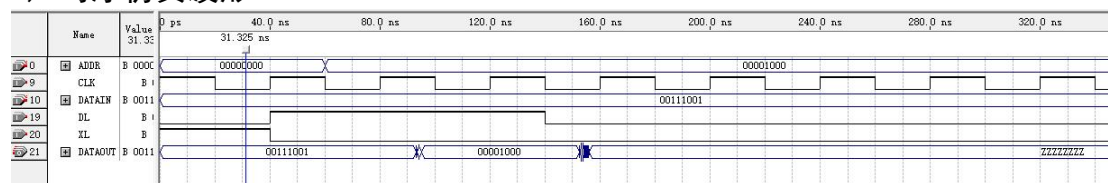
## D) RTL 视图



## E) 功能仿真波形



## F) 时序仿真波形



## G) 结果分析及结论:

可见 DATAOUT 在功能仿真的 40-80ns 中的值是 00000000, 但是由于信号延迟, 在时序仿真中, 并没有变化。各输出数据在并不是在时钟的下降沿马上就被赋值变化而是会延迟 15ns 左右, 但是波形图的整体与功能仿真相同。

数据通路确定后, 就可以设计指令系统中每条指令所需要的机器周期数。对于微程序控制的计算机, 根据总线结构, 需考虑哪些微操作可以安排在同一条微指令中, 哪些微操作不能安排在同一条微指令中。

ADDR[7..0] 指定访问 RAM 的地址, 时钟 CLK 上升沿, XL 为 1, 将外部输入 DATAIN[7..0] 写入 RAM 的对应存储单元。

CLK	We (XL)	outenab(DL)	功能
	0	0	Dio<=高阻态Z
	1	0	Dio的数据写入address所指定的存储单元
	0	1	address所指定的存储单元数据从dio输出

#### 四、思考题

1. 时钟周期的上升沿实现对 RAM 的读写操作，为何 PC、SM、IR、PSW 以及寄存器组的操作是下降沿完成？

一个时钟周期包含上升沿和下降沿，所以一个周期内可以同时读写。

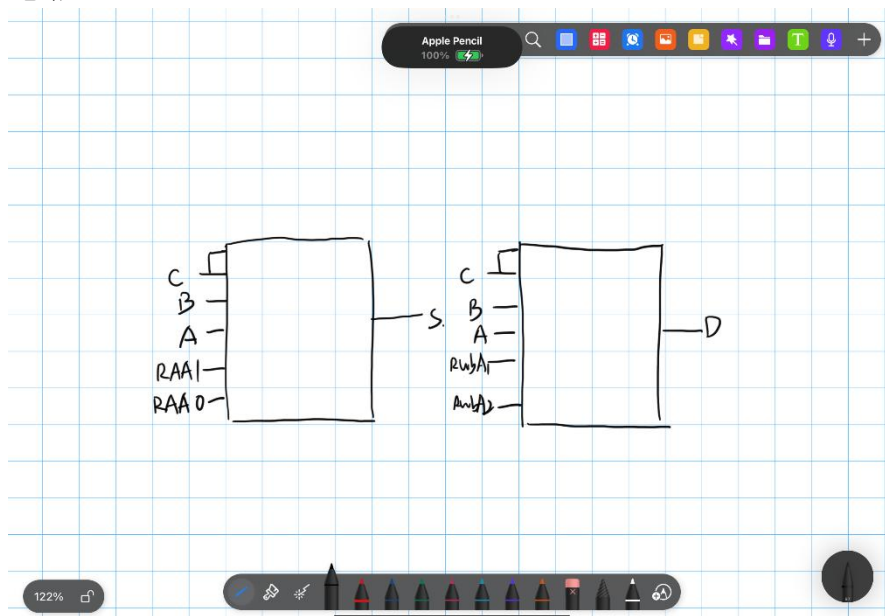
根据 CPU 设计图可以知道，RAM 要处理传来的 PC，SM 和寄存器组的信息，考虑到延时，并且要紧随其后处理信息，所以 RAM 采用上升沿，而 PC，SM 和寄存器采用下降沿。

2. 采用 VERILOG 语言描述时序部件应该采用阻塞赋值语句还是非阻塞赋值语句？

使用非阻塞赋值，非阻塞赋值更能体现出硬件电路工作时的实际情况。

3. 通用寄存器组只有 WE 的控制信号，实现通用寄存器组读操作的电路是组合电路还是时序电路？请大致画出对寄存器组进行读操作的电路部分。

组合电路



#### 五、实验总结、必得体会及建议

1、从需要掌握的理论、遇到的困难、解决的办法以及经验教训等方面进行总结。

➤ 掌握的理论：如何用 Verilog 语言编写时序逻辑元件，如何写下下降沿触发条件，指令在

简易模型机器里的流动情况，各模块输入输出的关系

- 遇到的困难：时序电路忘记使用非阻塞赋值
- 解决的办法：查询资料+问老师和同学
- 经验教训：应该认真阅读实验指导

2、对本实验内容、过程和方法的改进建议（可选项）。